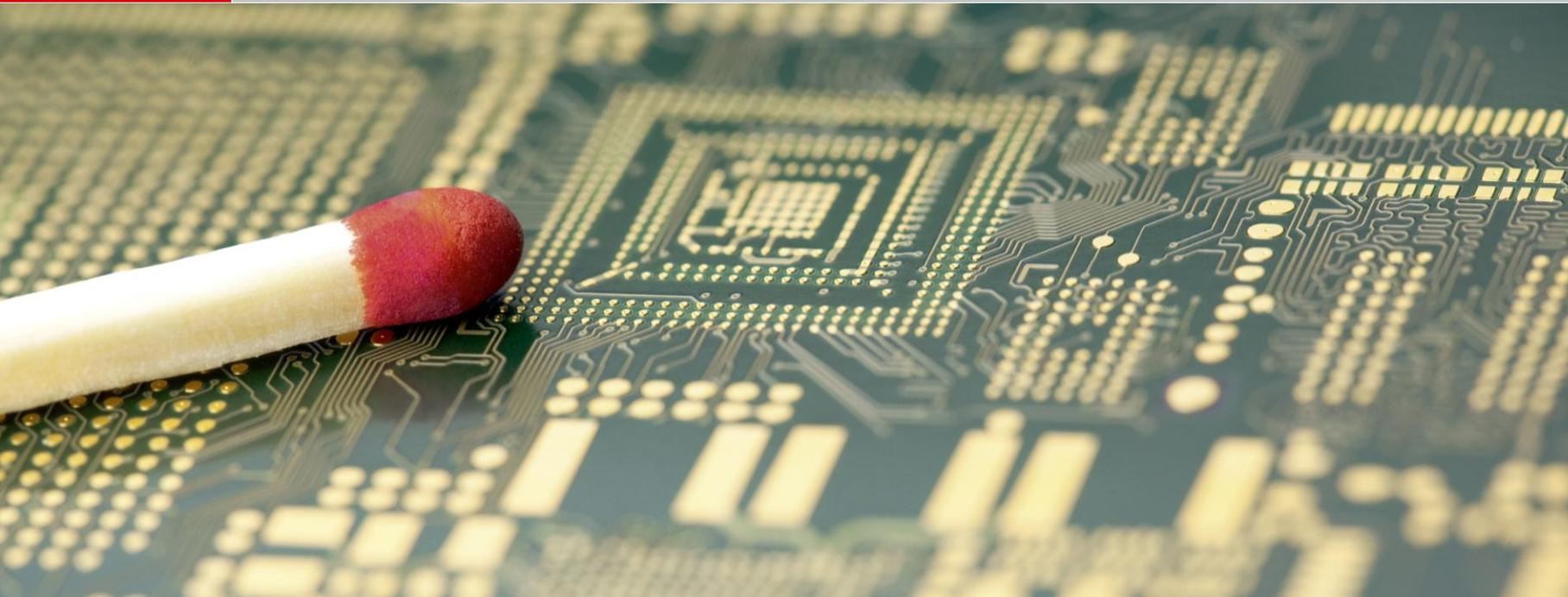


MINIATURISIERUNG UNTER BERÜCKSICHTIGUNG VON KOSTEN UND ZUVERLÄSSIGKEITSASPEKTEN

Andreas Dreher

28. September 2022





AGENDA

Miniaturisierung für starre Leiterplatten

- 1** Zusammenhänge der Miniaturisierung
- 2** Lagenaufbauten, Leiterplattengröße, Design Regeln HDI (High Density Interconnect)
- 3** HDI Technologievarianten & Kostenentwicklung
- 4** Zuverlässigkeit – Nachweis durch Interconnect Stress Test
- 5** Vergleich Zuverlässigkeit – Leiterplattendicke
- 6** Vergleich Zuverlässigkeit – Bohrungstyp



IHR REFERENT

Andreas Dreher

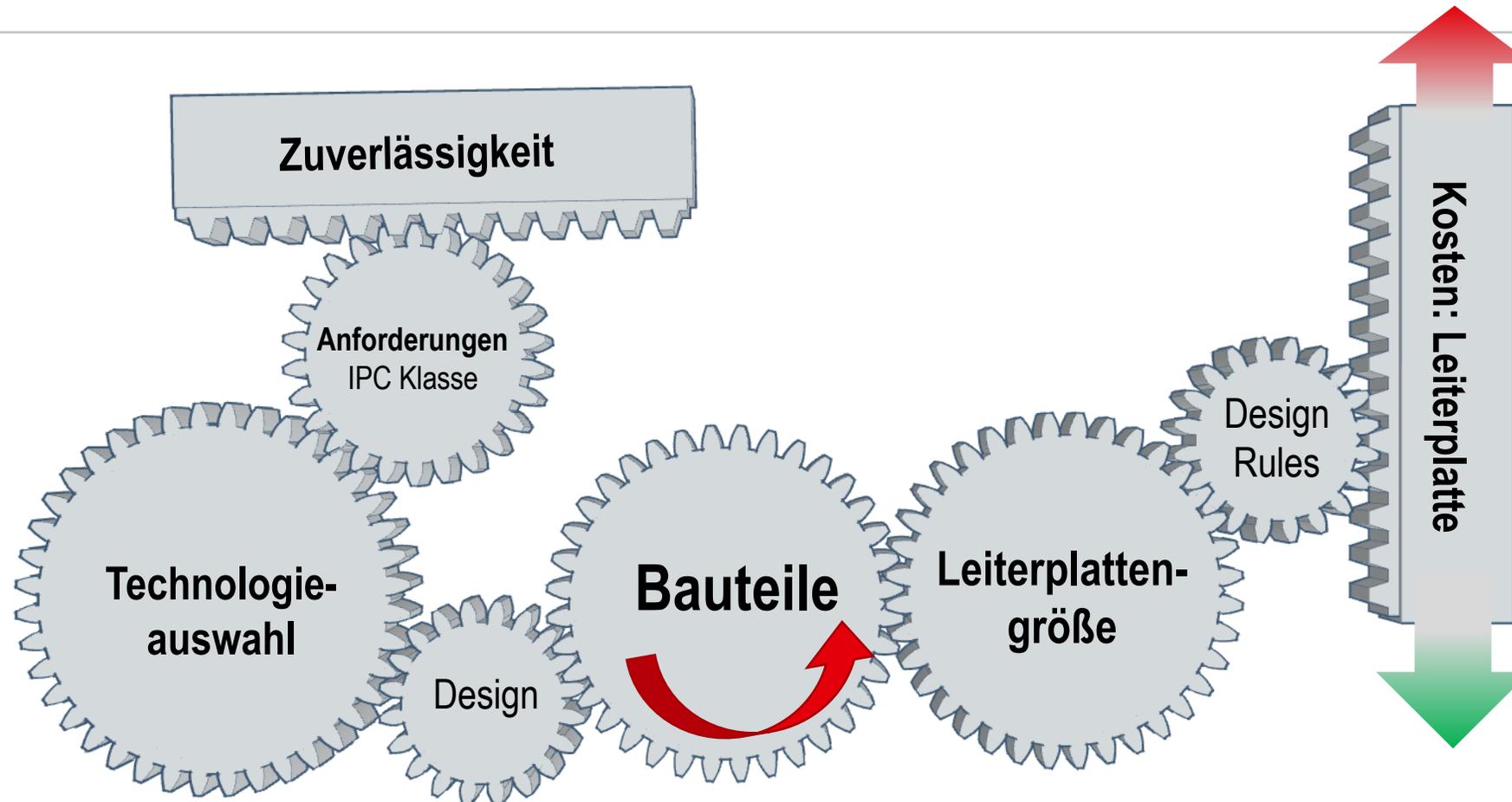
- **Technisches Projektmanagement**
 - Technologie allgemein
 - Kundenberatung
- **Seit 2003 bei Würth Elektronik CBT**

So erreichen Sie mich:

- **Tel.:** +49 7622 397-133
- **E-Mail:** andreas.dreher@we-online.de

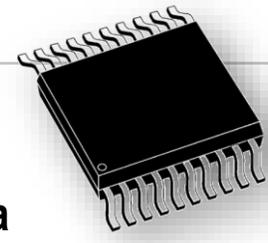


ZUSAMMENHÄNGE



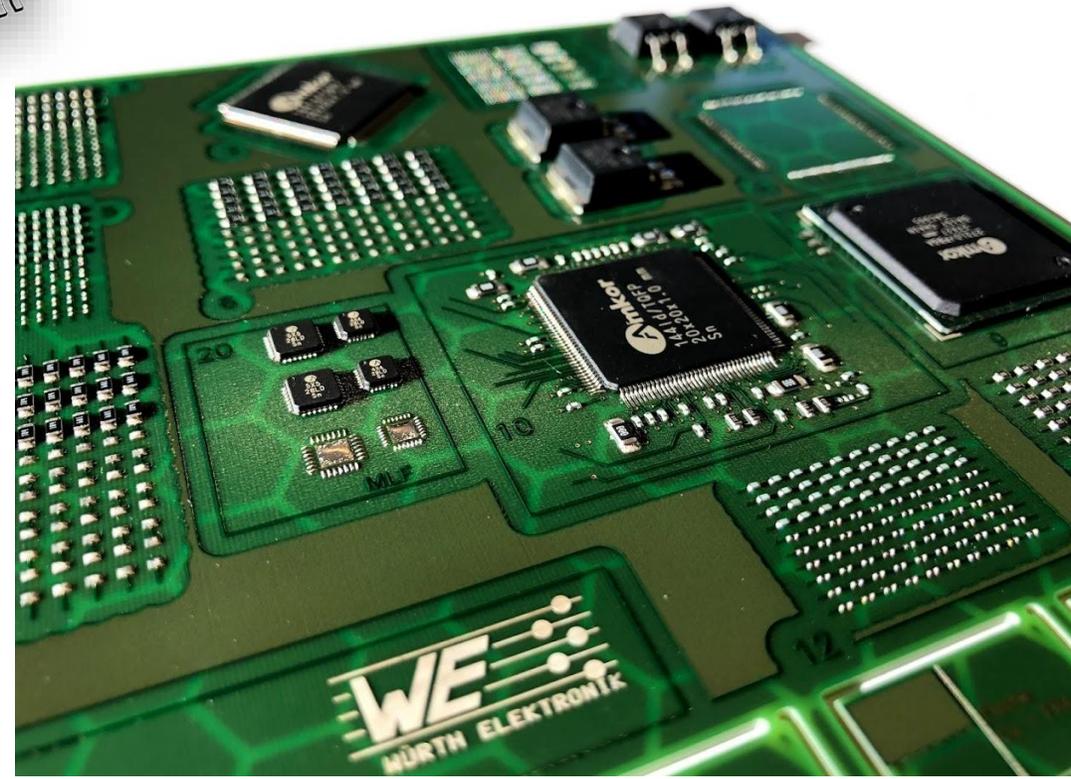
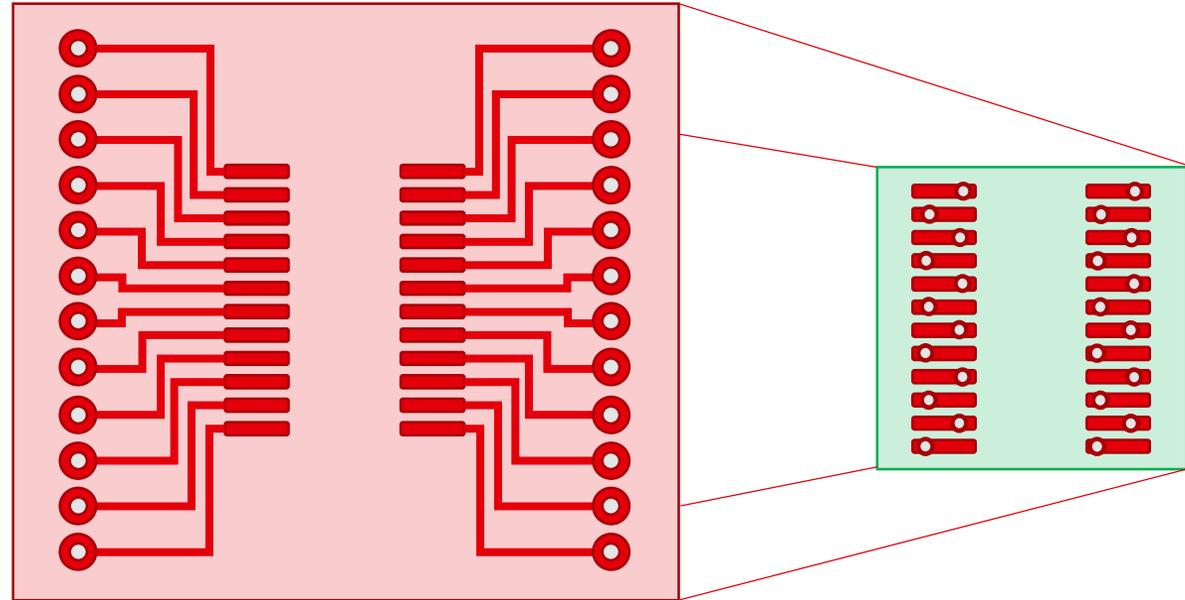
MINIATURISIERUNG

SSOP -24 Bauteil



Plated Trough Hole

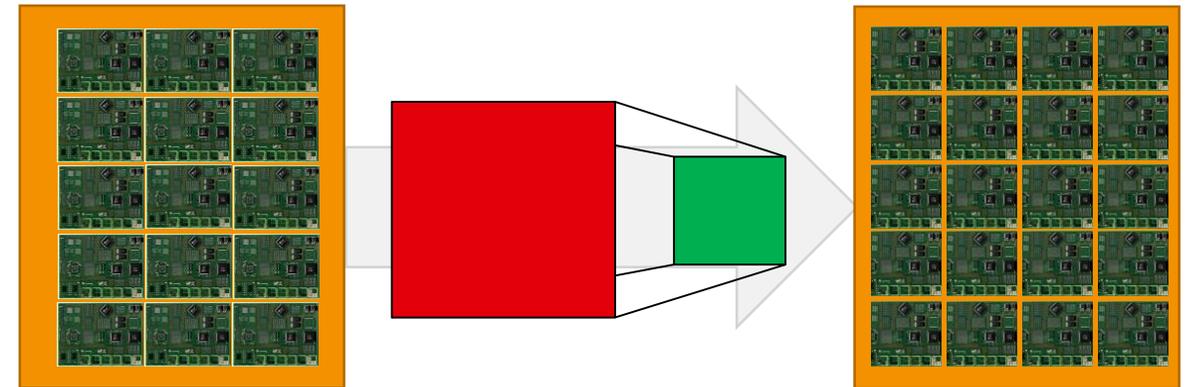
HDI - Microvia



LEITERPLATTENGRÖÖE

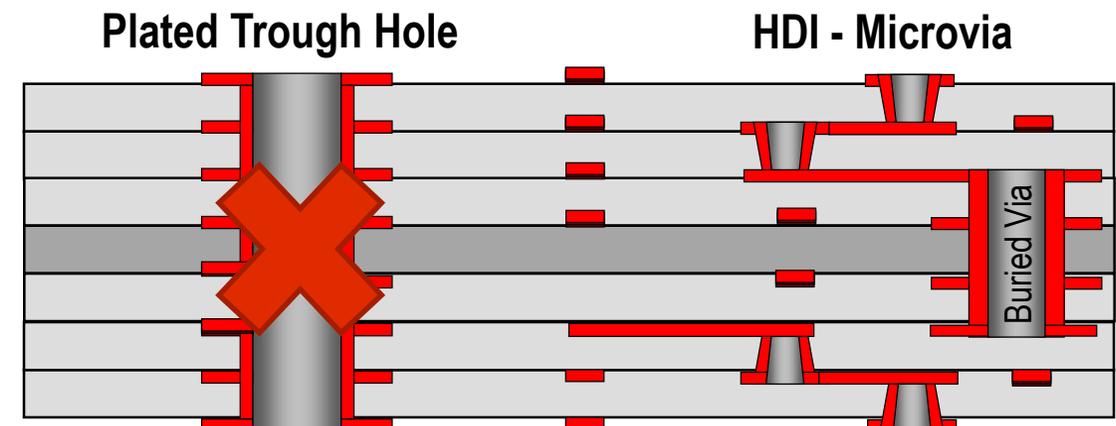
Leiterplattengröße

- Beeinflusst entscheidend die Produktionskosten
- Ist entscheidend für die Baugruppengröße
- Kann damit entscheidend für den Erfolg eines Produktes sein!



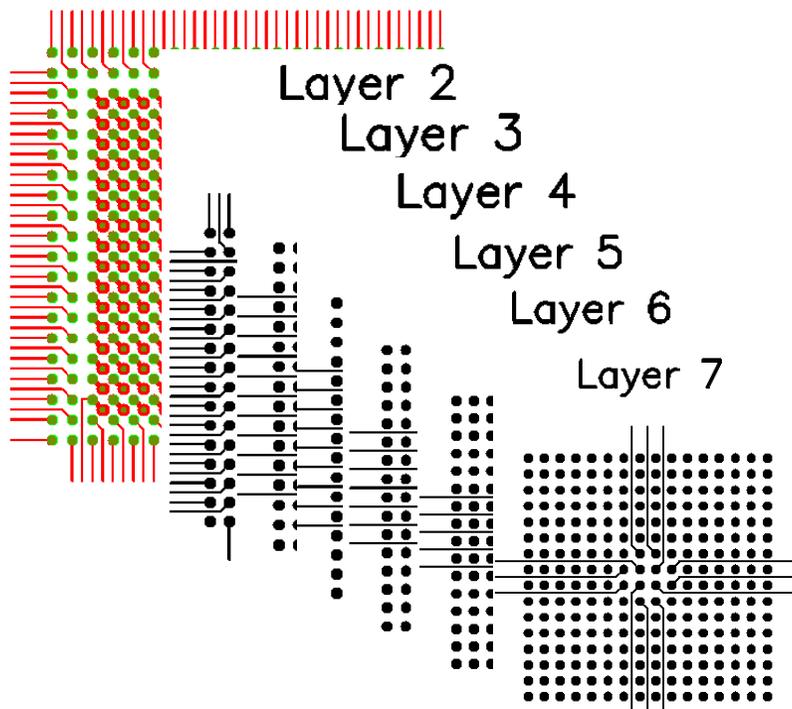
Reduzierung der erforderlichen Verdrahtungsfläche

- ⇒ **HDI Technologie mit Microvias + Buried Vias**
- ⇒ **Statt durchgehender Vias**



ANZAHL LAGEN – LEITERPLATTENDICKE

Plated Trough Hole

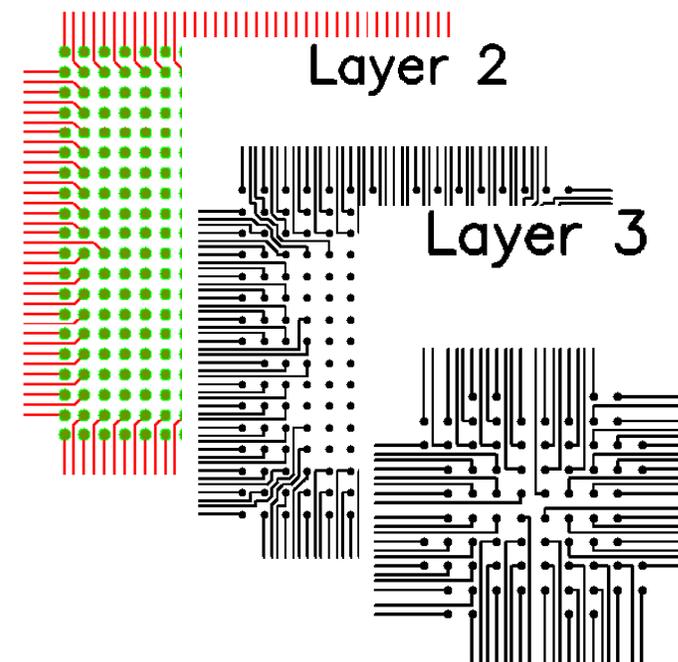


BGA – Pitch 0.80mm
20 x 20 Reihen

Design Studie

Wie viele Signal-Lagen sind notwendig?

HDI - Microvia



Wie viele Signal-Lagen sind notwendig?

DESIGN RULES VIAS – IPC SPEZIFIKATION

IPC-2221B Design Empfehlungen - Verbindungsanschlussflächen

- Stufe A: Allgemeine Designkomplexität (bevorzugt)
- Stufe B: Mittlere Designkomplexität (Standard)
- Stufe C: Hohe Designkomplexität (bedingte Produzierbarkeit)

Tabelle 9-1 Mindestfertigungstoleranzen für Verbindungsanschlussflächen

| Stufe A | Stufe B | Stufe C |
|----------------------|-------------------------|-----------------------|
| 0,4 mm [0.016 in] | 0,25 mm [0.00984 in] | 0,2 mm [0.0079 in] |

- Für Kupfergewichte größer als 1 Oz/sq./ft wird für jede zusätzliche Oz/sq.ft Kupfer mindestens 0,05 mm [0.0197 in] zur Fertigungstoleranz hinzuaddiert.
- Für mehr als 8 Lagen sind 0,05 mm hinzuzufügen.
- Zur Definitionen der Stufen A,B und C siehe 1.6.3.

Minimale Via-Padgröße $\approx 0.50\text{mm}$

▶ BGA - Pitch < 0,8mm: HDI Microvia

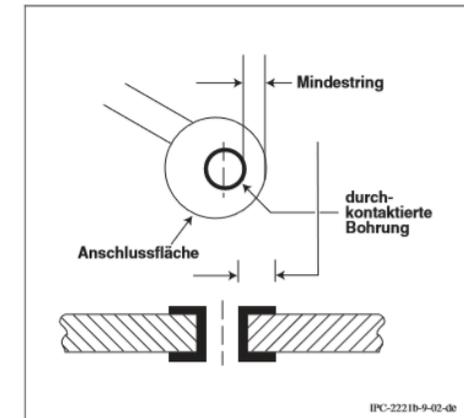
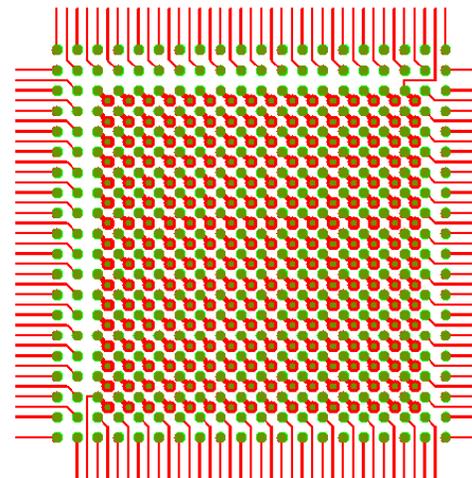


Bild 9-2 Außenlagenrestriering

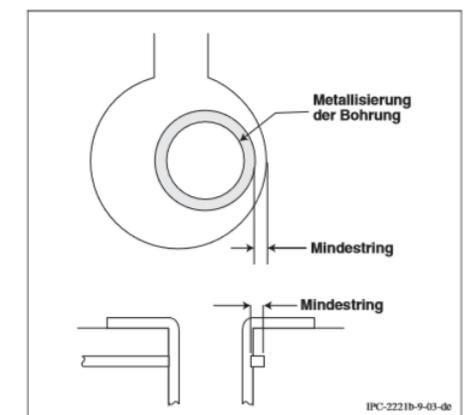
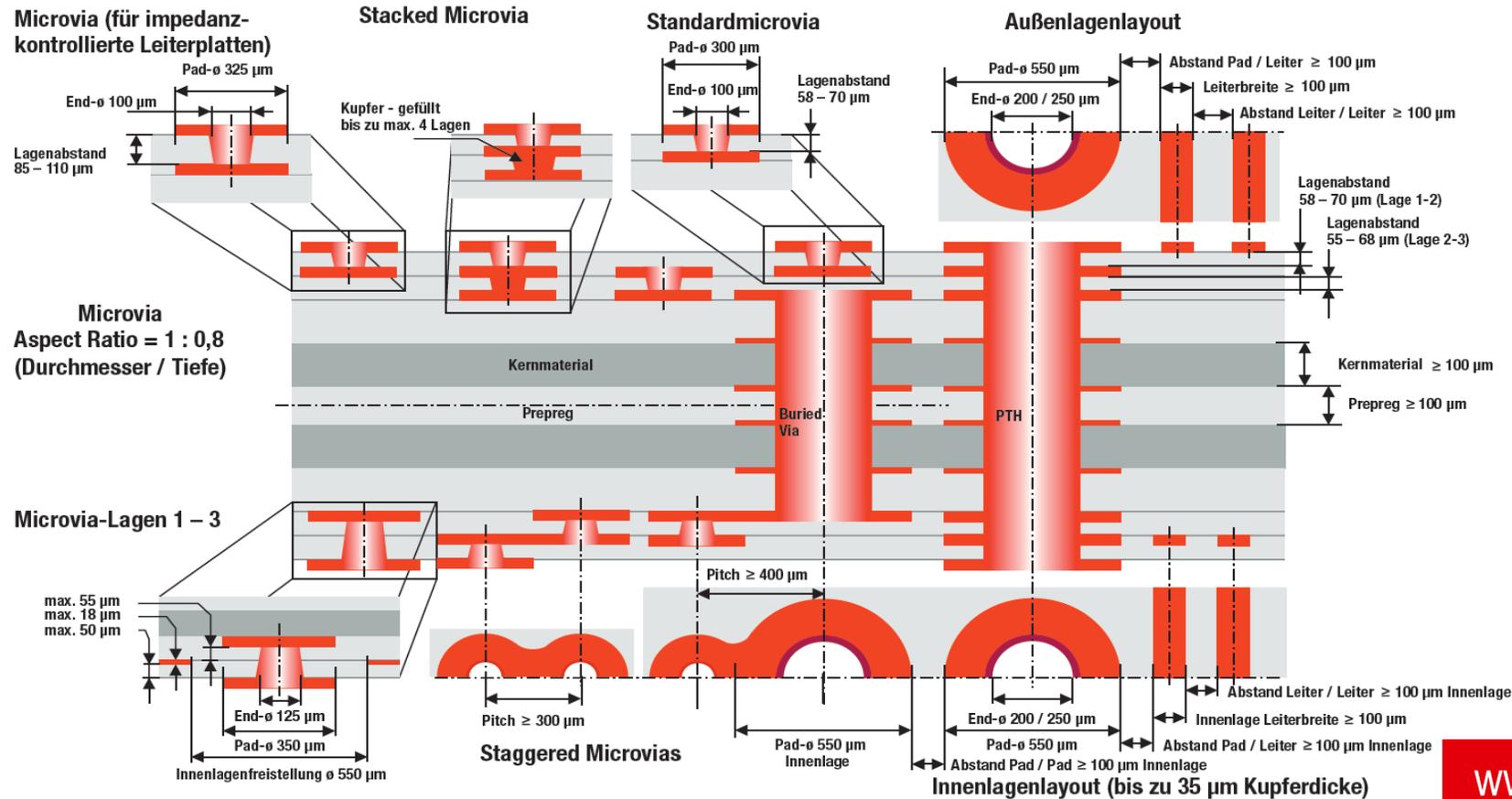


Bild 9-3 Innenlagenrestriering

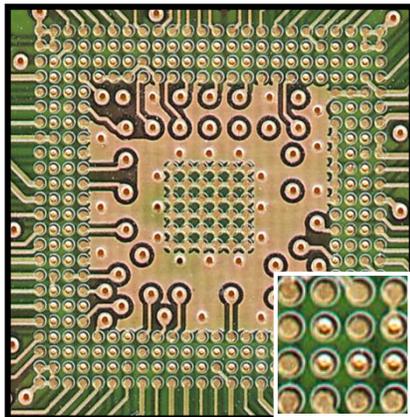
DESIGN GUIDE - VARIANTENAUSWAHL



www.we-online.de/microvia

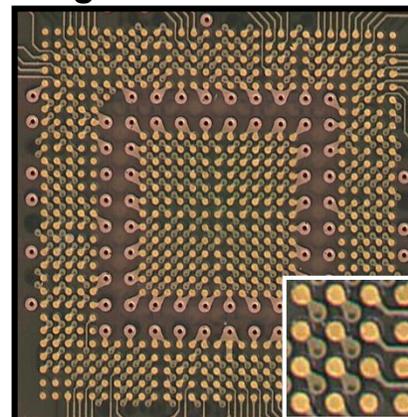
DESIGN RULES – BEISPIEL 0.50 MM PITCH BGA

Via in Pad Var.1



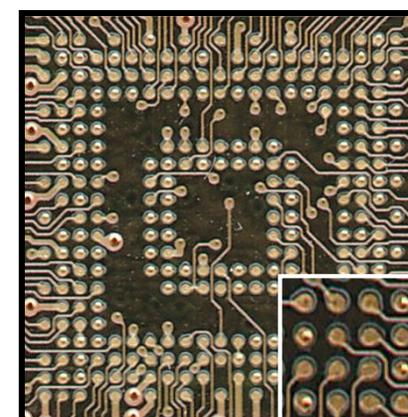
Vorteil: Große Löt pads

Dog Bone Var.2

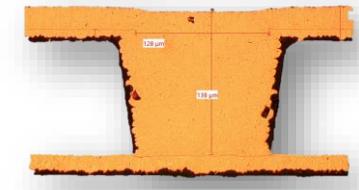


Vorteil: Kein Filling erforderlich

Via in Pad Var.3



Vorteil: Eine Verdrahtungslage mehr

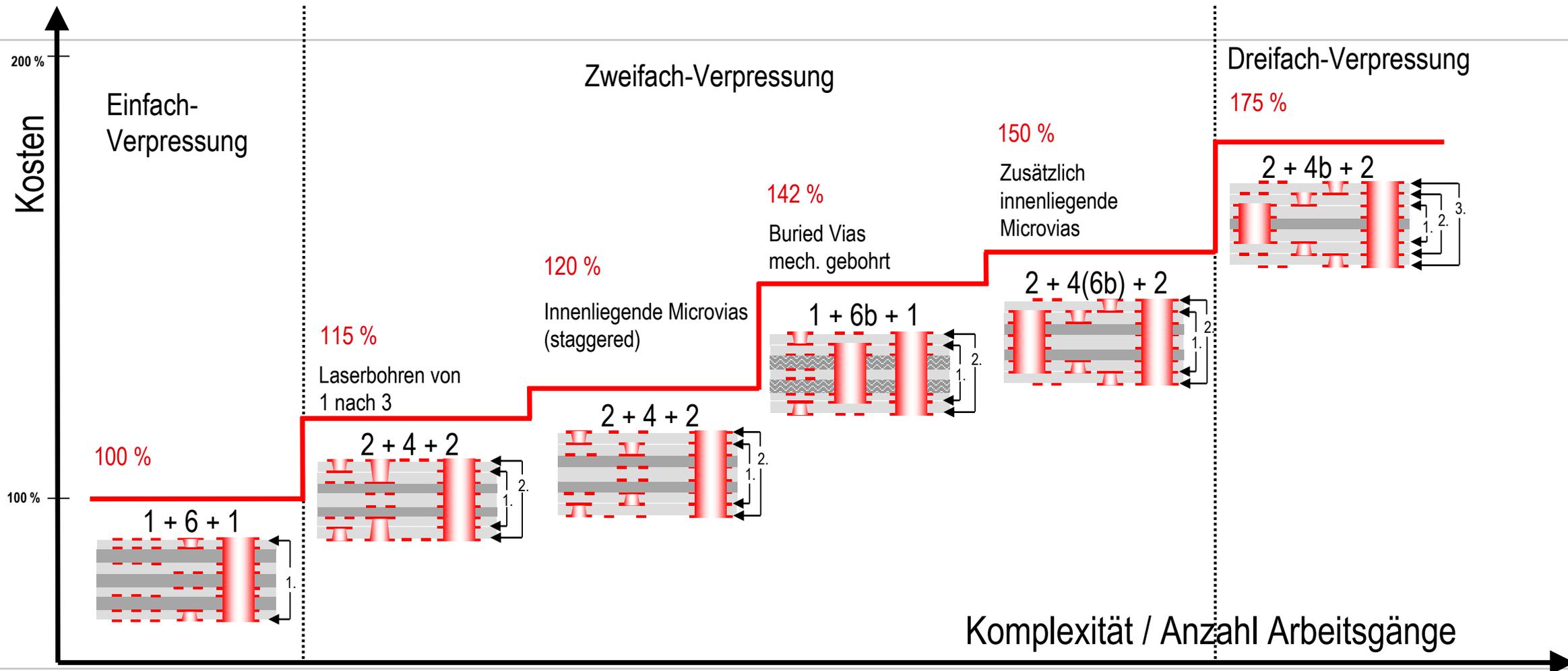


Cu Filling für Microvias

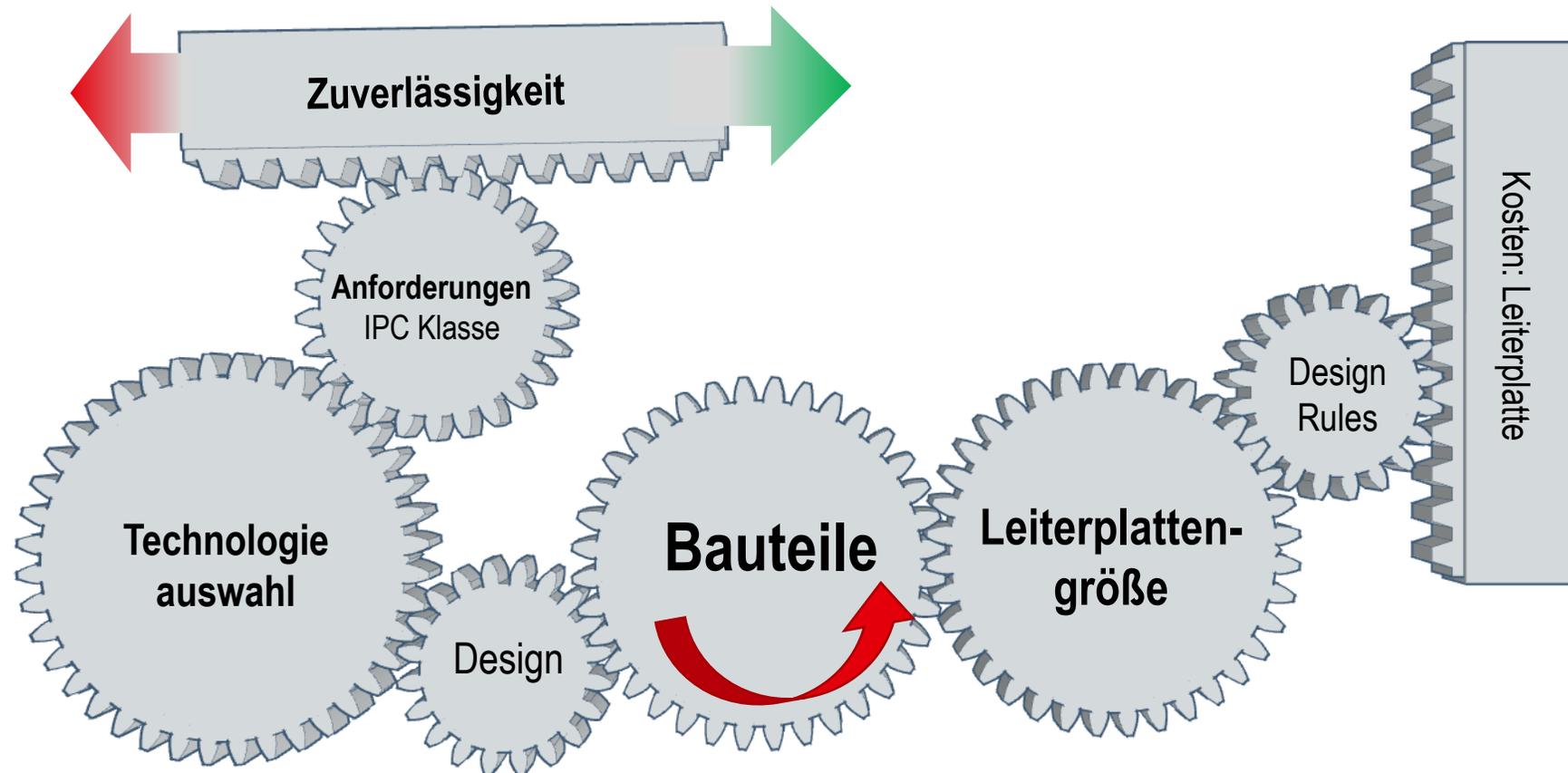
| Design Rules | Var. 1 | Var. 2 | Var. 3 |
|------------------------------------|--------------------------|-------------------------|-------------------|
| BGA Löt pad | 300 - 330 μm | 240 / 250 μm | 275 μm |
| Lötstopmaskenfreistellung | 50 μm | 40 μm | 35 μm |
| Microvia Pad Außenlagen | ≥ 300 μm | 275 μm | 275 μm |
| Microvia Pad Innenlagen | 275 μm | 275 μm | 275 μm |
| Leiterbreite / -abstand Außenlagen | ≥ 100 μm | 80 - 90 μm | 75 μm |
| Leiterbreite / -abstand Innenlagen | 75 μm | 75 μm | 75 μm |

- 75 μm Feinstleiter Strukturen
+ Kupferschichtdicke
ca. 25 μm max.
- Cu Filling für Microvias optional
(bei Via im Pad / Var.1 und 3)

VARIANTENAUSWAHL - LAGENAUFBAU



ZUSAMMENHÄNGE



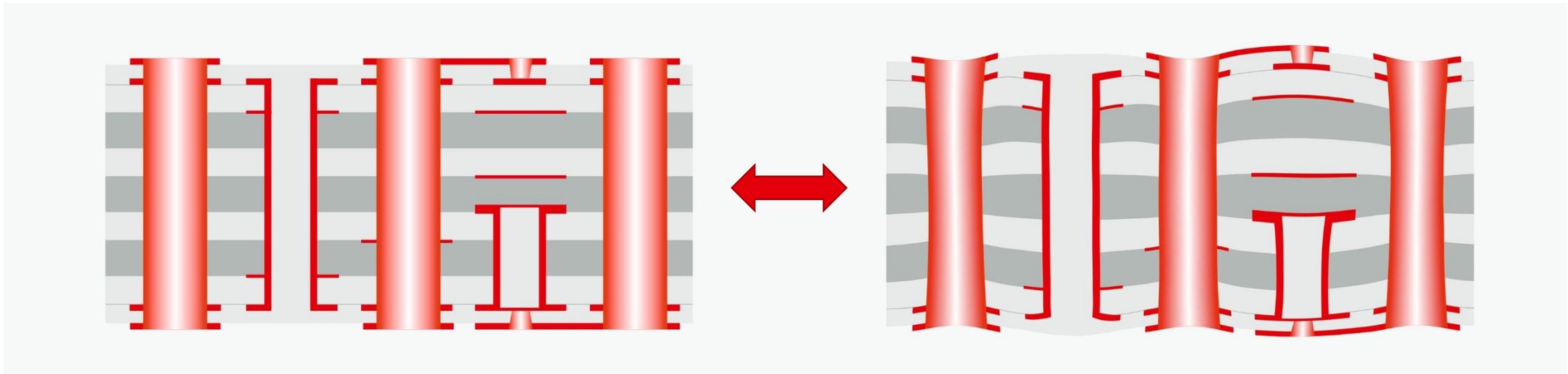
ZUVERLÄSSIGKEIT VON LEITERPLATTEN

Ausdehnung in Z-Achse bei Temperaturbelastung



■ Was bedeutet Zuverlässigkeit konkret für Leiterplatten?

- Gewährleistung der elektrischen Funktionen während der gesamten angestrebten Nutzungsdauer.
- Auch fehlerfreie Leiterplatten fallen irgendwann aus, sofern sie Temperaturschwankungen ausgesetzt sind.



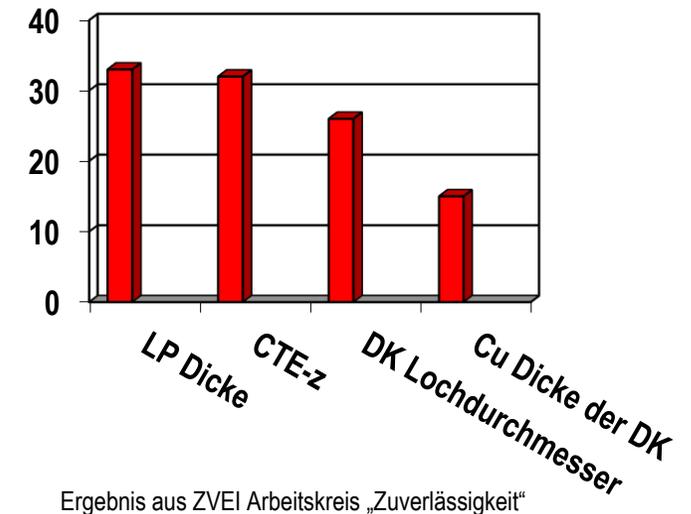
ZUVERLÄSSIGKEIT VON LEITERPLATTEN

Einflussfaktoren



■ Die wichtigsten Einflussparameter hinsichtlich der Zuverlässigkeit von Durchkontaktierungen sind:

- Ausdehnungsverhalten (CTE_z) der Materialien
 - Unterschiedliche CTE_z der beteiligten Materialien
 - Leiterplattendicke!
- Querschnittsfläche der Kupfers auf welche die Kraft einwirkt
 - Durchmesser der Durchkontaktierung
 - Kupferschichtdicke in der Bohrung
 - **Achtung: Eine höhere Dicke führt nicht zwangsläufig zu einer besseren Zuverlässigkeit!**
- Einsatzbedingungen



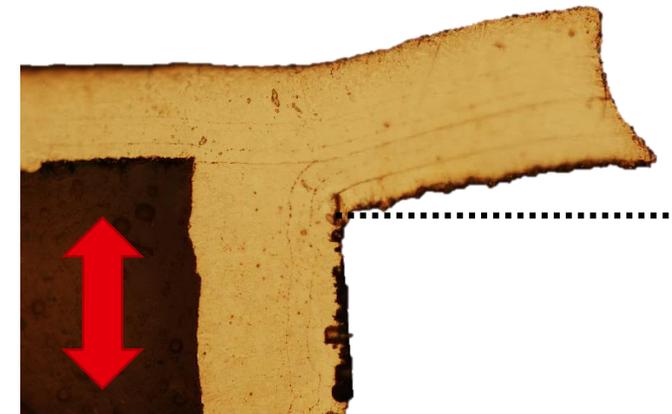
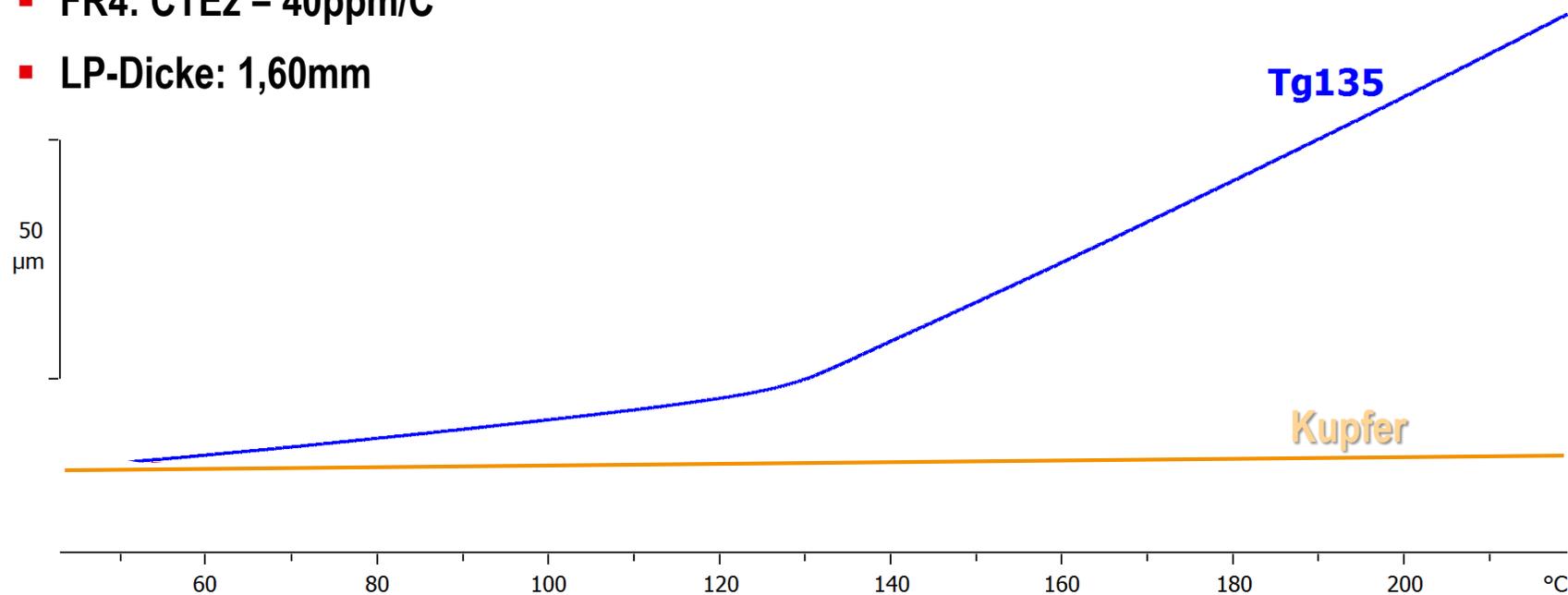
ZUVERLÄSSIGKEIT VON LEITERPLATTEN

Einführung



Vergleich der z-Achsenausdehnung von Kupfer (Cu) und Basismaterial FR4

- FR4: CTEz = 40ppm/C°
- LP-Dicke: 1,60mm



EINFLUSSFAKTOREN ZUVERLÄSSIGKEIT

Leiterplattendicke

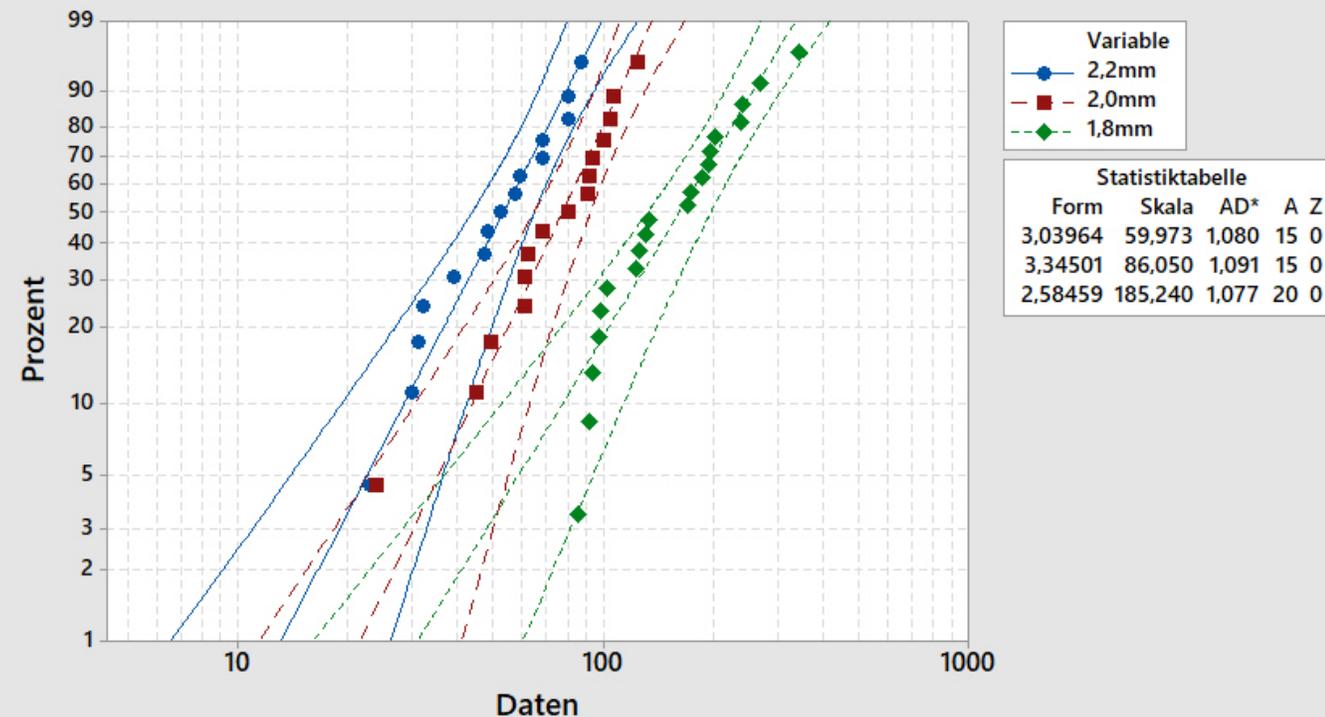


- Der Einfluss der Leiterplattendicke ist enorm:

Ca. **20% Änderung** der Leiterplattendicke können zu einer Änderung der Zuverlässigkeit um den **Faktor 3** führen!

Wahrscheinlichkeitsnetz für 2,2mm; 2,0mm; 1,8mm

Weibull - 95%-KI
Vollständige Daten - ML-Schätzwerte



EINFLUSSFAKTOREN ZUVERLÄSSIGKEIT

Leiterplattendicke



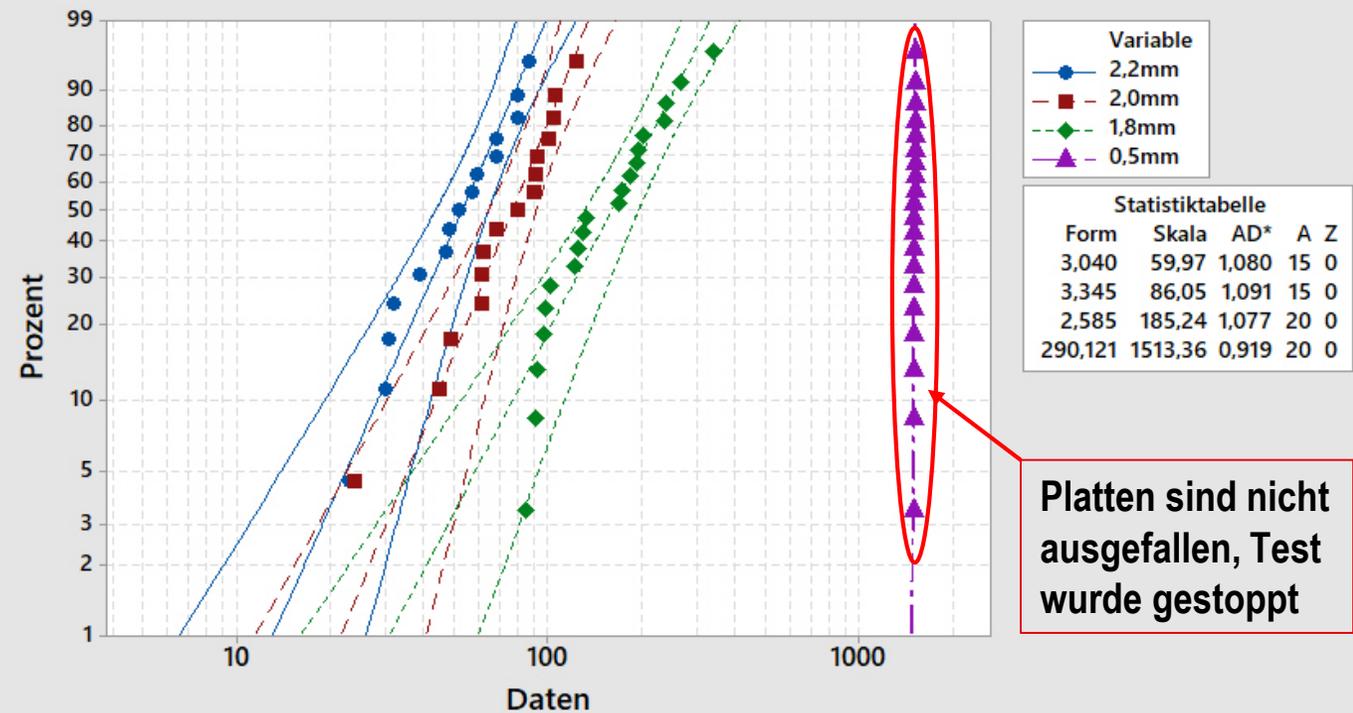
- Der Einfluss der Leiterplattendicke ist enorm:



Wahrscheinlichkeitsnetz für 2,2mm; 2,0mm; 1,8mm; 0,5mm

Weibull - 95%-KI

Vollständige Daten - ML-Schätzwerte



INTERCONNECT STRESS TEST (IST)

Ablauf und Optionen

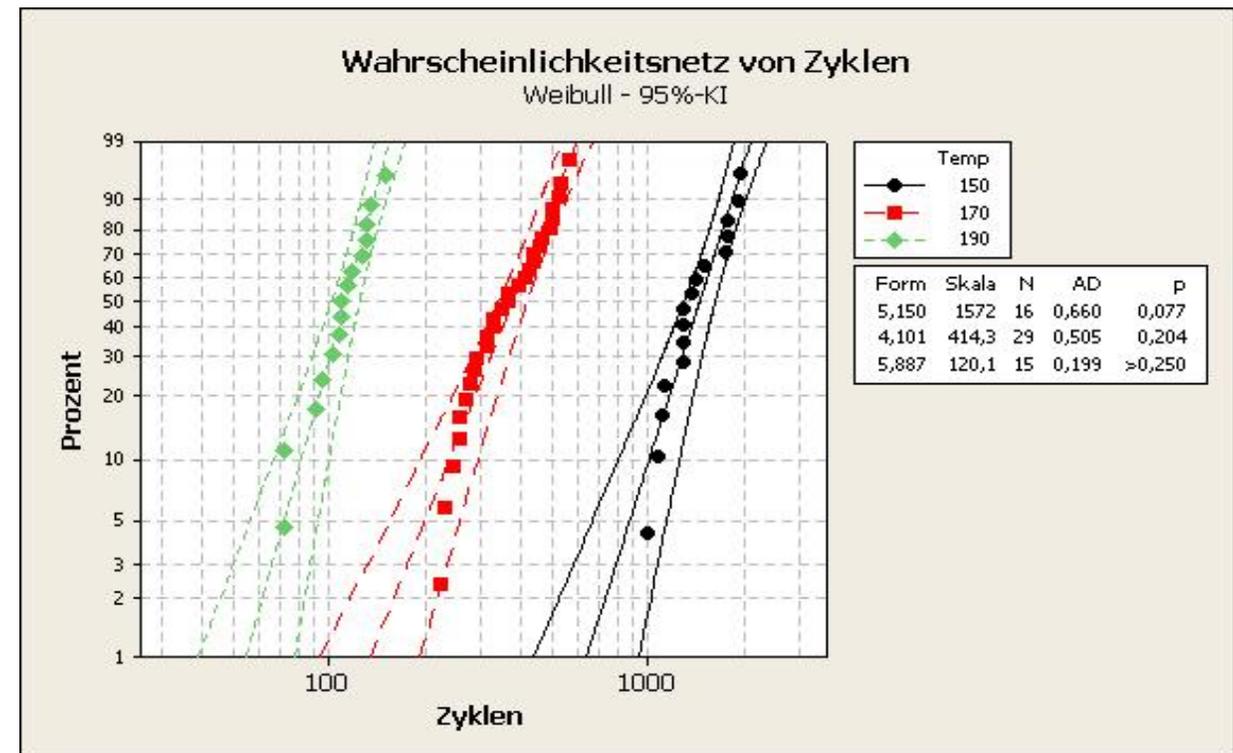


- **Coupondesign auf Basis Ihrer Leiterplatte**
 - Material, Aufbau und Design
 - Via-Arten, Bohrungsdurchmesser und -abstände
 - Lötfläche
- **Festlegung Prüfumfang und Prüfparameter in Abstimmung mit Ihnen**
 - Anzahl IST Testzyklen
 - Lötsimulation
 - Prüftemperatur
- **Prüfungsvorbereitung und -durchführung (8 Testcoupons zeitgleich)**
- **IST Testreport**
 - Schliffanalyse der Fehler (erster, mittlerer und letzter Ausfall)
 - Statistische Auswertung
 - Thermomechanische Analyse des Aufbaus
 - Design-Empfehlungen (optional)



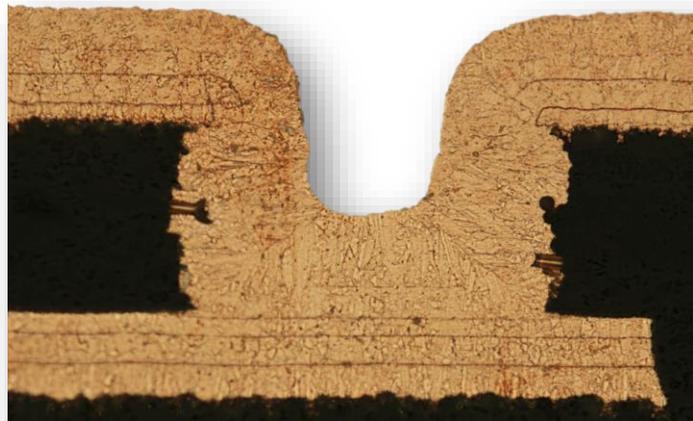
ZUVERLÄSSIGKEIT – IST-ANALYSEN

Einfluss der Temperatur auf die Zyklusfestigkeit bei mechanischen Via Bohrungen

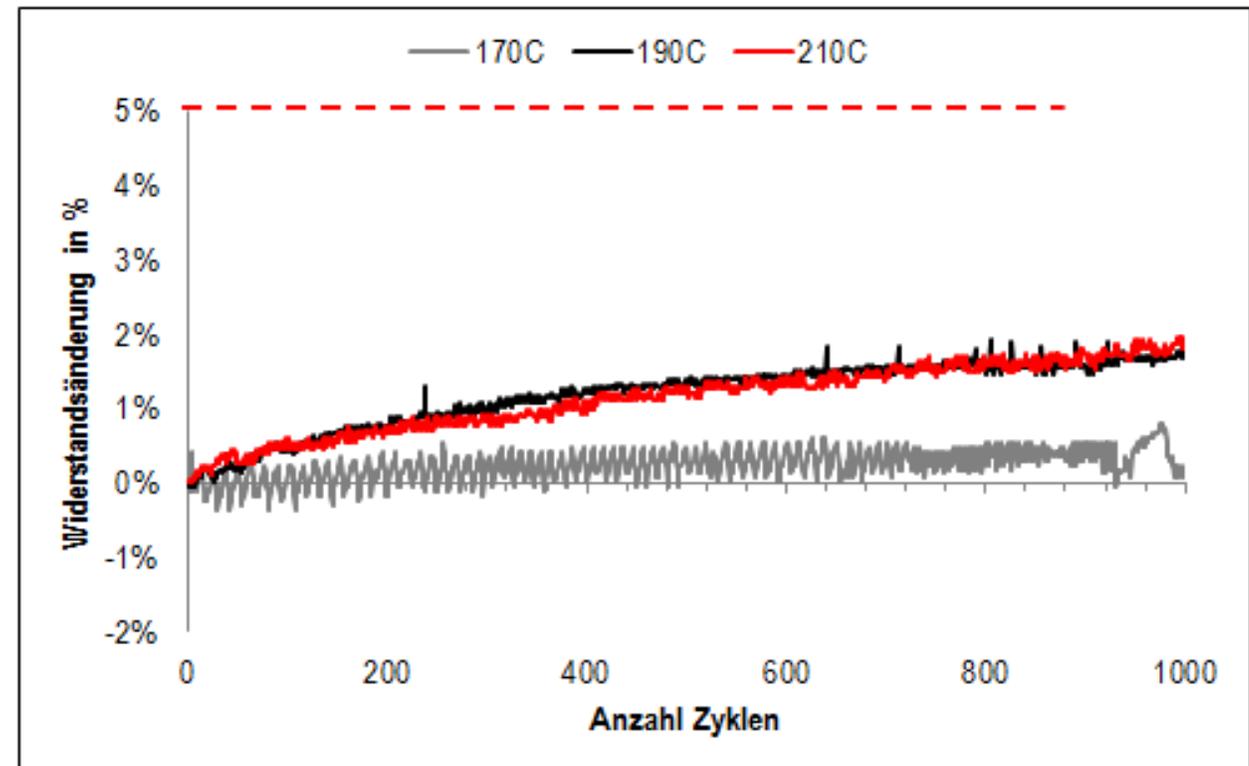


ZUVERLÄSSIGKEIT – IST MICROVIAS

Einfluss der Temperatur auf die Zyklusfestigkeit bei Microvia Bohrungen



Keine Ausfälle nach 1000 Zyklen



ZUVERLÄSSIGKEIT – STACKED VIAS

IPC-2226A Design Standard for HDI Printed Boards

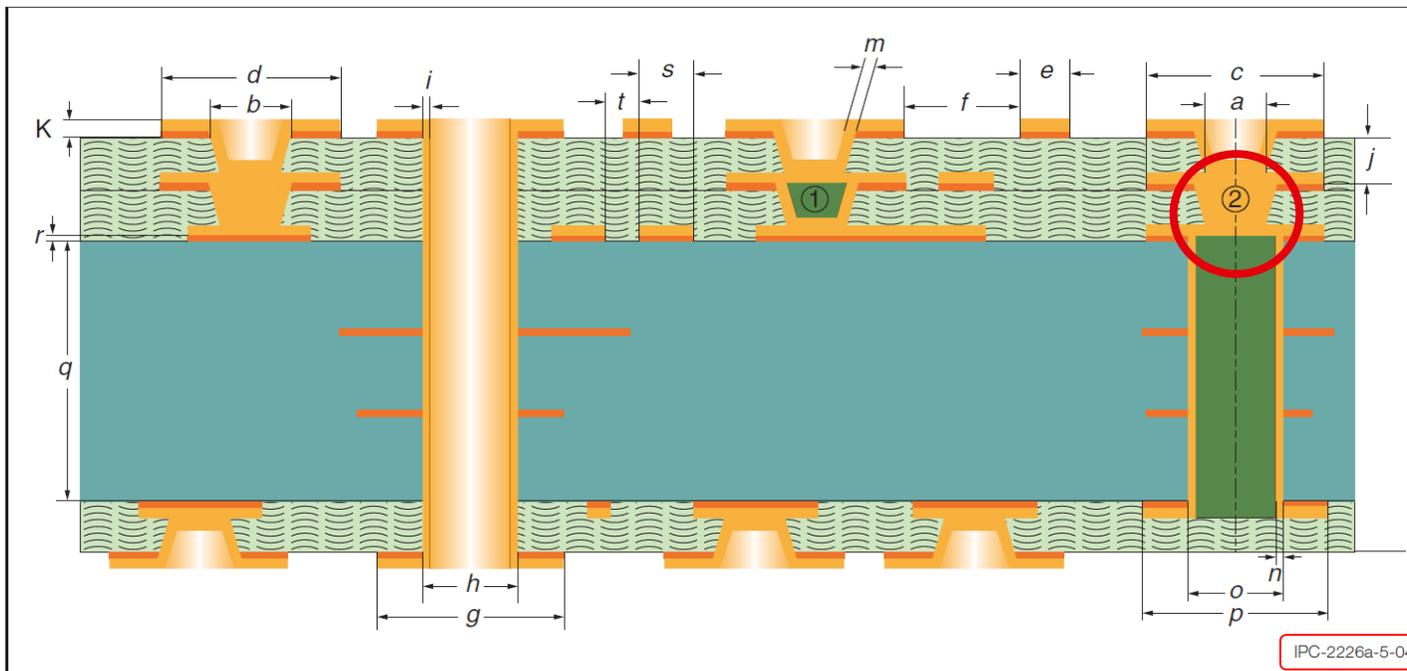


Figure 5-4 Type III HDI Construction with Stacked Microvias

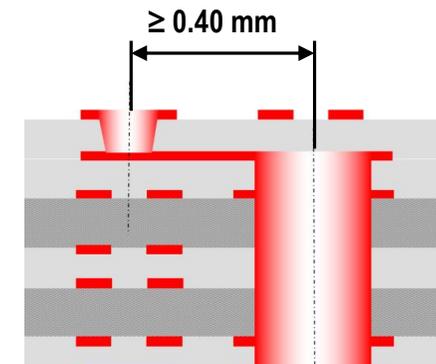
(Caution: Unbalanced constructions as shown above may result in excessive bow and twist.)

Note 1: Stacking not recommended for resin or conductive/non-conductive filled microvias.

Note 2: Stacking not recommended over resin or conductive/non-conductive filled vias due to potential for reduced reliability. The use of staggered structures instead is recommended.

Caution: HDI design with microvias stacked on buried vias is not recommended.

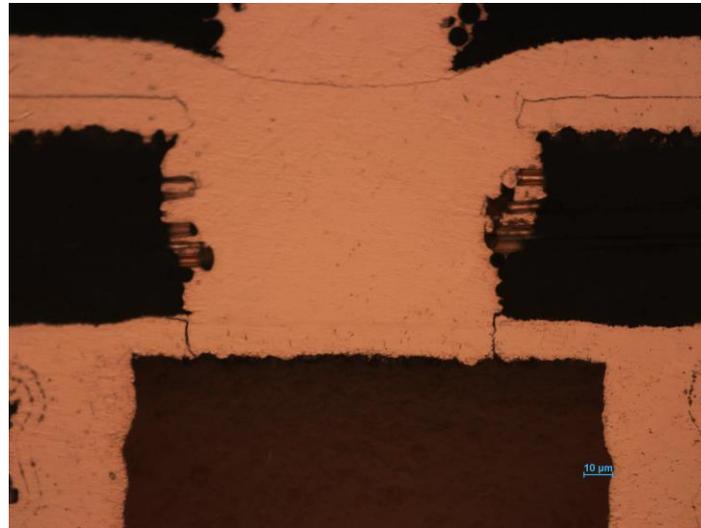
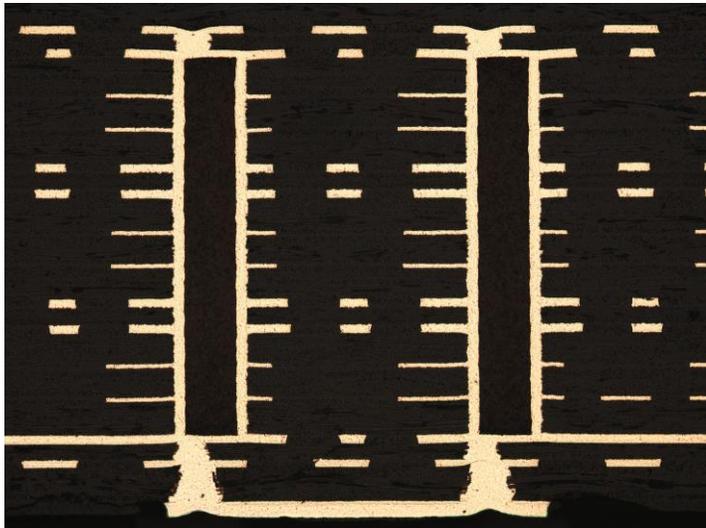
Empfehlung von
ZVEI-Arbeitskreis Qualität
und Würth Elektronik



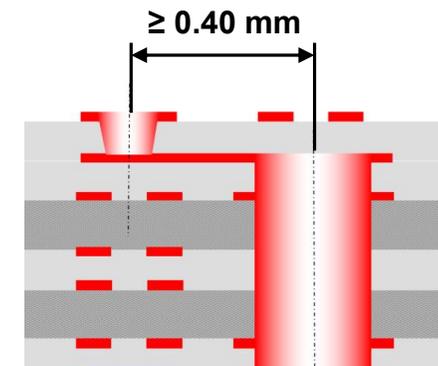
Auch bestehende Designs
sollten baldmöglichst
geändert werden!

Wir unterstützen Sie dabei!

ZUVERLÄSSIGKEIT – STACKED VIAS



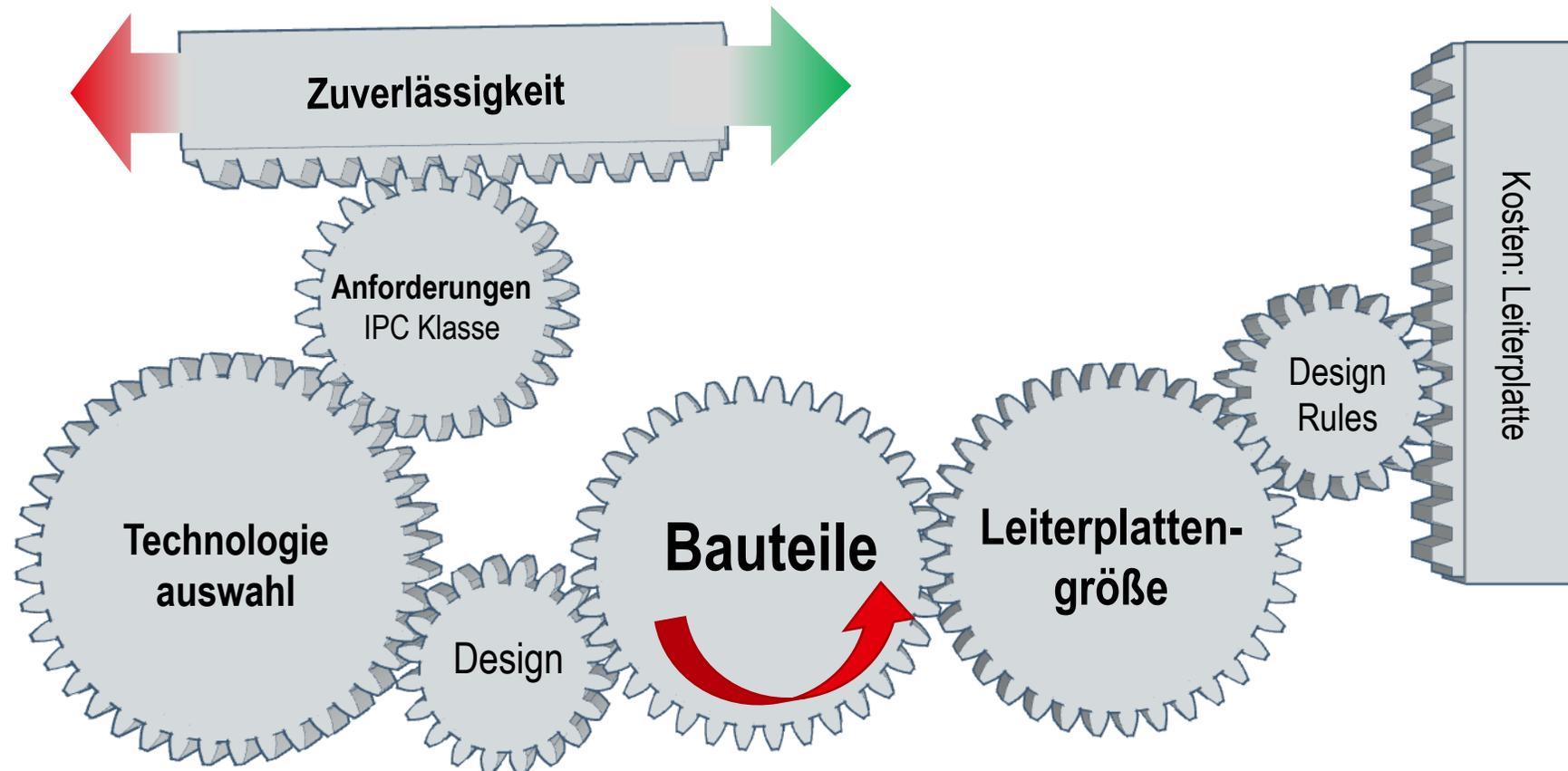
Empfehlung von
ZVEI-Arbeitskreis Qualität
und Würth Elektronik



Auch bestehende Designs
sollten baldmöglichst
geändert werden!

Wir unterstützen Sie dabei!

ZUSAMMENHÄNGE



VIELEN DANK FÜR IHRE AUFMERKSAMKEIT



**What kind of
application
do you have?**

**HOW can WE
support you?**

TEILNEHMERFRAGEN?

