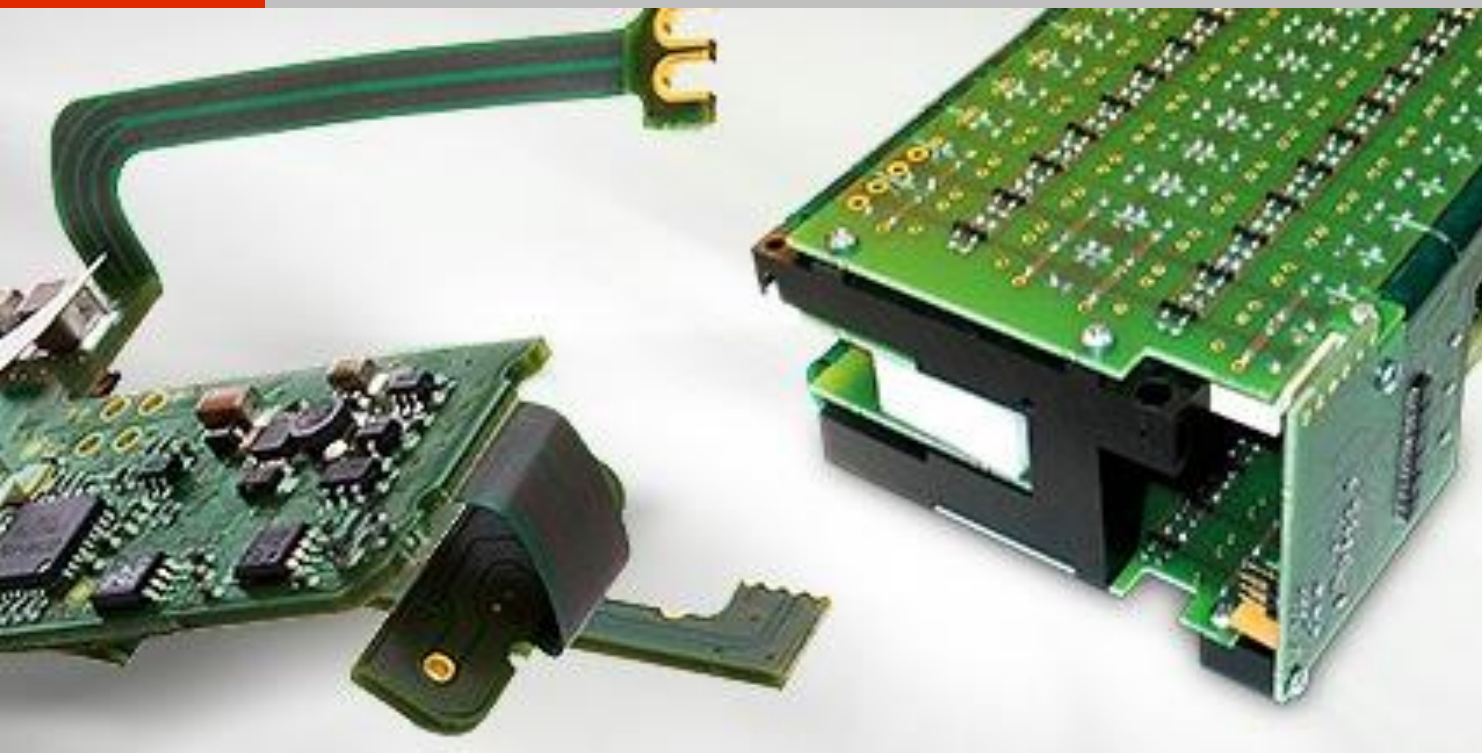


Starrflex in Verbindung mit USB3

Würth Elektronik Circuit Board Technology



Webinar am 10.10.2017

Referent: Andreas Schilpp

Agenda

A vertical line with five white circles, each containing a red dot, positioned to the left of the agenda items.

Schnittstellen

Signalintegrität bei Starrflex

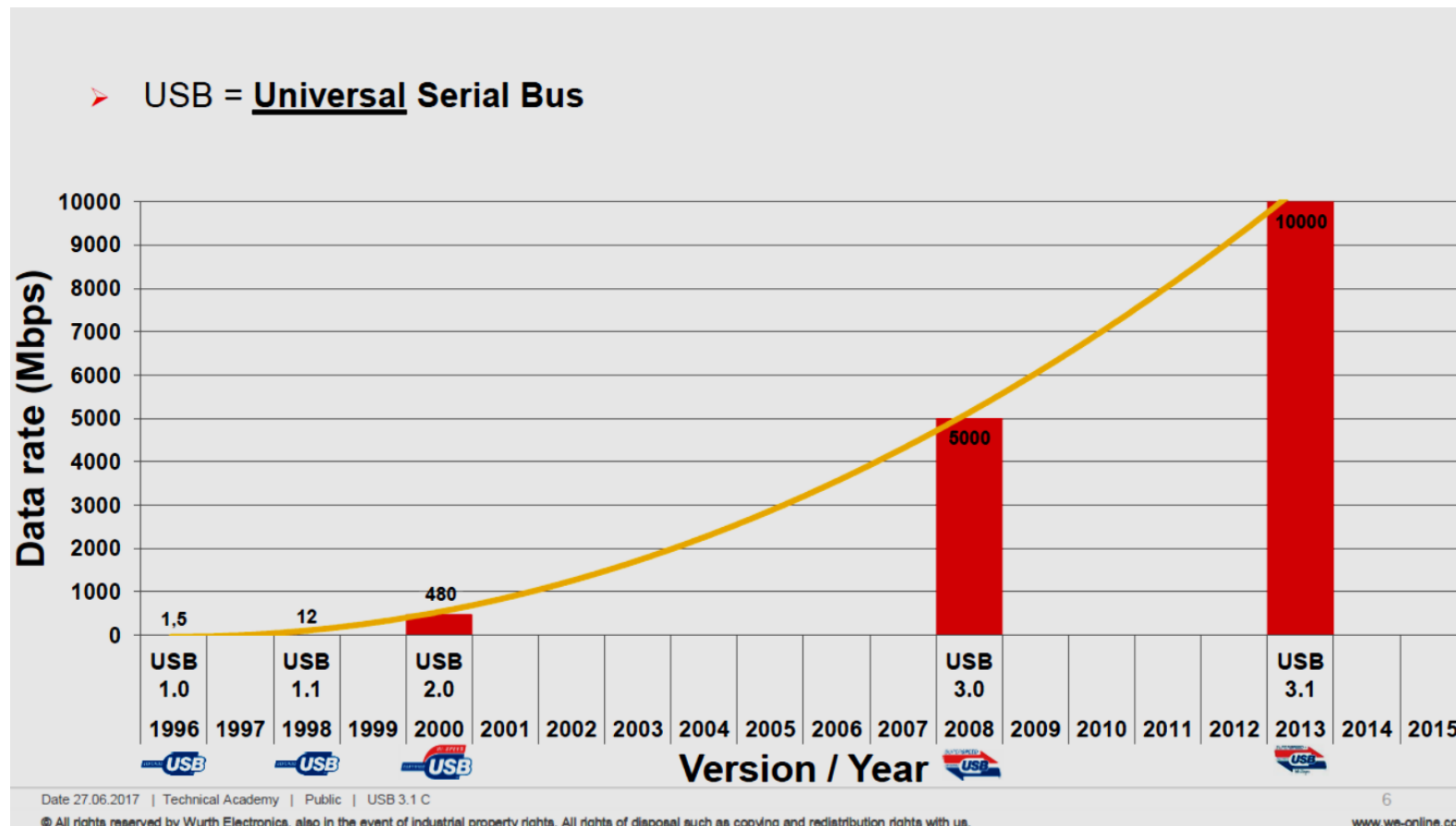
Design Chain – Ablauf Entwurf

Beispiele

Zusammenfassung, Q&A

Schnittstellen

- Entwicklung USB = Universal Serial Bus
 - Datenrate



source: WE USB3.X Kongress

Schnittstellen

■ Entwicklung USB = Universal Serial Bus

– Benchmark

➤ Based on Microsoft tests: (showed at WinHEC 2008 on Nov 6)

Transfer of a 25GB Blu-ray movie:

USB 1.1: 9.3 hours

USB 2.0: 13.9 minutes

USB 3.0: 70 seconds

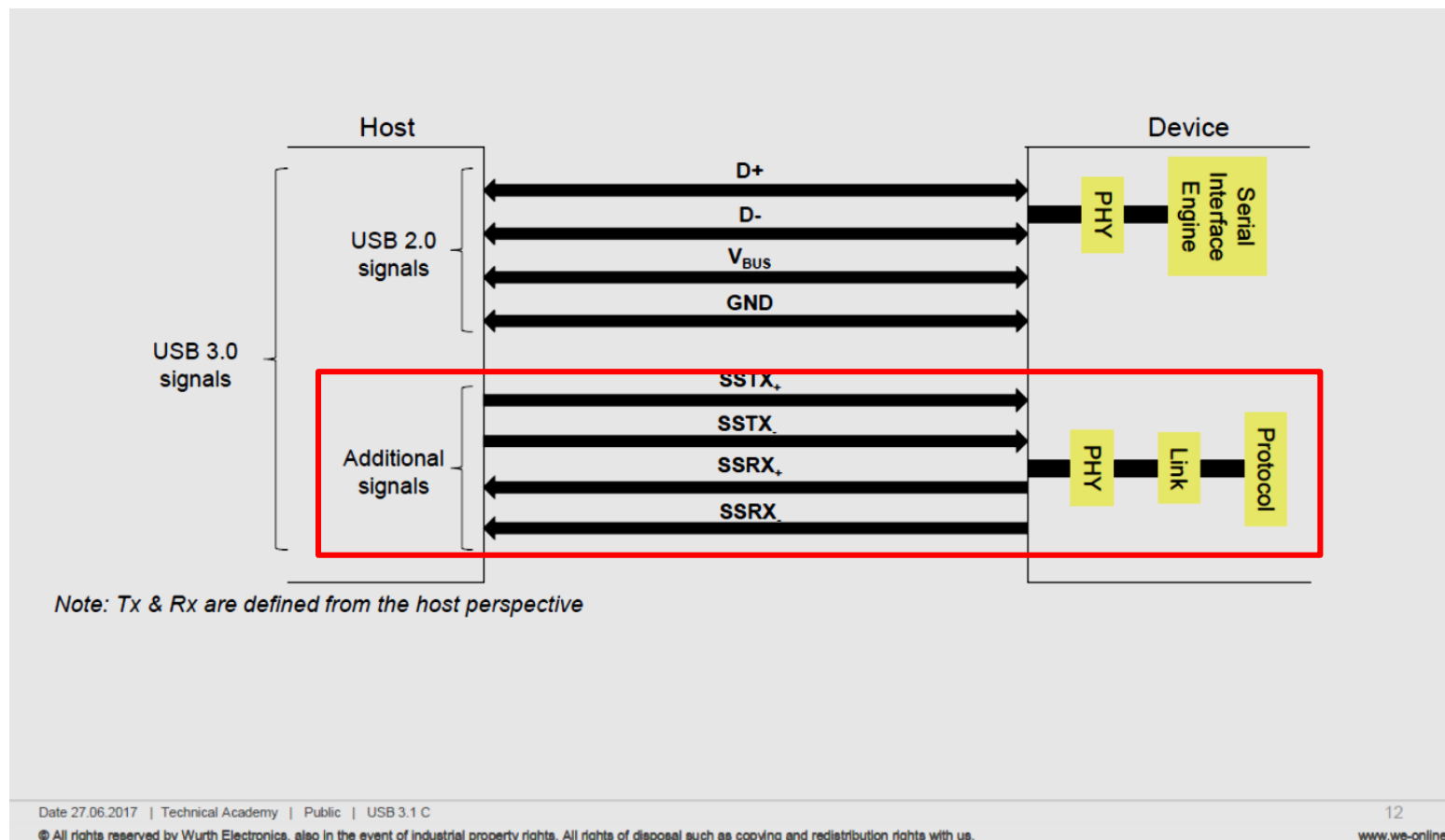
≈ x 40

≈ x 12

USB version	Data rate
USB 1.0	1,5 Mbps
USB 1.1	12 Mbps
USB 2.0	480 Mbps
USB 3.0	5 Gbps
USB3.1Gen.2	10 Gbps

Schnittstellen

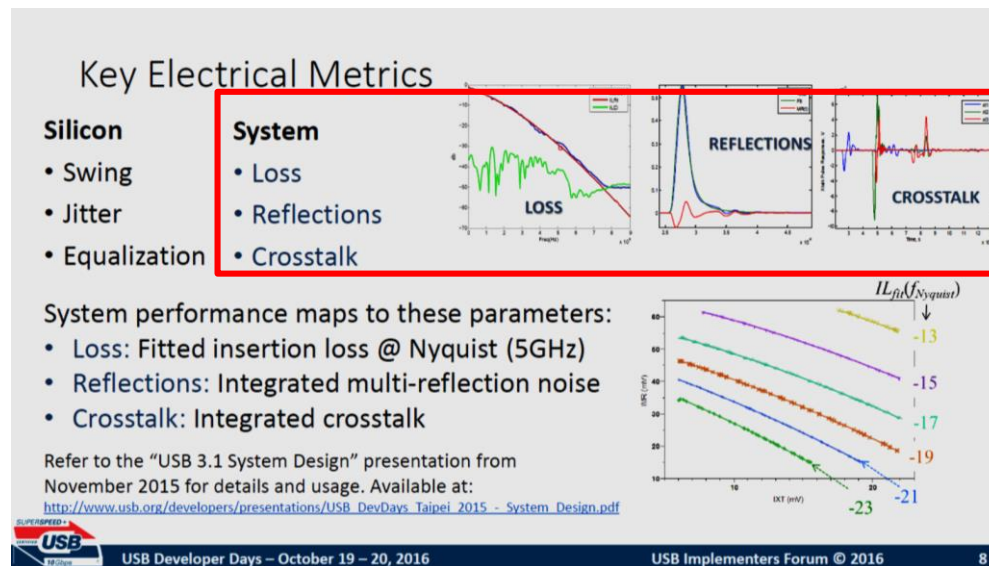
- zusätzliche Leitungen: 2x diff. pairs



source: WE USB3.X Kongress

Schnittstellen

- USB (Universal Serial Bus) Zdiff 90 ohms
- LVDS (Low-Voltage-Differential Signaling) Zdiff 100 ohms
- Herausforderung für die Leiterplatte:



Key Performance Factors

	Loss	Reflections	Crosstalk	
Silicon	Jitter Equalization Pad Cap	Pad Cap		
Package	Stackup Trace Length	Stackup	Stackup Parallel Tx/Rx Length	
PCB	Stackup Trace Length Dielectric Material	Stackup Vias Layer Changes	Stackup Parallel Tx/Tx Length	Today's Focus
Connector		Footprint Voiding		
Cable	Wire Length Wire Gauge			
EMC/RFI	ESD Protection Common Mode Choke			

USB Developer Days – October 19 – 20, 2016 USB Implementers Forum © 2016 9

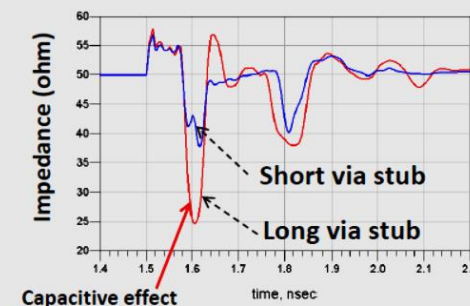
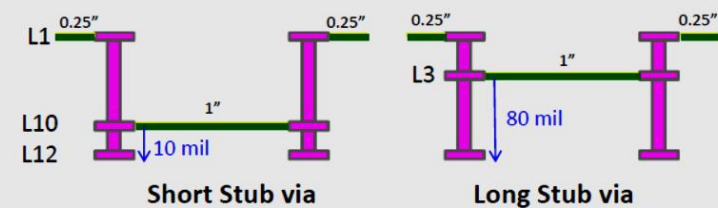
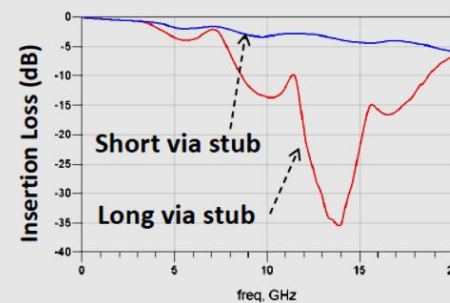
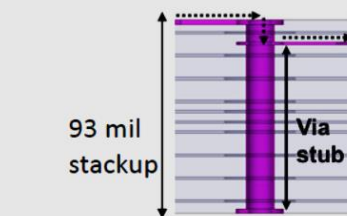
source: USB Implementers Forum 2016

Schnittstellen

Lösungsansatz: Microvias und Starrflex

- Vermeidung von THV wo möglich

PCB Vias: Impact



Via stubs cause reflections that reduce design margins.



USB Developer Days – October 19 – 20, 2016

USB Implementers Forum © 2016

26

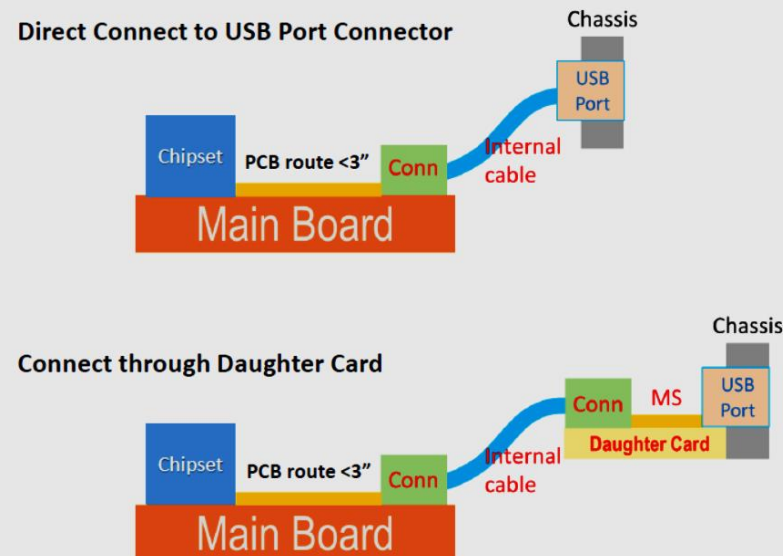
source: USB Implementers Forum 2016

Schnittstellen

Lösungsansatz: Starrflex

- low-loss Material Polyimid
- Eliminierung der Schwachstelle Stecker

Internal cable topology



Approach: extend reach by using a long internal cable with a short PCB route.

Often used types:

- Microcoax cable up to 18"
 - Cable loss $\sim 1/10^{\text{th}}$ of PCB loss
- FPC/FFC up to 5"
 - Cable loss $\sim$ PCB loss



USB Developer Days – October 19 – 20, 2016

USB Implementers Forum © 2016

16

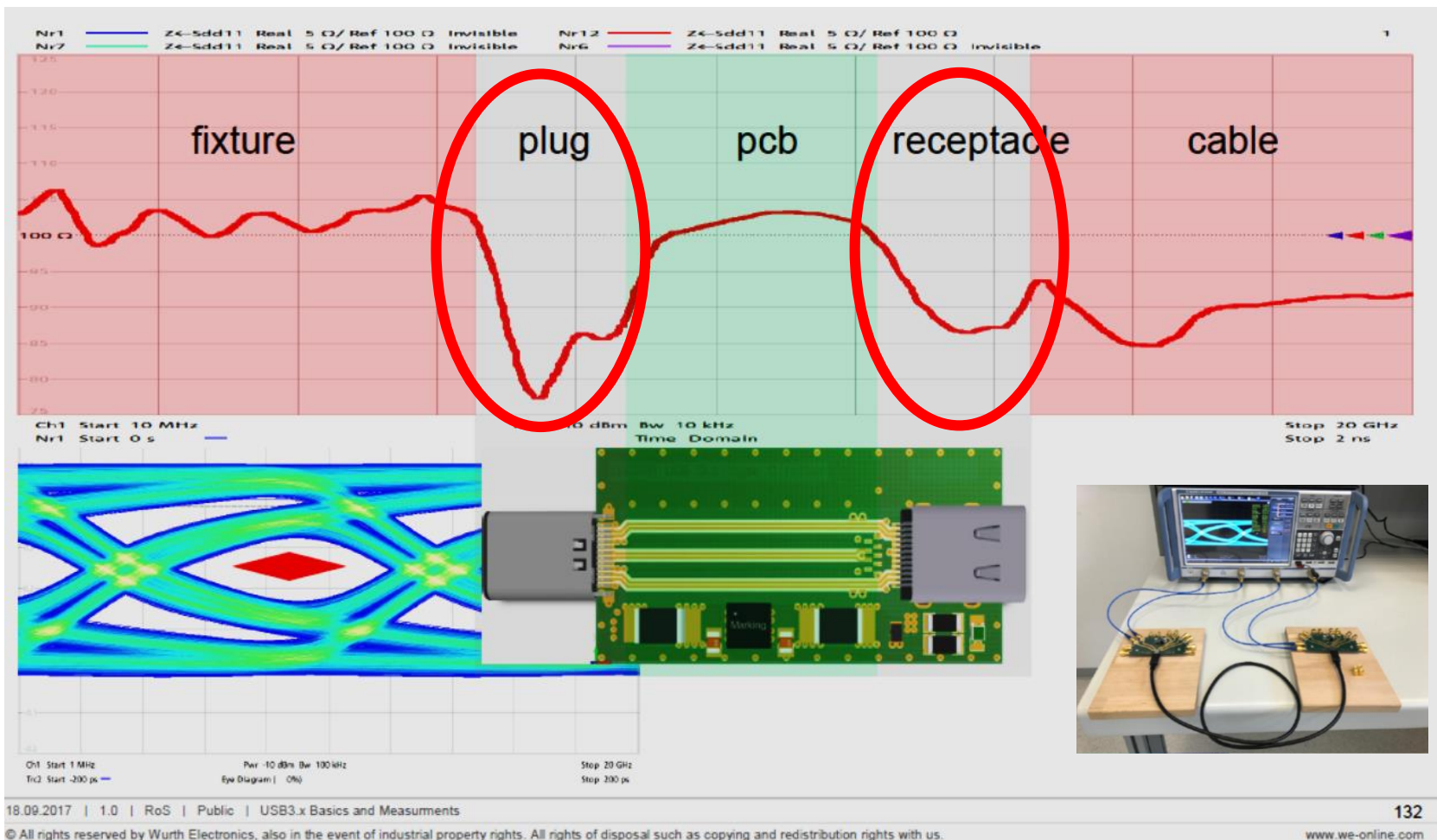
source: USB Implementers Forum 2016

Schnittstellen Interfaces

Lösungsansatz: Starrflex

■ Eliminierung der Schwachstelle Stecker

source: WE USB3.X Kongress



Agenda

A vertical line with five white circles, each containing a red dot, positioned to the left of the agenda items. The second circle from the top is highlighted in red.

Schnittstellen

Signalintegrität bei Starrflex

Design Chain – Ablauf Entwurf

Beispiele

Zusammenfassung, Q&A

Signalintegrität und Leiterplatte

Kernthemen:

- Impedanz Leistungsanpassung
- Laufzeit / Gruppenlaufzeit (Timing)
- Reflexionen

Beispiel aus USB3-Schaltung:

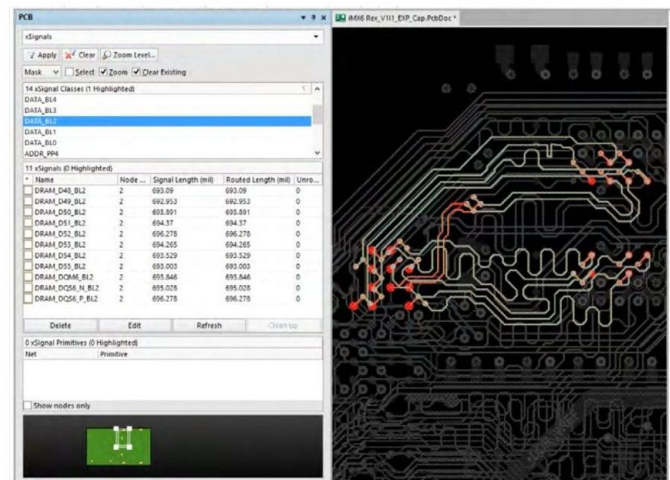
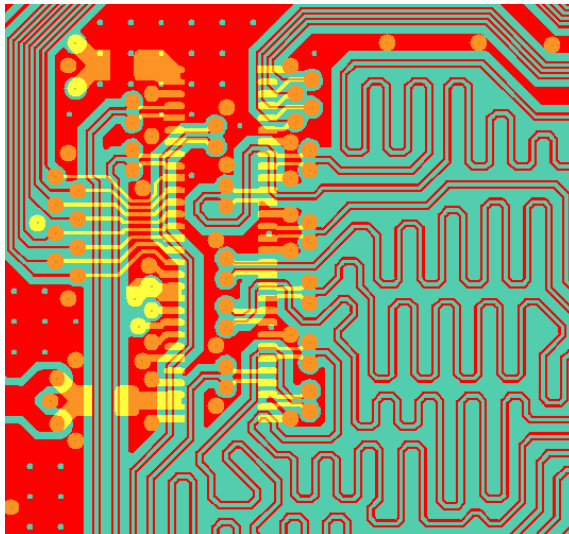


Figure 2: Automatically generated xSignal Class of all Byte Lane 2 specific Data xSignals

source: Altium

Hinweis:

Mehr Informationen
zu Signalintegrität bei
Starrflex:
Webinar Archiv

[hier](#)

Besonderheiten bei Starrflex: Flexmaterial Polyimid

- grundsätzlich günstig für hohe Frequenzen durch
 - geringe Verluste durch kleines $\tan\delta$
 - geringe Verluste durch sehr flaches Treatment des Kupfers
- grundsätzlich „Handlungsbedarf“ wegen
 - kleiner Dielektrizitätskonstante
 - geringe Dicken, typ. 50 μm

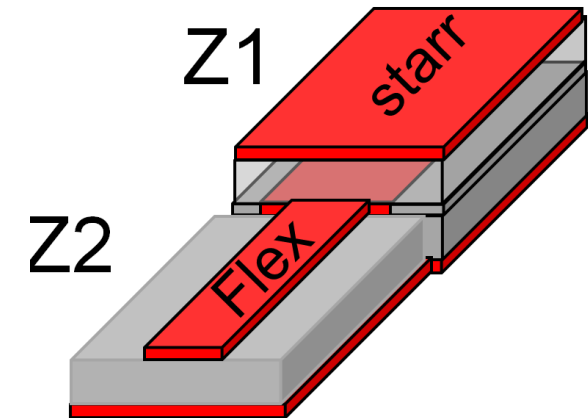


Figure 6. Dielectric Constant vs. Frequency

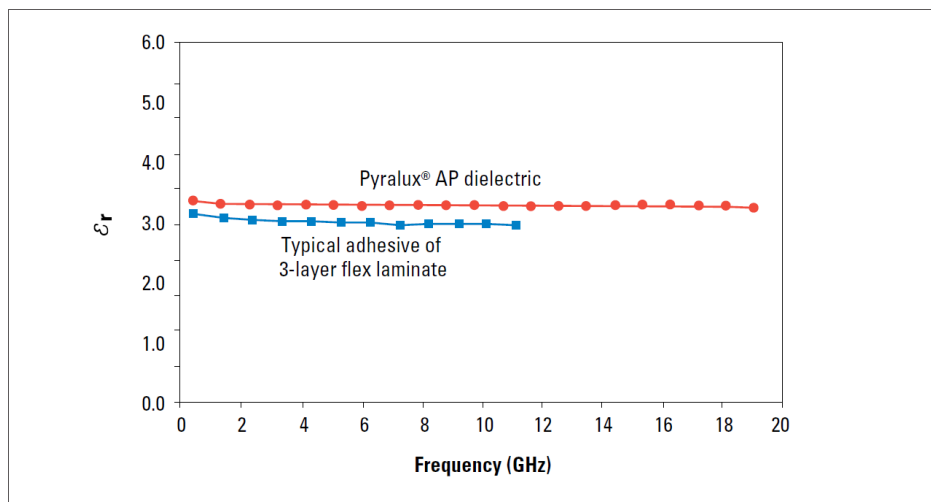
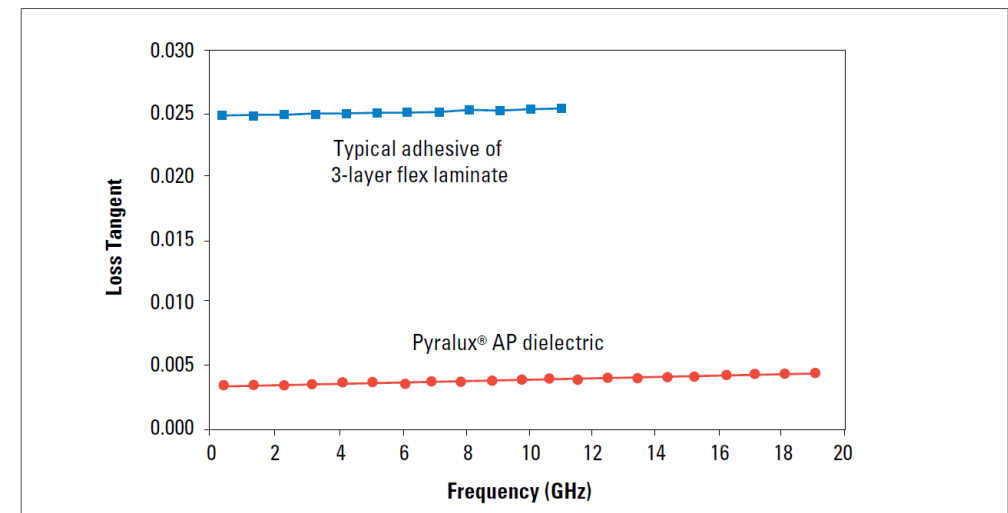
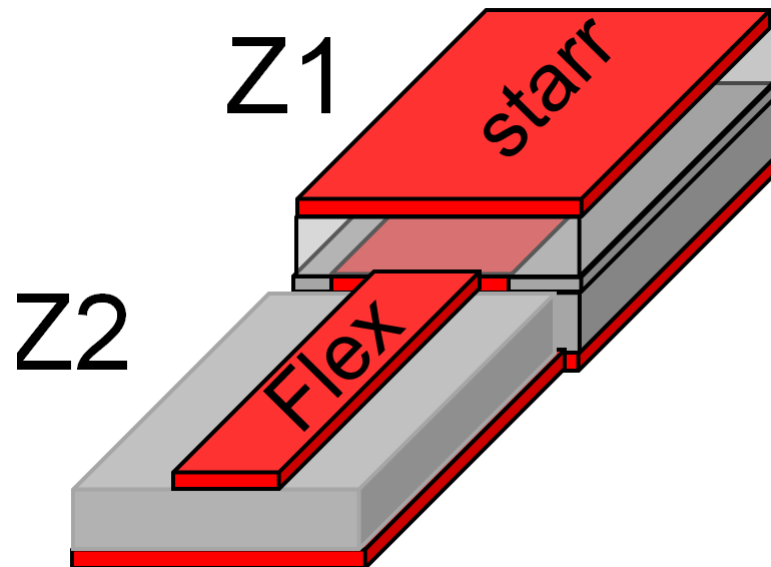


Figure 7. Loss Tangent vs. Frequency



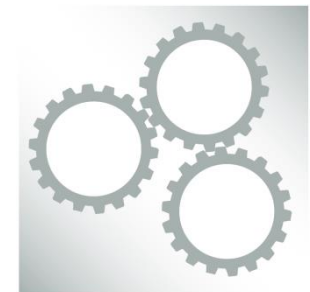
Besonderheiten bei Starrflex



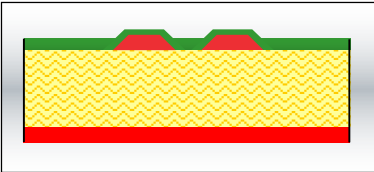
$$Z_{\text{flex}} = Z_{\text{rigid}}$$

Lösungsansatz:

- Zielimpedanz festlegen
- Impedanzmodell auswählen
- H der Flexlage wählen (Dicke PI)
 - (! 75µm / 100µm PI sind Preistreiber!)
 - ? Gibt es mechanische Anforderungen (Biegeradien, dynamische Biegungen)?
- **Simulation: Leiterbahnbreiten anpassen.**
 $W_{\min}$ mit LP-Hersteller absprechen
- „Hatch“ - Option Referenzlage

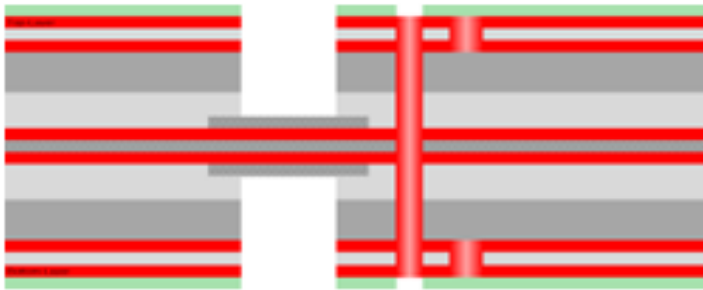


Lagen Konfiguration: 2-lagig im Flex- / Biegebereich

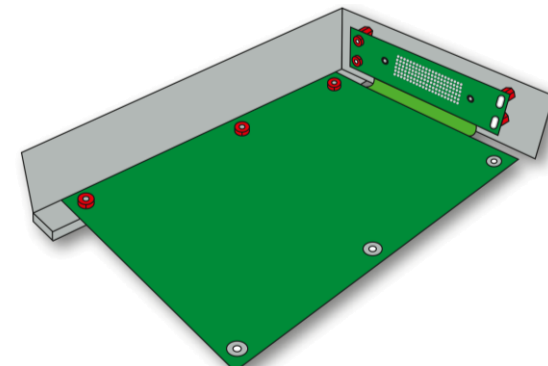


Edge Coupled Coated Microstrip – mit 1 Referenzlage

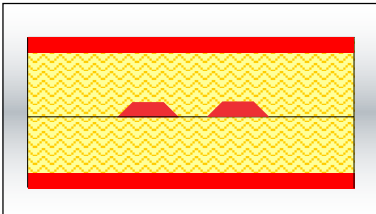
- Starrflex xRi-2F-xRi



- FR4 Semiflex 2Ri-xRi

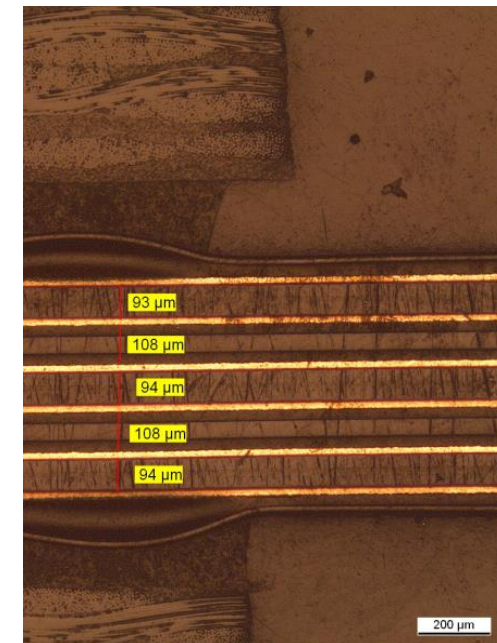
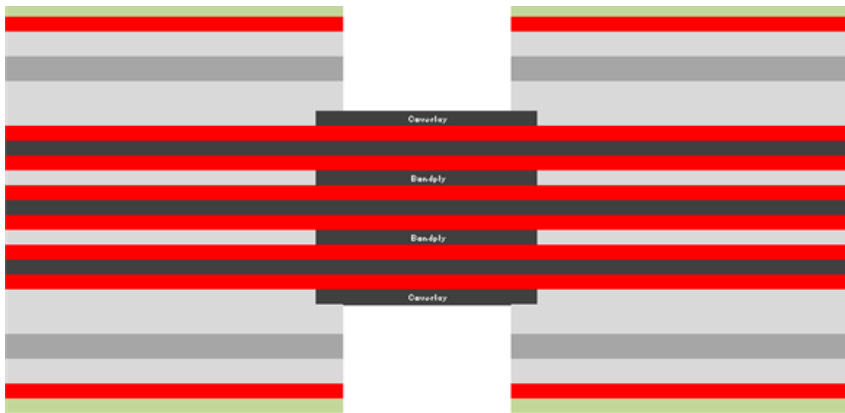


Lagen Konfiguration: > 2-lagig im Flexbereich

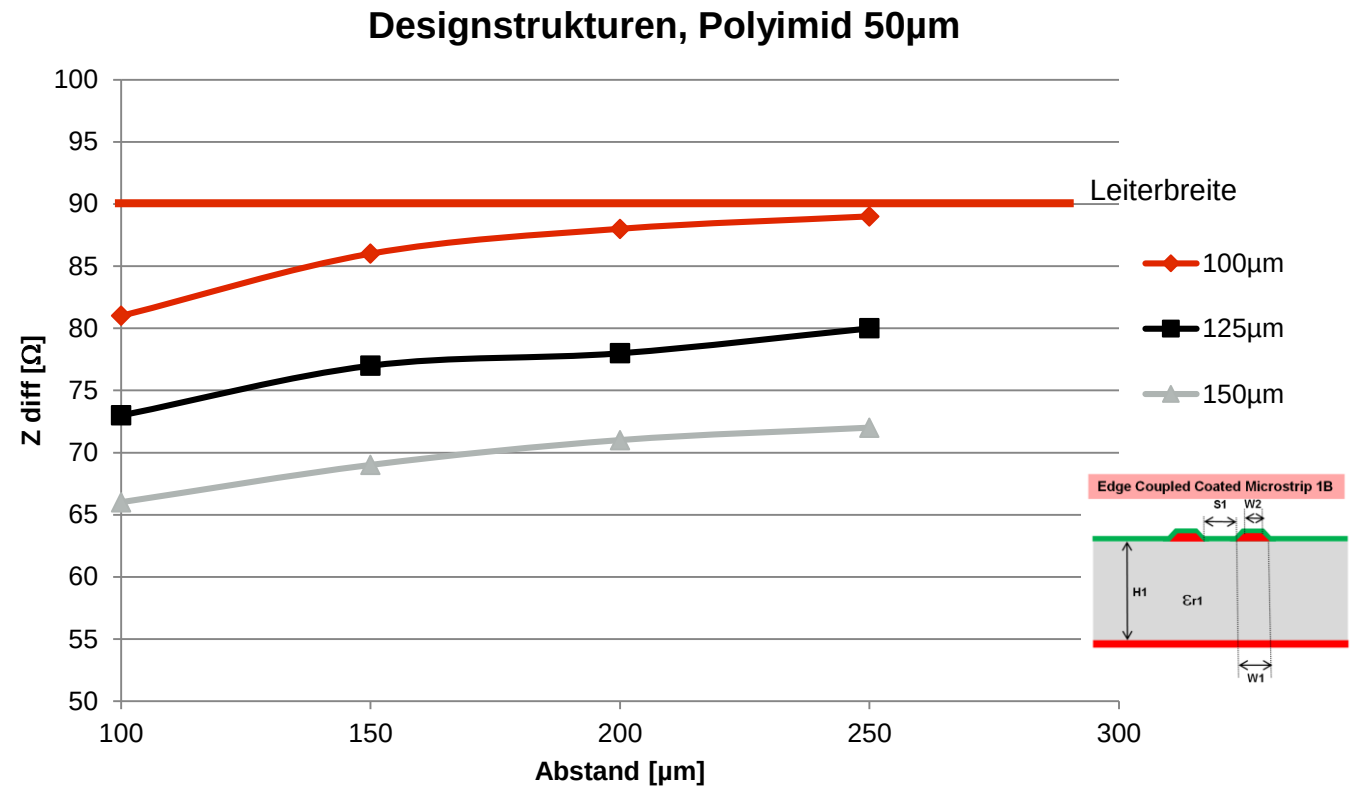
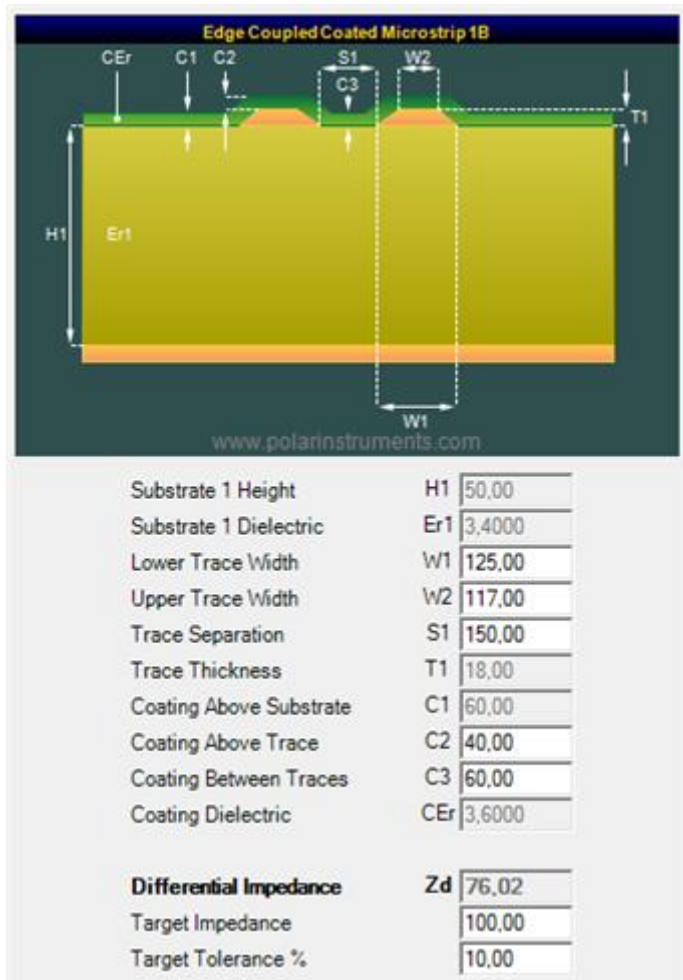


Stripline – mit 2 Referenzlagen

- Starrflex > xRi–2F–xRi, z.B. 1Ri–6F–1Ri



Auswirkung line / space Parameter



Agenda

A vertical line with five white circles, each with a red outline, connected by a red line. The line starts from the top left and goes down to the bottom left, with each circle positioned to the left of a corresponding agenda item.

Schnittstellen

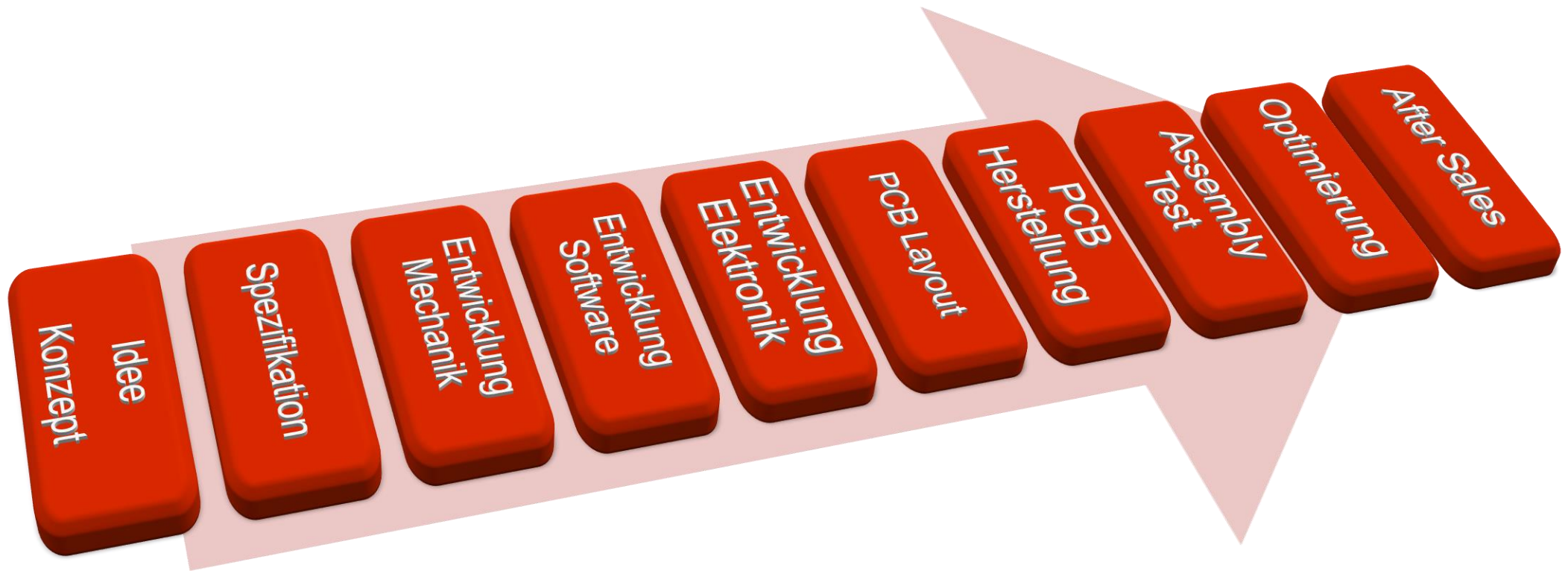
Signalintegrität bei Starrflex

Design Chain – Ablauf Entwurf

Beispiele

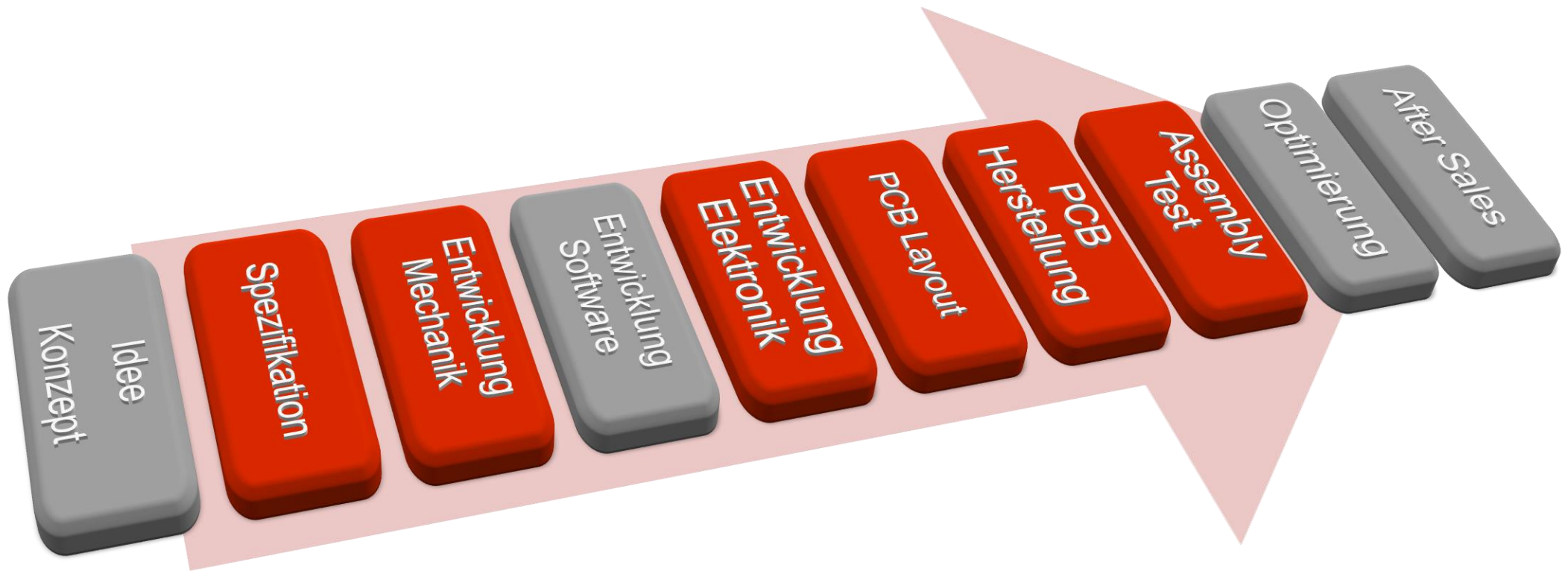
Zusammenfassung, Q&A

Design Chain Elektronikentwicklung



Mehr zu diesem Thema finden Sie [hier](#)

Design Chain für Starrflex bei hohen Datenraten



relevante Punkte mit Input für folgenden Ablauf

Ablauf „Starrflex mit Impedanz Spezifikationen“

Bauteile

- Stack-up (Standard)
- Via Technologie

Mechanik

- Check Platzbedarf (Anordnung, Testcoupon?)
- Kostenoptimierung

SI Spezi

- Anpassung Stack-up
- Impedanzrechnung, Dokumentation
- Angebot Starrflex Leiterplatte

Elektronik Design

- Bestellung mit Dokumentation, Herstellung Prototypen LP
- mit / ohne Testcoupon, mit / ohne Impedanzmessung (Serie?)

Standard Lagenaufbauten Starrflex

- Basismaterial Standard xRi-2F-xRi Aufbauten
 - Starr: FR4 Tg $\geq 150^{\circ}\text{C}$, halogenarm, gefüllt
 - Flex: Polyimid Tg $> 200^{\circ}\text{C}$ – typisch 50 μm dick
 - Lötstopplack, Polyimid Deckfolien (Coverlay) partiell im Biegebereich
 - Innenlagenkupfer 18 μm

Material description		Flex area Structure	Viatypes		Standard values
			Standard	Modification	
Soldermask					
copper incl. plating	Top-Layer				45 μm
prepreg					1 x 1080
					18 μm
Core 1					
					18 μm
prepreg					3 x 1080
Coverlay					18 μm
Polyimide					50 μm
					18 μm
Coverlay					3 x 1080
prepreg					18 μm
					18 μm
Core 2					
prepreg					1 x 1080
copper incl. plating	Bottom-Layer				45 μm
Soldermask					

TIPP:

Anfragen gerne per email
an die Teamadresse:

flex@we-online.de

Mechanik Konstruktion

Platzbedarf verschiedener Anordnungen



Rigid
Part 1

Rigid
Part 2

Rigid
Part 3

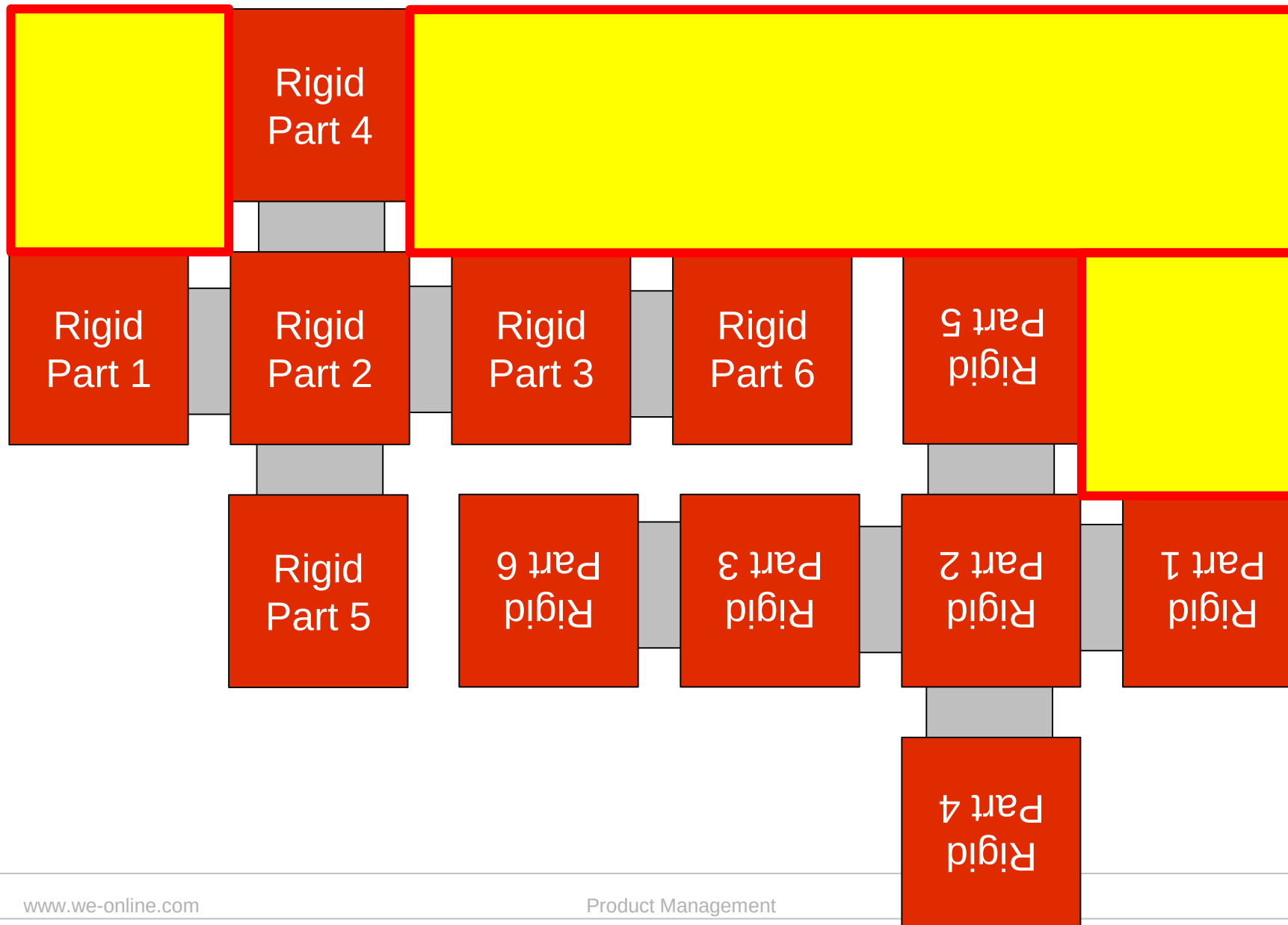
Rigid
Part 4

Rigid
Part 5

Rigid
Part 6

Mechanik Konstruktion

Platzbedarf „Kreuz“



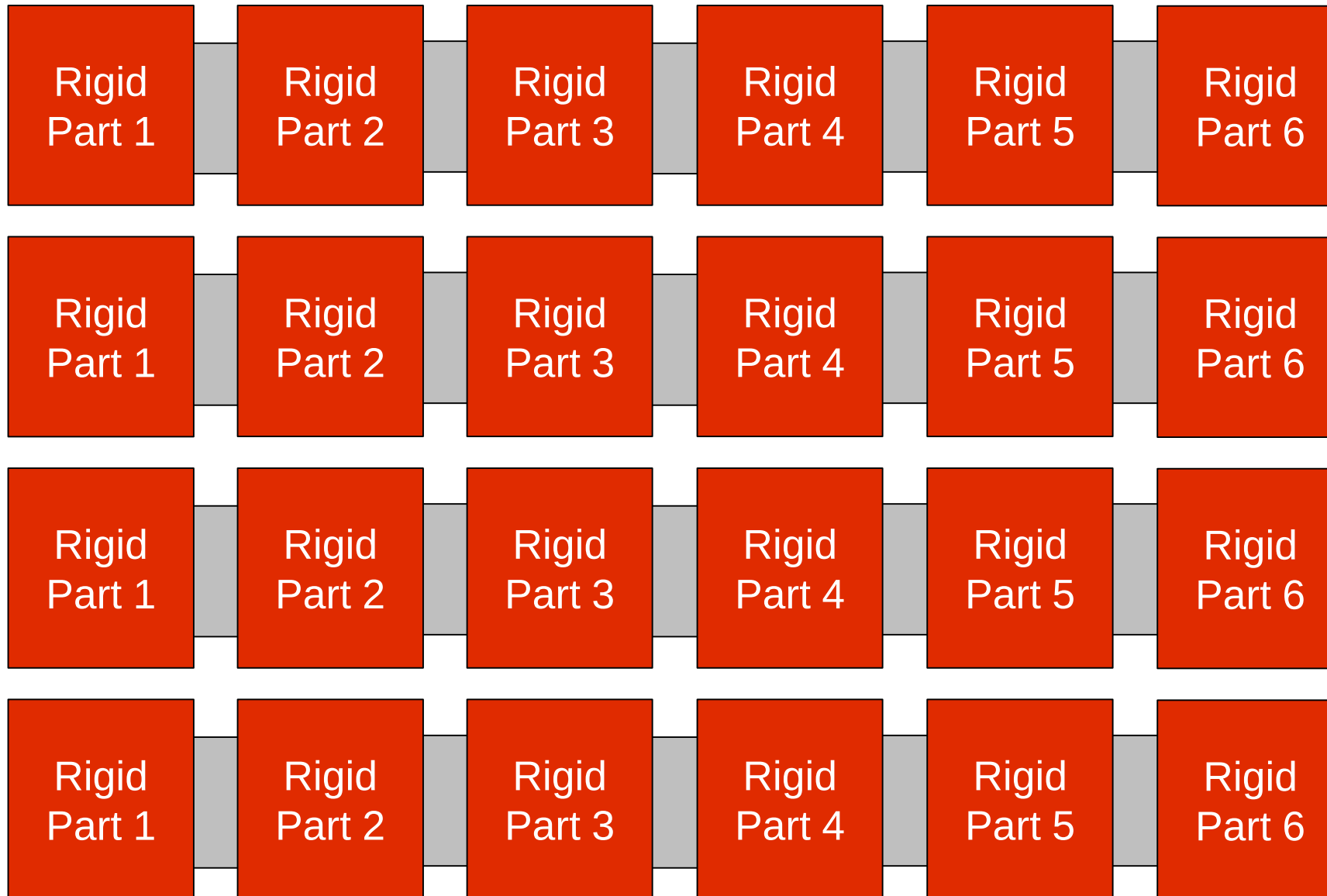
Mechanik Konstruktion

Platzbedarf „L-Form“



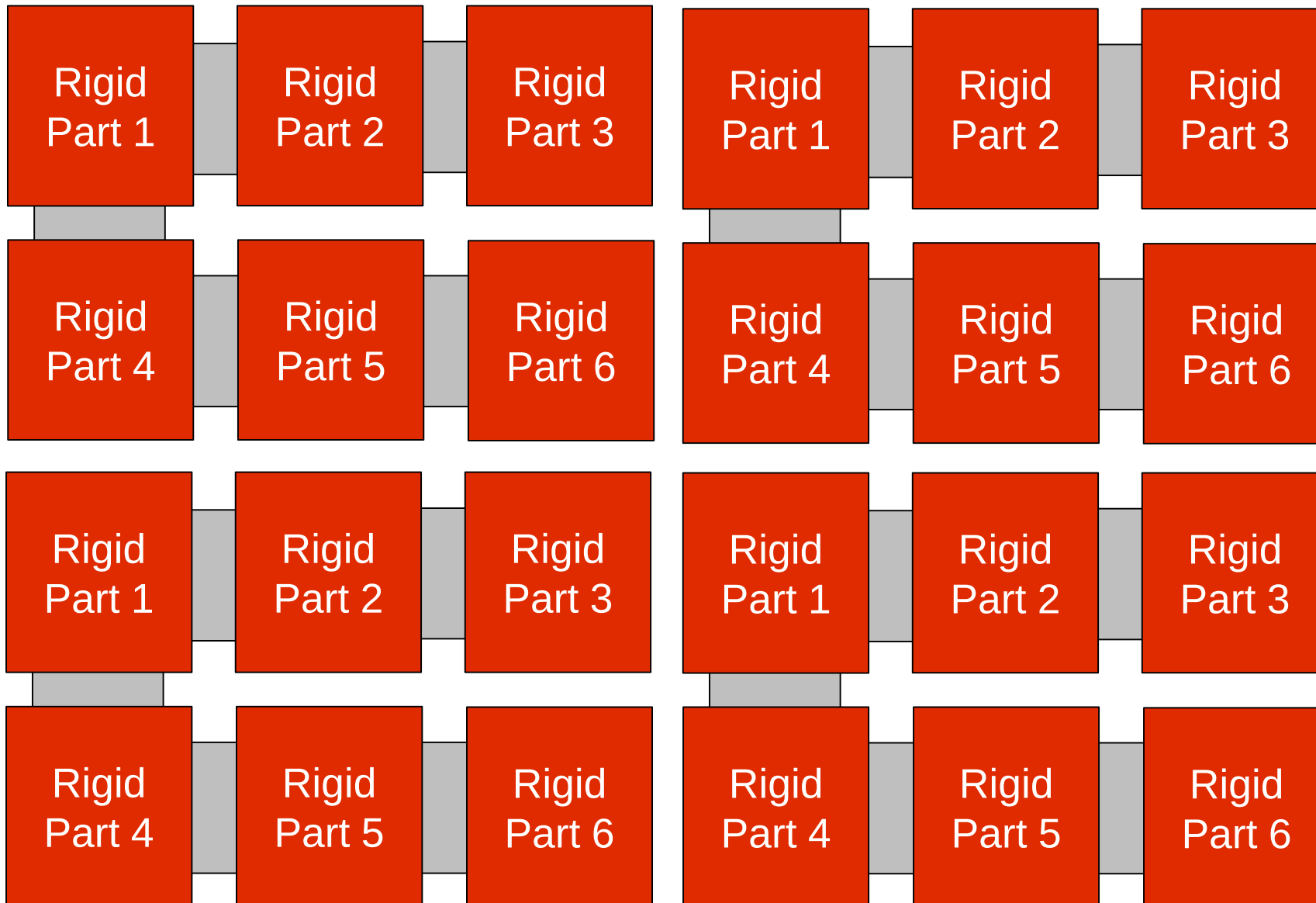
Mechanik Konstruktion

Platzbedarf „Linie“



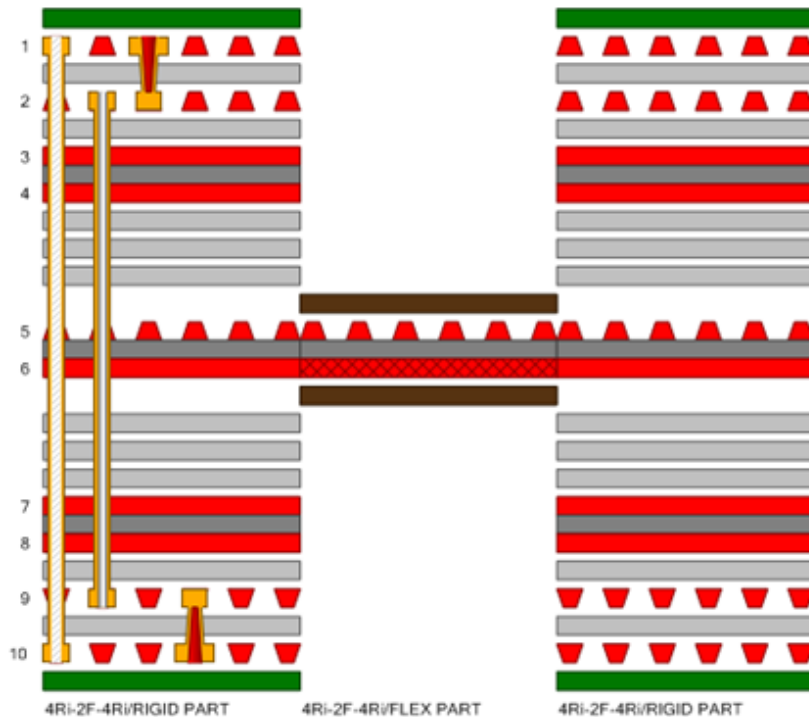
Mechanik Konstruktion

Platzbedarf „Matrix“

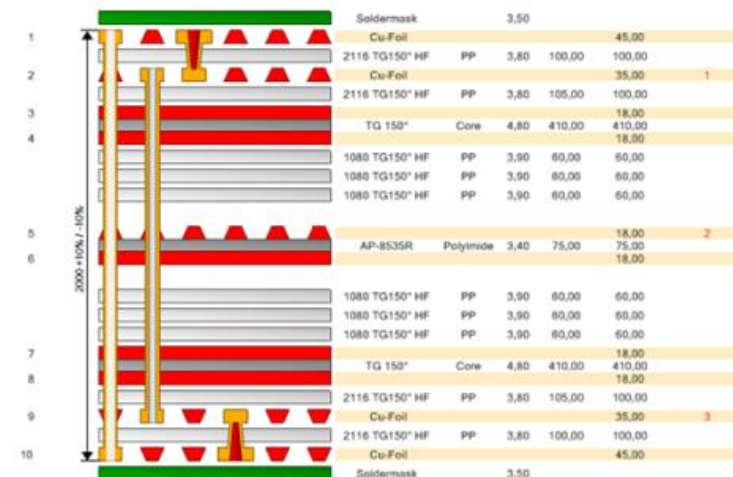


Anpassung Stack-up

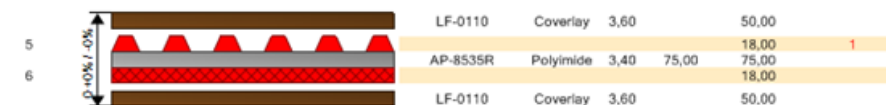
Masteransicht:



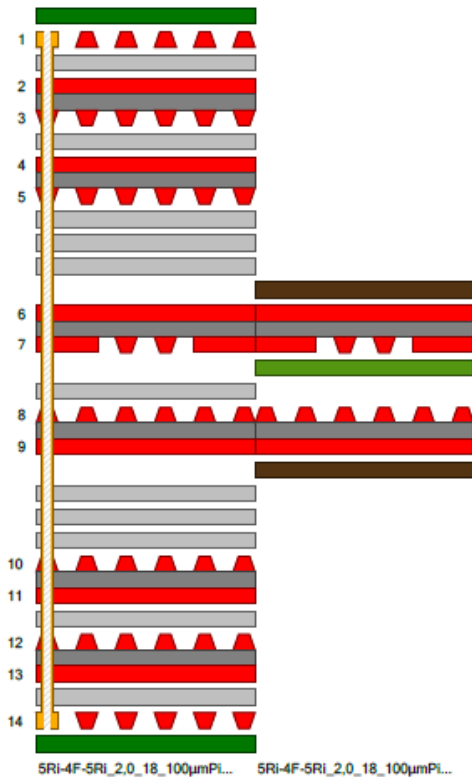
Betrachtung Starrbereich:



Betrachtung Flexbereich:



Berechnung und Dokumentation 5Ri-4F-5Ri



5Ri-4F-5Ri_2,0_18_100µmPl... 5Ri-4F-5Ri_2,0_18_100µmPl...

Layer	Stack up	Description	Type	εr	Processed Thickness	Mask Thickness	Impedance ID
		Soldermask		3,50		40,00	
1		Cu-Foil			35,00		1, 2, 3
2		2116 TG150* HF	PP	3,80	100,00		
3		TG 150*	Core	3,90	150,00		4, 5, 6, 7
4		2116 TG150* HF	PP	3,80	100,00		
5		TG 150*	Core	3,70	125,00		8, 9, 10, 11
		1080 TG150* HF	PP	3,90	60,00		
		1080 TG150* HF	PP	3,90	60,00		
		1080 TG150* HF	PP	3,90	60,00		
6		AP-8545R	Polyimide	3,40	18,00		12, 13, 14, 15
7		AP-8545R	Polyimide	3,40	18,00		
8		2116 TG150* HF	PP	3,80	100,00		16, 17
9		AP-8545R	Polyimide	3,40	18,00		
		1080 TG150* HF	PP	3,90	60,00		
		1080 TG150* HF	PP	3,90	60,00		
		1080 TG150* HF	PP	3,90	60,00		
10		TG 150*	Core	3,70	125,00		
11		2116 TG150* HF	PP	3,80	100,00		
12		TG 150*	Core	3,90	150,00		
13		2116 TG150* HF	PP	3,80	100,00		
14		Cu-Foil			35,00		
		Soldermask		3,50		40,00	

Copper Thickness = 286,000 | Dielectric Thickness = 1610,000 | Solder Mask Thickness = 80,000 | Stack Up Thickness = 1896,000 | Stack Up Thickness with Soldermask = 1976,000 |

Impedance ID	Structure Image	Structure Name	Impedance Signal Layer	Ref. Plane 1 in Layer	Ref. Plane 2 in Layer	Target Impedance	Calculated Impedance	Tol (+/- %)	Lower Trace Width (W1)	Trace Separation (S1)
--------------	-----------------	----------------	------------------------	-----------------------	-----------------------	------------------	----------------------	-------------	------------------------	-----------------------

StackName: 5Ri-4F-5Ri_2,0_18_100µmPI/RIGID	Version:	Revision:	Modification:	Date of Revision:	Editor
Date: 06.08.14	Associated Documents:				
Author: W.Öchslen					
Department:					
Site:					

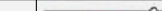
 Software: 090000 - Speedstack
 www.polarinstrumente.de

 Page
 2/5

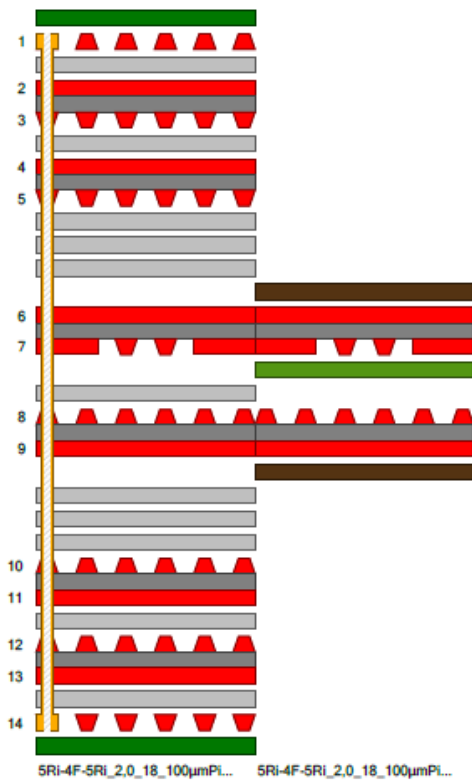
Figure 1: Schematic diagram of the 5RI-4F-5RI_2.0_18_100µmPL... device structure. The diagram shows a cross-section of the device with layers labeled 1 through 14. The layers include a green substrate, a yellow vertical layer, and various red, grey, and brown horizontal layers. The device is shown in two parts, with the right part being a continuation of the left part.

Impedance ID	Structure Image	Structure Name	Impedance Signal Layer	Ref. Plane 1 in Layer	Ref. Plane 2 in Layer	Target Impedance	Calculated Impedance	Tol (+/- %)	Lower Trace Width (WT)	Trace Separation (ST)
7		Edge Coupled Offset Stripline 1B1A	3							
8		Offset Stripline 1B1A	5							
9		Edge Coupled Offset Stripline 1B1A	5							
10		Offset Stripline 1B1A	5							
11		Edge Coupled Offset Stripline 1B1A	5							
12		Offset Stripline 1B2A	7							
13		Offset Stripline 1B2A	7	6	9	40,00	39,57	10,00	200,00	0,00
14		Edge Coupled Offset Stripline 1B2A	7	6	9	80,00	79,45	10,00	170,00	150,00
15		Edge Coupled Offset Stripline 1B2A	7	6	9	100,00	100,82	10,00	100,00	150,00
16		Offset Stripline 1B1A	8	7	9	40,00	40,72	10,00	135,00	0,00
17		Edge Coupled Offset Stripline 1B1A	8	7	9	80,00	79,48	10,00	130,00	150,00

Notes

StackName: SR-4F-SR-2.0_18_100µmP/RIGID	Version:	Revision:	Modification:	Date of Revision:	Editor	Page 4/5 
Date: 06.08.14	Associated Documents:					
Author: W.Öchslen						
Department:						
Site:						
Software SW000 - Speedcraft						

Berechnung und Dokumentation 5Ri-4F-5Ri



Layer	Stack up	Description	Type	εr	Processed Thickness	Mask Thickness	Impedance ID
6		LF-0110	Coverlay	3,60	50,00		
7		AP-8545R	Polyimide	3,40	18,00		
8		LF-0121	Bondply	3,60	100,00		1, 2, 3, 4
9		AP-8545R	Polyimide	3,40	18,00		5, 6
10		LF-0110	Coverlay	3,60	50,00		

Copper Thickness = 72,000 | Dielectric Thickness = 400,000 | Solder Mask Thickness = 0,000 | Stack Up Thickness = 472,000 | Stack Up Thickness with Soldermask = 472,000 |

Impedance ID	Structure Image	Structure Name	Impedance Signal Layer	Ref. Plane 1 in Layer	Ref. Plane 2 in Layer	Target Impedance	Calculated Impedance	Tol (+/- %)	Lower Trace Width (W1)	Trace Separation (S1)
1		Offset Stripline 1B2A	7	6	9	50,00	49,74	10,00	125,00	0,00
2		Edge Coupled Offset Stripline 1B2A	7	6	9	100,00	100,78	10,00	100,00	150,00
3		Offset Stripline 1B2A	7	6	9	40,00	39,79	10,00	190,00	0,00
4		Edge Coupled Offset Stripline 1B2A	7	6	9	80,00	80,02	10,00	165,00	150,00
5		Offset Stripline 1B1A	8	7	9	40,00	40,42	10,00	125,00	0,00
6		Edge Coupled Offset Stripline 1B1A	8	7	9	80,00	79,70	10,00	120,00	150,00

Notes

StackName: 5Ri-4F-5Ri_2,0_18_100µmPl/FLEX	Version:	Revision:	Modification:	Date of Revision:	Editor
Date: 06.08.14	Associated Documents:				
Author: W.Öchslen					
Department:					
Site:					

Software: 960000 - Speedstack
www.polarinstruments.com

Page 5/5

Agenda

A vertical line with five white circles, each containing a red dot, positioned to the left of the agenda items. The line starts at the top circle and ends at the bottom circle.

Schnittstellen

Signalintegrität bei Starrflex

Design Chain – Ablauf Entwurf

Beispiele

Zusammenfassung, Q&A

Anwendungsbeispiel

Ausgangssituation

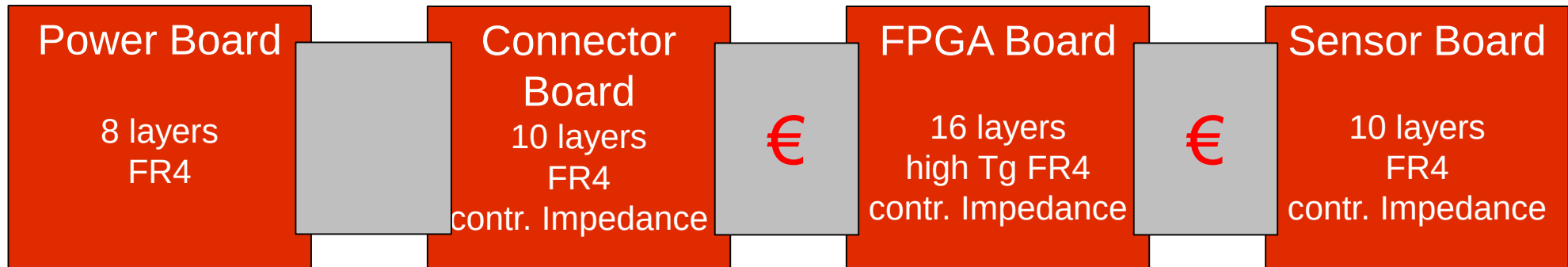
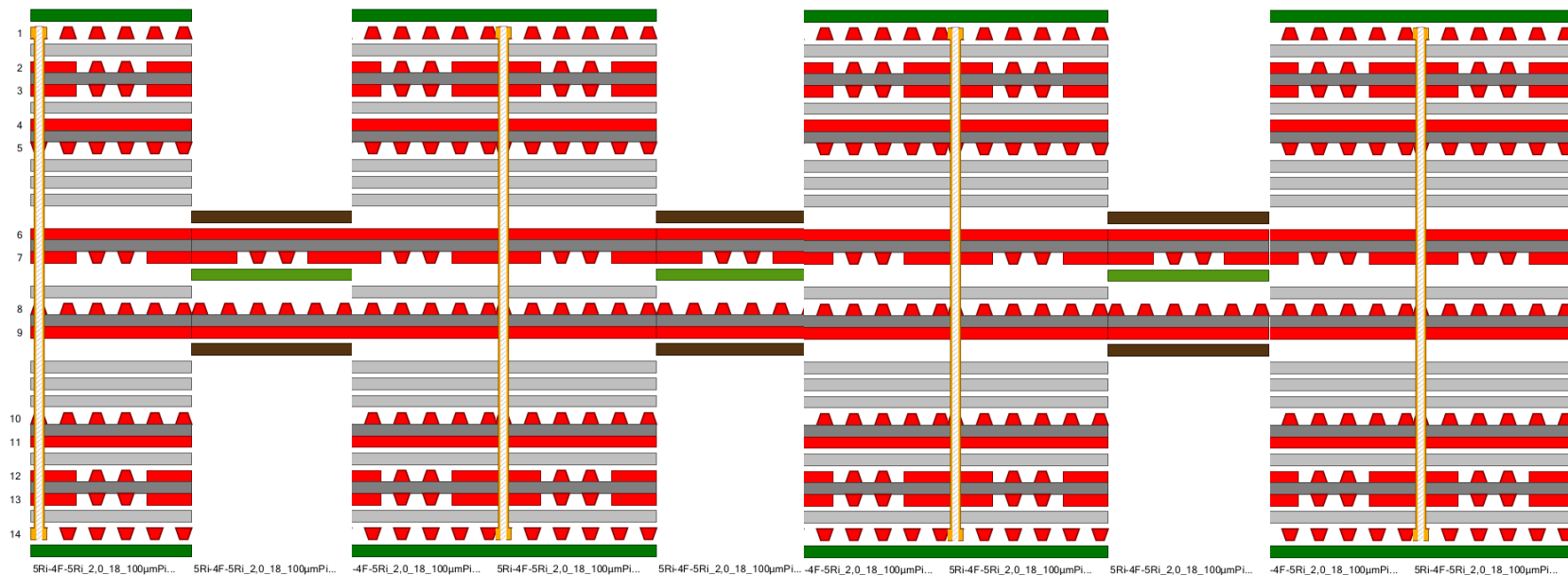
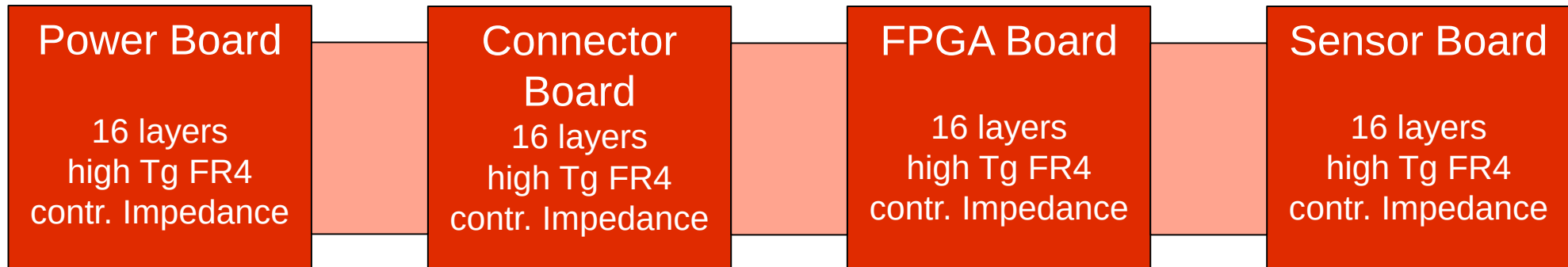


Abbildung
beispielhaft

Anwendungsbeispiel

Lösungsansatz: Starrflex xRi-4F-xRi



Anwendungsbeispiel

Ergebnis: Starrflex 4Ri-4F-4Ri

Power Board

12 layers
high Tg FR4
contr. Impedance

Connector Board

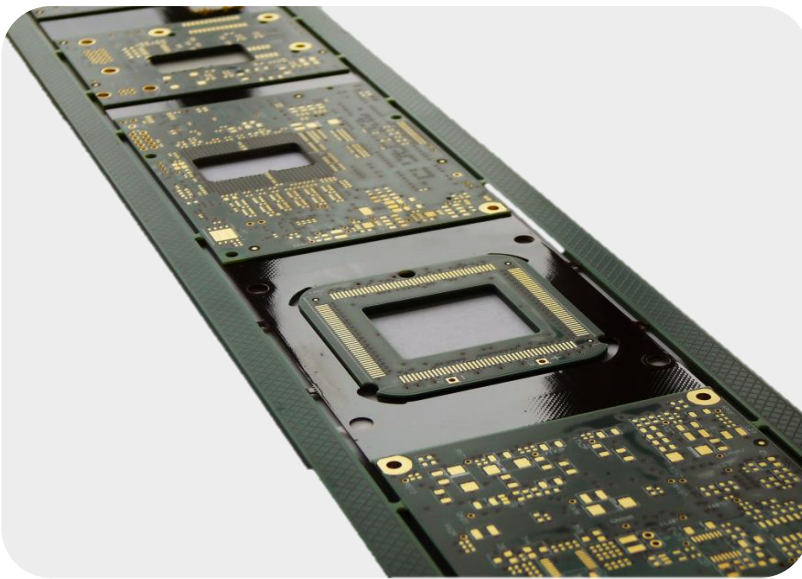
12 layers
high Tg FR4
contr. Impedance

FPGA Board

12 layers
high Tg FR4
contr. Impedance

Sensor Board

12 layers
high Tg FR4
contr. Impedance



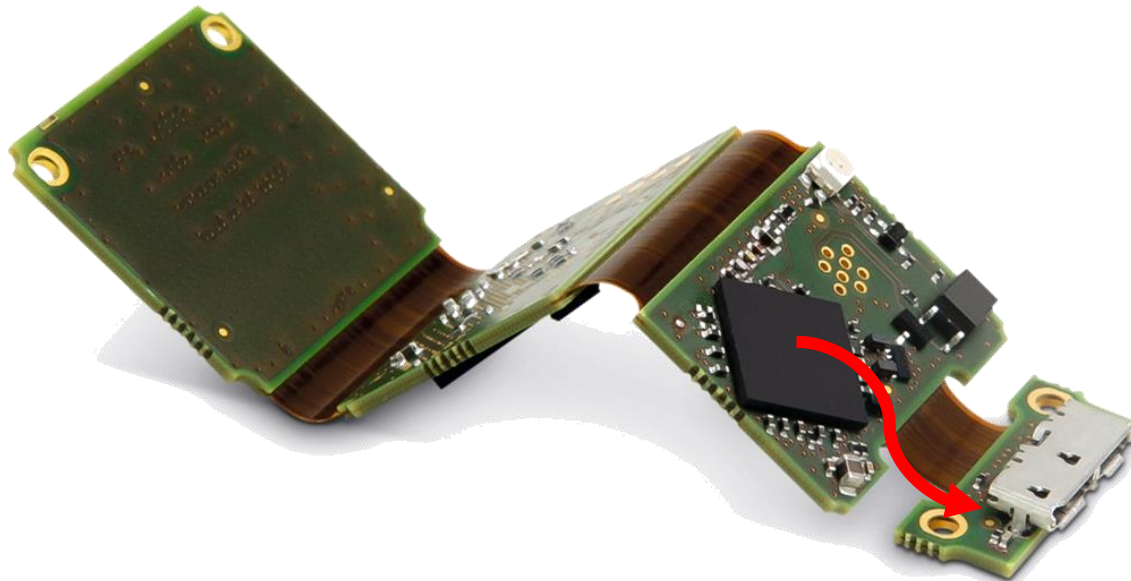
source: ANDOR



Miniaturisierung, Performance, Testbarkeit

USB3 Kamera – Miniaturisierung par excellence!

- USB Stecker auf extra Starrteil
- impedanzkontrollierte Verbindung über Flexbereich
- Vermeidung Stecker, Einsparung Footprints
- Verwendung von Microvias
- exzellente Performance
- gute Testbarkeit
- gute Robustheit



Agenda

A vertical line of five white circles with red outlines, connected by a red line. The circles are positioned to the left of the agenda items, with the bottom circle being larger and highlighted in red.

Schnittstellen

Signalintegrität bei Starrflex

Design Chain – Ablauf Entwurf

Beispiele

Zusammenfassung, Q&A

Zusammenfassung

Starrflex für hohe Datenraten, wie z.B. USB3

- hohe Datenraten verlangen nach verbesserten Leiterplattenlösungen
- Starrflex hat dafür klare systemische Vorteile
- die Komplexität der Elektronikgeräte Entwicklung verlangt eine mit dem Leiterplattenhersteller eng abgestimmte Vorgehensweise
- Würth Elektronik hat Erfahrung mit Impedanz gefertigten Starrflex Leiterplatten
- Für die Umsetzung von USB3.1 Gen.2 in miniaturisierten Systemen wird Starrflex notwendig sein



Danke für Ihre Aufmerksamkeit!



Die Kenntnis der Zusammenhänge ist ein Erfolgsgeheimnis!

Vielen Dank für Ihre Aufmerksamkeit!

Andreas Schilpp
WÜRTH ELEKTRONIK GmbH & Co. KG
Senior Product Manager

**more
than you
expect**

Circuit Board Technology
T.: +49 7940 946 330

E. andreas.schilpp@we-online.de
W. www.we-online.de/flex