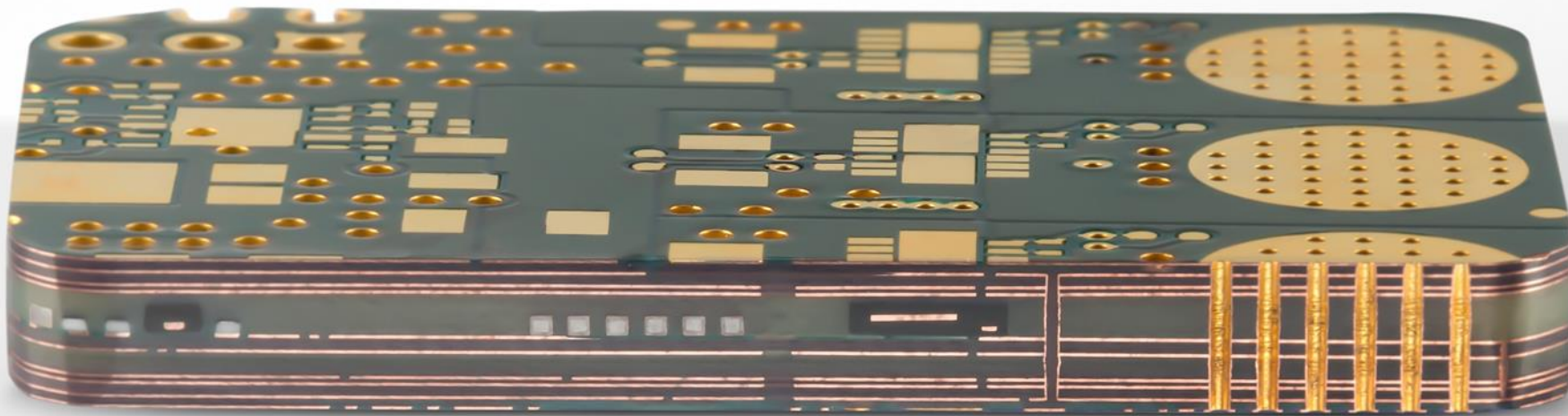


# Die Welt der eingebetteten Bauteile in Leiterplatten

## Teil 2 – Layout und Applikationsbeispiele



**Jürgen Wolf**

Würth Elektronik GmbH & Co. KG

Circuit Board Technology

Advanced Solution Center

# IHR REFERENT



- **Jürgen Wolf**  
Dipl.-Ing. Mikrosystemtechnik
  
- **Leiter Advanced Solution Center**
  - Verantwortlicher für die Technologie zum Einbetten von Bauteilen/Funktionen in die Leiterplatte und für dehnbare Leiterplatten (**STRETCH.flex**)
  - Unterstützung Vertrieb für die Einbetttechnologie und neue Technologien
  - Qualifizierung, Planung und Weiterentwicklung der Technologien
  
- **Seit 2008 bei Würth Elektronik CBT**



Speichern Sie meine  
Kontaktdaten direkt in  
Ihrem Adressbuch!

# AGENDA



- 1** Kurze Zusammenfassung aus Teil 1 – Grundlagen
- 2** Übersicht EDA-Tools und deren Möglichkeiten
- 3** Layouten von Leiterplatten mit eingebetteten Komponenten
- 4** Applikationsbeispiele



# AGENDA

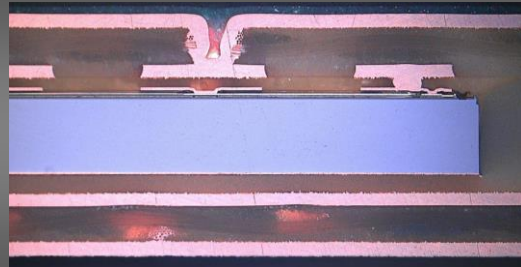


- 1** Kurze Zusammenfassung aus Teil 1 – Grundlagen
- 2 Übersicht EDA-Tools und deren Möglichkeiten
- 3 Layouten von Leiterplatten mit eingebetteten Komponenten
- 4 Applikationsbeispiele



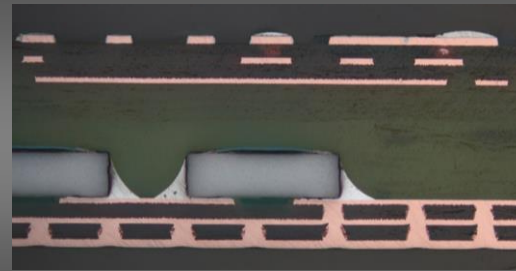
# EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Aus Teil 1: Varianten der Einbetttechnologie



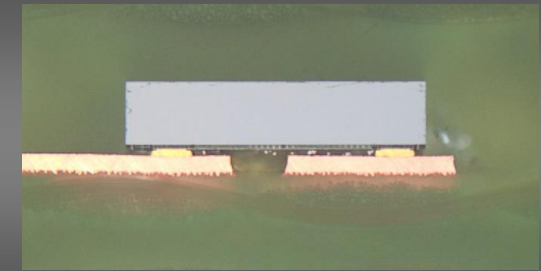
## MICROVIA.embedding

Nacktchips,  
spezielle R`s und C`s  
montiert auf Innenlage oder  
Cu-Folie  
elektrischer Kontakt durch  
Microvias  
höchste Zuverlässigkeit  
Großserien



## SOLDER.embedding

SMD  
Bauelemente  
gelötet auf  
Innenlage  
elektrischer Kontakt durch Lot  
hohe Zuverlässigkeit  
Klein-, Mittel- und  
Großserien



## FLIP-CHIP.embedding

Gebumppte  
Nacktchips  
montiert auf  
Innenlage  
elektrischer Kontakt durch ACA  
hohe Zuverlässigkeit  
Klein-, Mittel- und  
Großserien

# EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Aus Teil 1: Vorteile und Nutzen von eingebetteten Bauelementen



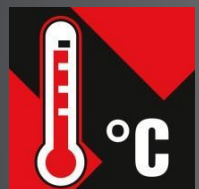
## Miniaturisierung

- Package- bzw. Gehäuseersatz
- Einsparung von Bestückfläche auf den Außenlagen



## Performance/ Funktion

- Integrierte Schirmung
- Kurze Signalwege
- Plagiatsschutz



## Zuverlässigkeit

- Schutz vor Umwelteinflüssen
- Vollflächige Fixierung
- Wärmemanagement

# AGENDA



- 1 Kurze Zusammenfassung aus Teil 1 – Grundlagen
- 2 Übersicht EDA-Tools und deren Möglichkeiten**
- 3 Layouten von Leiterplatten mit eingebetteten Komponenten
- 4 Applikationsbeispiele



# EMBEDDING TECHNOLOGY

Kurzumfrage



# UMFRAGE

**Welche EDA-Software setzen  
Sie bei sich ein?  
(Mehrfachnennungen möglich)**

**Bitte die Antworten in die  
Fragen-Sektion von GoToWebinar einfügen!**

**Kleine Auswahlliste (Alphabetisch sortiert – ohne Wertung und nicht vollständig!)**

Allegro PCB Designer (cadence)  
Altium 365  
Altium Designer  
Cadstar (Zuken)  
CircuitMaker (Altium)  
CircuitStudio (Altium)  
CR-8000 (Zuken)  
DesignSpark  
Eagle  
gEDA  
KiCAD  
NEXUS (Altium)  
OrCAD PCB Editor (Cadence)  
Pads (Siemens EDA/Mentor)  
Pulsonix  
Sprint Layout  
Target 3001!  
Ultiboard (NI)  
Xpedition (Siemens EDA/Mentor)



# EMBEDDING TECHNOLOGY – LAYOUT

## Übersicht EDA-Tools



EDA-Tools für Embedding Technology – Die aktuellen Versions dieser Softwaretools:



**cādence**<sup>®</sup>  
Allegro PCB Design Solution  
Miniaturization Option

**SIEMENS EDA**  
Ehemals Mentor Graphics<sup>®</sup>  
Xpedition Enterprise



Weitere Tools möglich, aber  
mit starken Einschränkungen

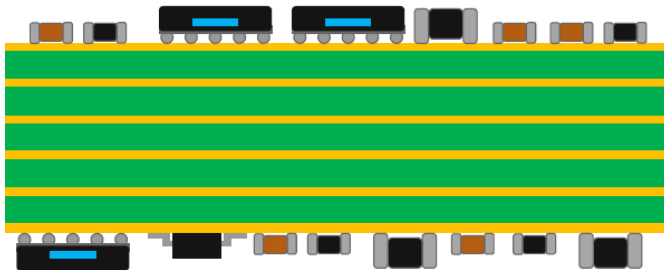
# EMBEDDING TECHNOLOGY – LAYOUT

Möglichkeiten der EDA-Tools – am Beispiel von cadence® Allegro



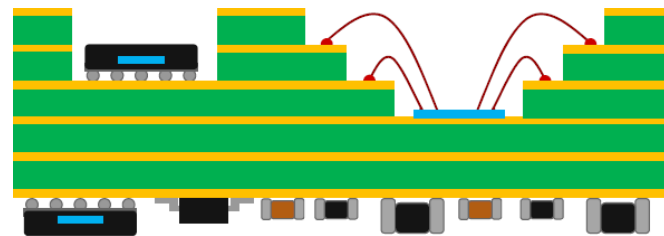
## Normale Multilayer-PCB

Bauteile auf Vorder- und Rückseite



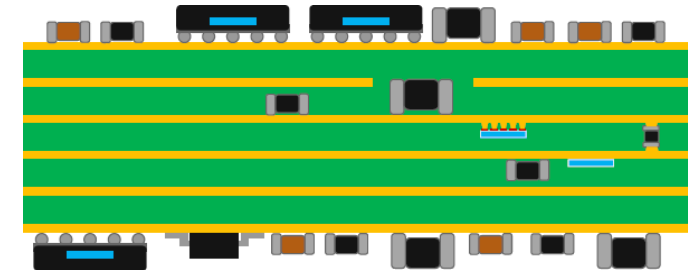
## PCB mit Kavitäten

Bauteile in den definierten Kavitäten auf definierten Lagen und Bestückung von „außen“



## PCB mit eingebetteten Bauteilen

Bauteile auf den definierten Innenlagen mit Lagenanbindung und Orientierung (up/down)



# EMBEDDING TECHNOLOGY – LAYOUT

Möglichkeiten der EDA-Tools – am Beispiel von cadence® Allegro



## Lagendefinition der eingebetteten Bauteile

- Bauteilausrichtung
- Durchstoßen („protruding“) durch benachbarte Lagen erlauben
- Kontaktierung  
 „Direct Attach“ entspricht MICROVIA.embedding  
 „Indirect Attach“ entspricht SOLDER.embedding

ID	Layer Name	Type	Thickness	Embedded Status	Attach Method
1		SURFACE	0.0010		
2		DIELECTRIC	0.0240		
3	TOP	CONDUCTOR	0.0350	Not Embedded	
4		DIELECTRIC	0.0700		
5	LAYER_2	CONDUCTOR	0.0350	Not Embedded	
6		DIELECTRIC	0.0700		
7	LAYER_3	CONDUCTOR	0.0350	Not Embedded	
8		DIELECTRIC	0.0700		
9	LAYER_4	CONDUCTOR	0.0170	Not Embedded	
10		DIELECTRIC	0.1000		
11	LAYER_5	CONDUCTOR	0.0170	Body Down	Direct Attach
12		DIELECTRIC	0.1270		
13	LAYER_6	CONDUCTOR	0.0170	Protruding Allowed	
14		DIELECTRIC	0.1000		
15	LAYER_7	CONDUCTOR	0.0170	Protruding Allowed	
16		DIELECTRIC	0.1270		

Embedded Global Parameters

- Package height buffer: 0.3300
- Minimum cavity gap for merging: 0.2500
- Placebound to via keepout expansion: 0.0000
- Package to cavity spacing: 0.2000
- Via connect height: 0.0000
- Default via connect padstack: [empty]
- Cavity to route keepout expansion: 0.0000

Two Comps Top View  
One Comp Side View

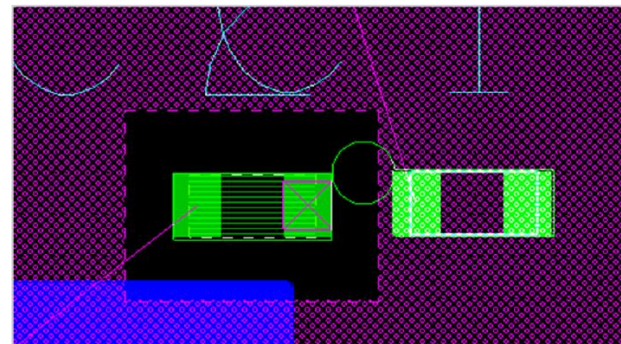
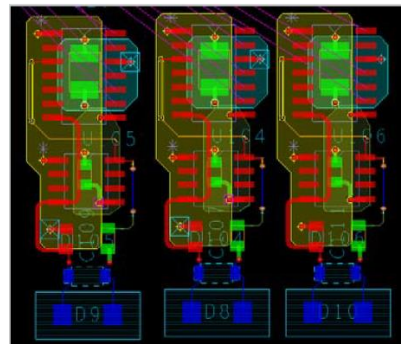
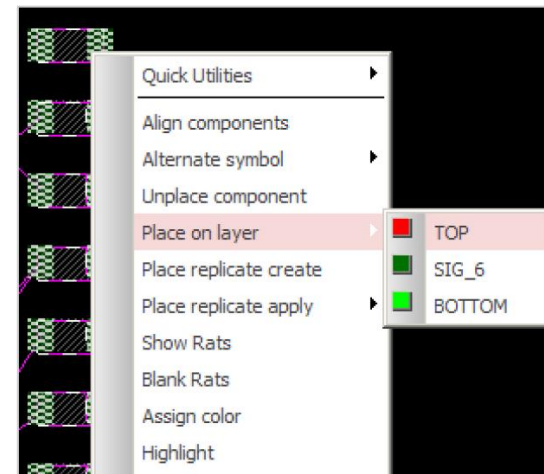
# EMBEDDING TECHNOLOGY – LAYOUT

Möglichkeiten der EDA-Tools – am Beispiel von cadence® Allegro



## Platzierung der Bauteile

- Auf erlaubten Lagen
- DFA-Support mit komplexen Abstandsregeln



# AGENDA



- 1 Kurze Zusammenfassung aus Teil 1 – Grundlagen
- 2 Übersicht EDA-Tools und deren Möglichkeiten
- 3 Layouten von Leiterplatten mit eingebetteten Komponenten**
- 4 Applikationsbeispiele



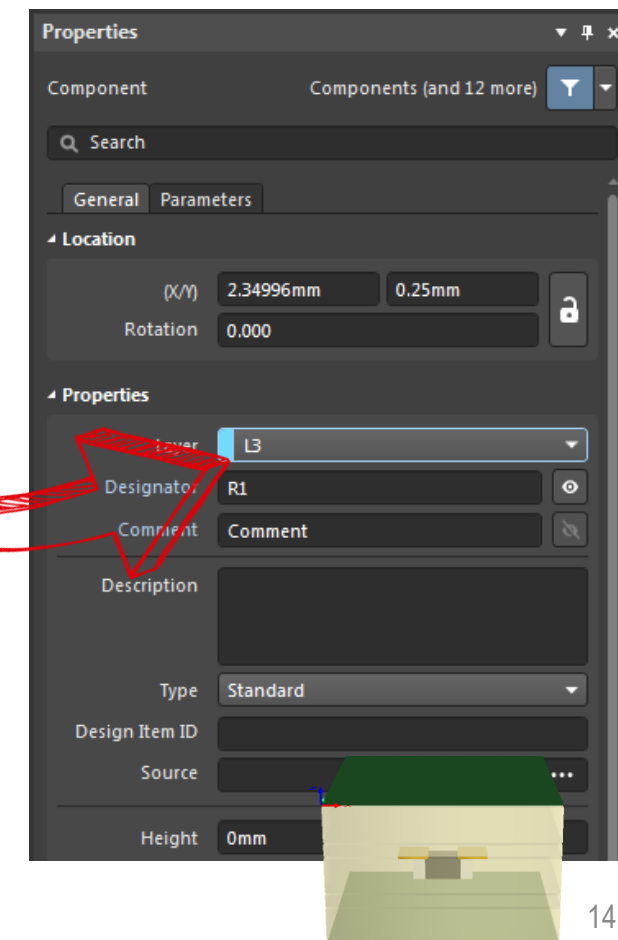
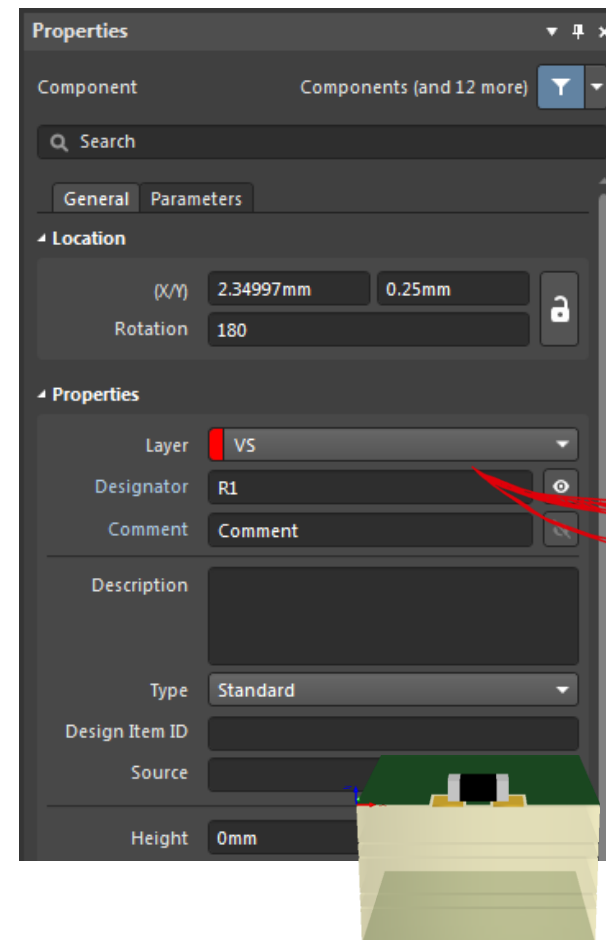
# EMBEDDING TECHNOLOGY – LAYOUT

## Layouten von Leiterplatten mit eingebetteten Komponenten



### Bauteilbibliotheken

- Bauteile werden wie jedes andere Bauteil in der Bibliothek angelegt
- Empfehlung: „normales“ SMD-Bauelement kopieren und als Embedded-Bauteil führen
- Evtl. sind Zusatzinformationen in der Bauteilbibliothek nötig:
  - Lötstopmmaske für Innenlagen
  - Lotpaste für Innenlagen
  - Spezielle Bauteilkontur
  - Bauteildicke als Parameter
- Zum eingebetteten Bauteil wird es erst, wenn es im Layout auf eine Innenlage verschoben wird



# EMBEDDING TECHNOLOGY – LAYOUT

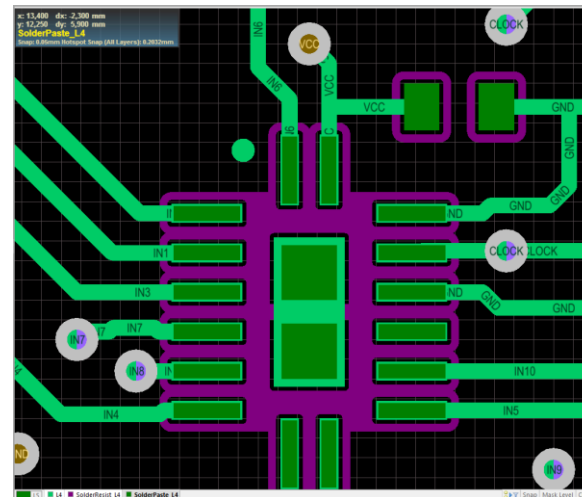
## Layouten von Leiterplatten mit eingebetteten Komponenten



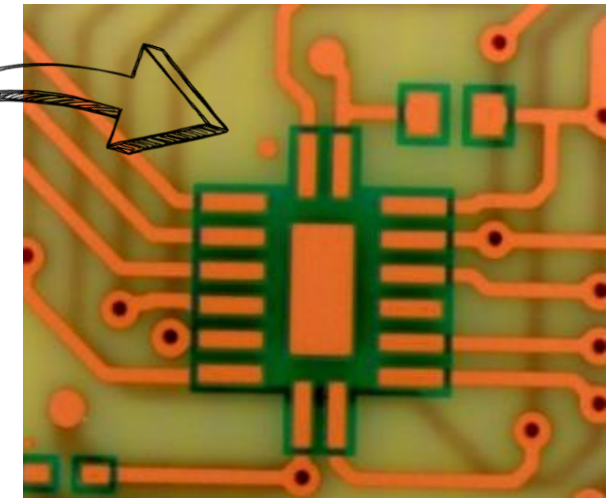
### Bauteilbibliotheken – Zusatzinformationen

- Manche Tools können keine Lötstopp- und Pastendaten für Innenlagen ausgeben

Abhilfe:  
Zusätzliche Mechanik-Layer  
für Lötstoppmasken und  
Lotpasten-Daten auf  
Innenlagen erstellen



QFN-Footprint in Layout



QFN-Footprint mit Lötstoppmaske  
vor dem Bestücken

Randnotiz und Erinnerung an Teil 1:

Es können entweder die Lötstopprahmen positiv gezeichnet werden – oder die Freistellungen als **Negativ**, welche dann von uns in Rahmen umgewandelt werden. Bitte entsprechend dokumentieren!

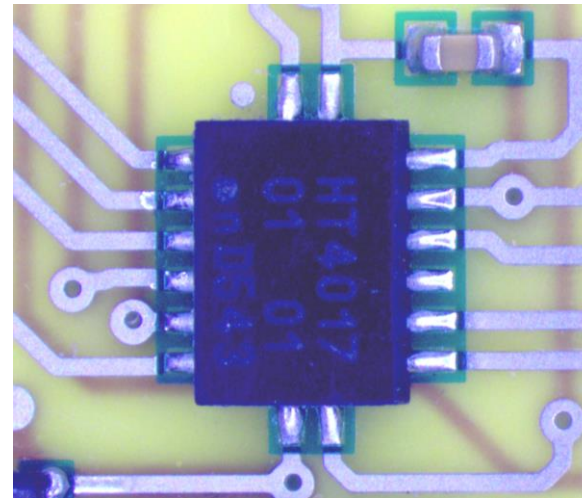
# EMBEDDING TECHNOLOGY – LAYOUT

## Layouten von Leiterplatten mit eingebetteten Komponenten

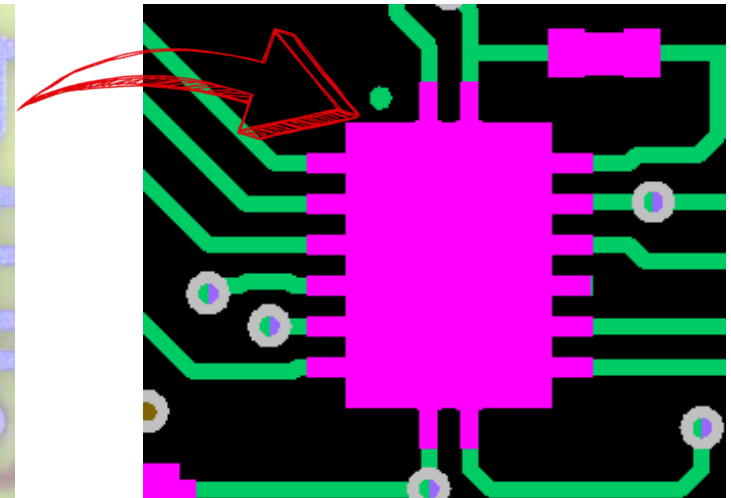


### Bauteilbibliotheken – Zusatzinformationen

- **Bauteilkonturen (X/Y) in den Daten**
  - Dienen zum einem dem PCB-Hersteller für die Definition der Freistellung für die Bauteiltaschen (siehe Teil 1)
  - Werden aber auch zum DRC verwendet, um z.B. versehentliche Vias durch Bauteile zu vermeiden
    - ⇒ Umriss nicht nur als Kontur, sondern als gefüllte Fläche definieren



Für Embedding bestückter QFN



QFN-Footprint mit gefüllter Fläche für Bauteilkontur



# EMBEDDING TECHNOLOGY – LAYOUT

## Layouts von Leiterplatten mit eingebetteten Komponenten



### Bauteilbibliotheken – Zusatzinformationen

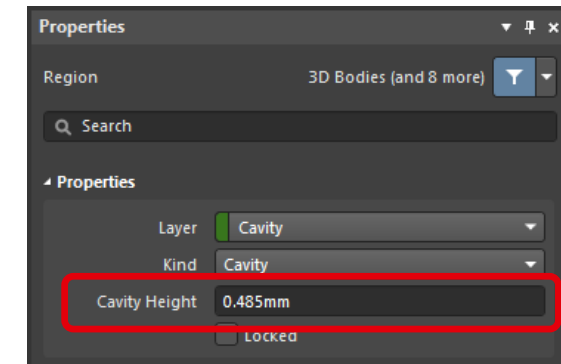
#### ▪ Aussparung für Bauteile

Je nach Technologie – z.B. bei SOLDER.embedding setzt sich die Höhe der Aussparung wie folgt zusammen:

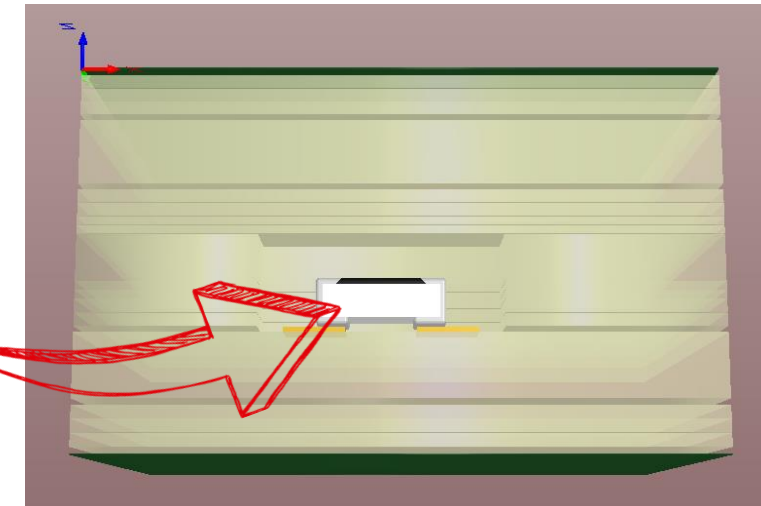
- Dicke  
max. Toleranz – siehe Datenblatt
  - Lot Stand-off  
ca. 25..50µm
  - Bauraum über Bauelement  
typisch ca. min. 70..100µm
- Kann vom PCB-Hersteller und vom Layouter zum Check verwendet werden, ob das gewünschte Bauteil zum Lagenaufbau passt

Layer	Name	Material	Thickness	Constant	Board Layer	Stack	Stack0
1	Top Overlay						
2	Top Solder	Solder Resist	0,015mm	3,5			
3	US	Copper	0,040mm				
4	PP2116	FR4 TG150	0,102mm	4,2			
5	PP2116	FR4 TG150	0,102mm	4,2			
6	PP2116	FR4 TG150	0,102mm	4,2			
7	L2	Copper	0,035mm				
8	0,50mm-035+035	FR4 TG150	0,500mm	4,2			
9	L3	Copper	0,035mm				
10	PP2116	FR4 TG150	0,102mm	4,2			
11	PP2116	FR4 TG150	0,102mm	4,2			
12	PP1080	FR4 TG150	0,062mm	4,2			
13	PP1080	FR4 TG150	0,062mm	4,2			
14	0,36mm-018+018	FR4 TG150	0,360mm	4,2			
15	PP1080	FR4 TG150	0,062mm	4,2			
16	PP1080	FR4 TG150	0,062mm	4,2			
17	PP2116	FR4 TG150	0,102mm	4,2			
18	PP2116	FR4 TG150	0,102mm	4,2			
19	L4	Copper	0,035mm				
20	0,50mm-018+018	FR4 TG150	0,500mm	4,2			
21	L5	Copper	0,035mm				
22	PP2116	FR4 TG150	0,102mm	4,2			
23	PP2116	FR4 TG150	0,102mm	4,2			
24	PP2116	FR4 TG150	0,102mm	4,2			
25	RS	Copper	0,040mm				
26	Bottom Solder	Solder Resist	0,015mm	3,5			
27	Bottom Overlay						

Stack-Up aus Altium



Definition Aussparung



Altium 3D-Ansicht

# EMBEDDING TECHNOLOGY – LAYOUT

## Layouts von Leiterplatten mit eingebetteten Komponenten



### Lagenaufbauten

- Nach Analyse der BOM und der Definition der einzubettenden Bauteile wird vom LP-Hersteller ein Lagenaufbau übermittelt, der in das EDA-Tool umgesetzt werden muss
- Im Lagenaufbau werden die Bauteilplatzierung, max. Bauteilhöhen und mögliche Lagenbeziehungen (Vias und Impedanzen) angegeben

Customer			PCB name			WE-number			Engineer			Date						
						J. Wolf			04.05.2020									
PCB thickness :			2.68 mm ±10%			Flex thickness:			0.00 mm ±0.05 mm									
Rigid area structure	Rigid area thickness	Flex area thickness	Material description	Assembly/connection types for embedding	Via types / Cavity types							Steps					Comments	
					1	2	3	4	5	6	7	1	2	3	4	5		
Soldermask	15 µm																	
L1	35 µm																	
L2	120 µm		FR4 PP TG150															
L3	18 µm																	
L4	100 µm		FR4 TG150															
Dummy	18 µm																	
	450 µm		FR4 PP TG150															Dummy layer due to symmetry reasons
	1164 µm		FR4 TG150															
	450 µm		FR4 PP TG150															
L3	18 µm																	
	100 µm		FR4 TG150															
L4	18 µm																	
	120 µm		FR4 PP TG150															
L5	35 µm																	
Soldermask	15 µm																	

Notes:	Assembly types - definition of colours			Via types -		
	ET Solder	ET Flip-Chip ACA	ET Flip-Chip ICA	Standard Via	Filled Via (IPC Type V / VI)	Filled & Capped (IPC Type VII)
	ET Microvia V1 - NCA	ET Microvia V2 - NCA	ET Microvia V2 - Sinter	Microvia Standard	Microvia Copper Filled	Microvia Resin Filled

Lagenaufbau – erstellt nach BOM-Analyse

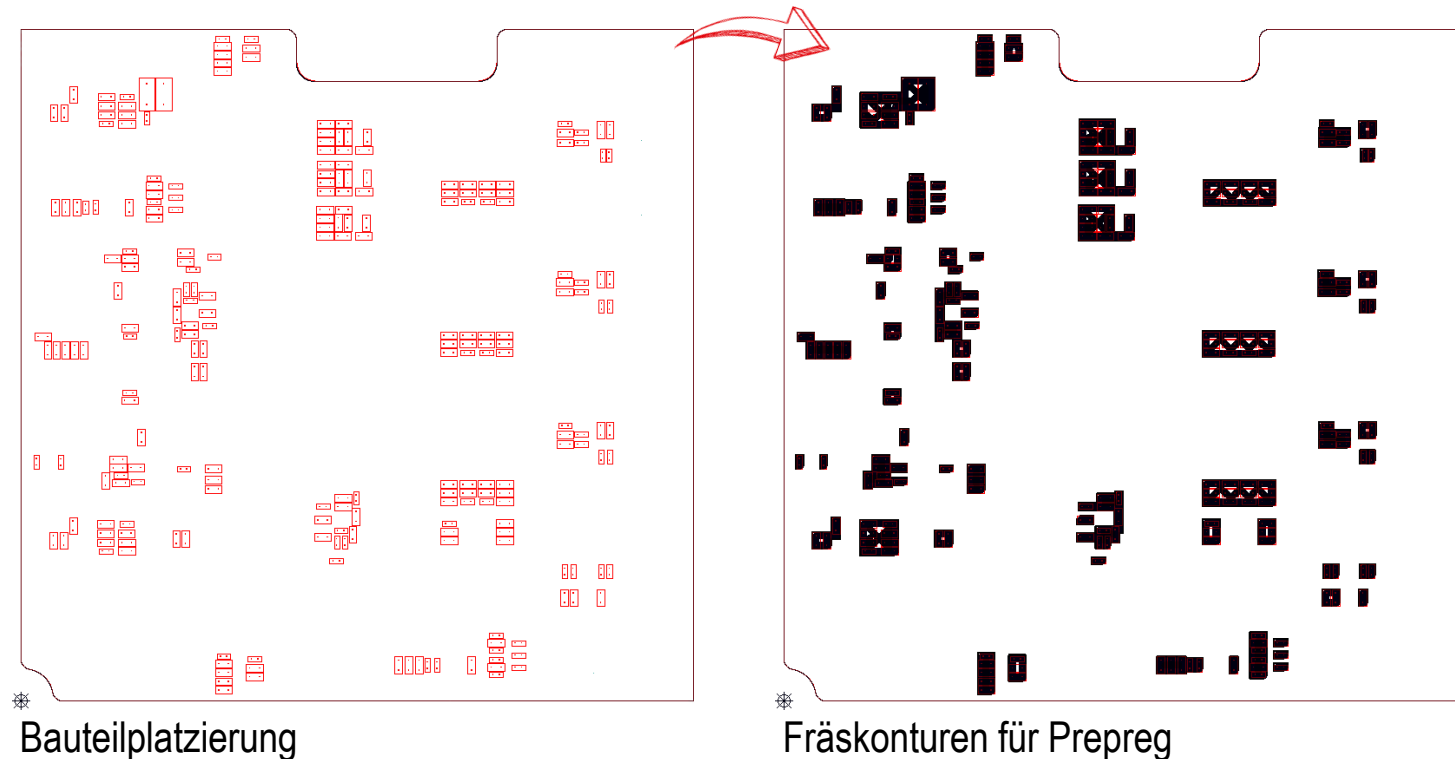
# EMBEDDING TECHNOLOGY – LAYOUT

## Layouten von Leiterplatten mit eingebetteten Komponenten



### Bauteilplatzierung

- Kurze Erinnerung an Teil 1:  
Bauteile werden durch das Harz der verwendeten Prepregs eingebettet
- ⇒ Nicht der komplette Bereich auf der Innenlage kann/darf mit Bauteilen bestückt werden
- ⇒ Bauteile sollten nach Möglichkeit in Gruppen angeordnet werden



# AGENDA



- 1 Kurze Zusammenfassung aus Teil 1 – Grundlagen
- 2 Übersicht EDA-Tools und deren Möglichkeiten
- 3 Layouten von Leiterplatten mit eingebetteten Komponenten
- 4 Applikationsbeispiele**

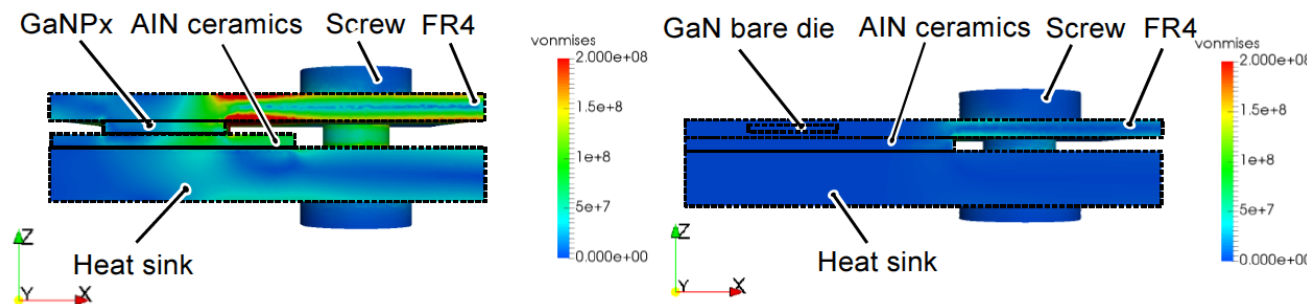


# EMBEDDING TECHNOLOGY

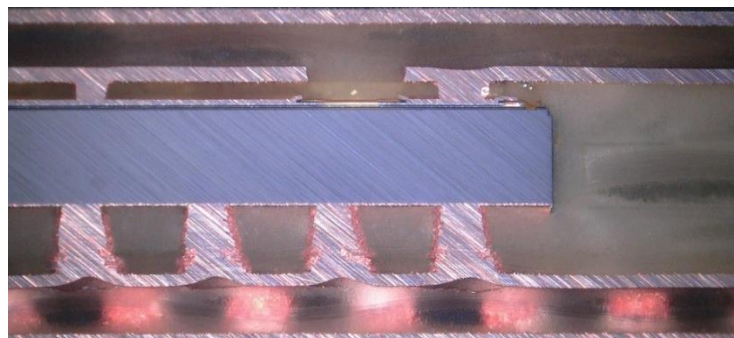
## Applikationsbeispiele



### Automotive: Embedded GaN Halbbrücken-Schaltzelle

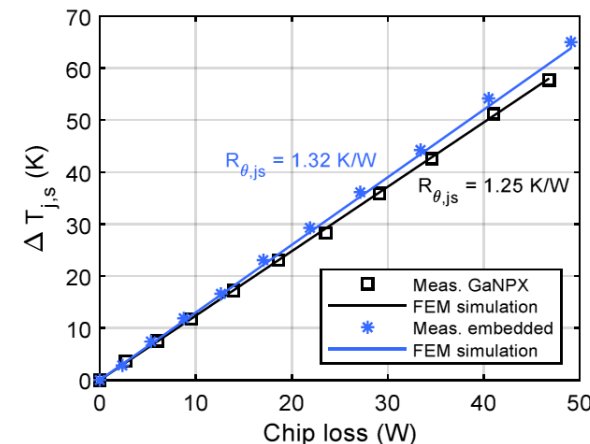


Aufbau und Vergleich mechanischer Stress Primärpackage vs. Embedding



Schliffbild der Leiterplatte

Quelle:  
Dechant et. al., »Performance of an Ultra Low Inductance GaN Half Bridge Switching Cell with Substrate Integrated Bare Dies», PCIM 2019



Simulierte und gemessene Junction-Temperatur

Für eine noch bessere Performance kann die Anzahl der  $\mu$ Vias noch verdoppelt werden

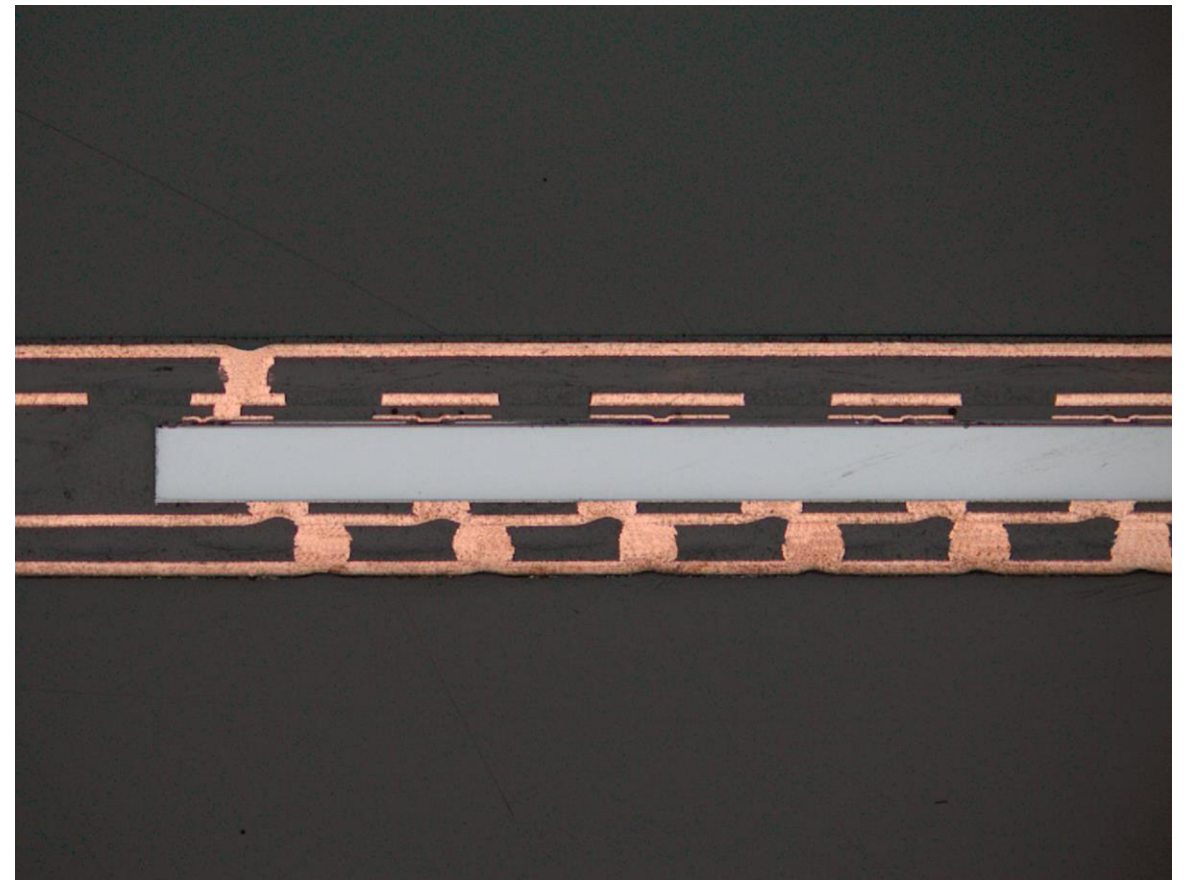
# EMBEDDING TECHNOLOGY

## Applikationsbeispiele



### Automotive: Embedded GaN Halbbrücken-Schaltzelle

- GaN IC eingebettet in 4-Lagen HDI-Multilayer
- Kontaktiert über Microvias in allen Ebenen



Schliffbild – optimierter Lagenaufbau für optimierte Rückseitenanbindung

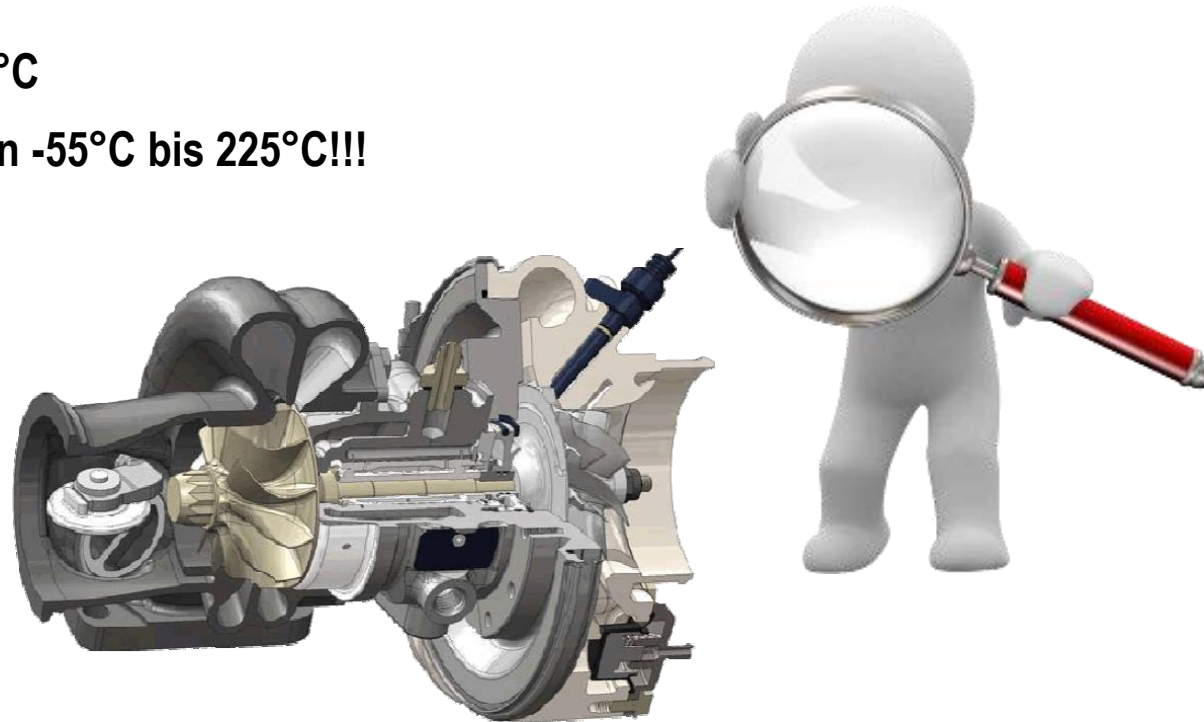
# EMBEDDING TECHNOLOGY

Applikationsbeispiele: Höchste Zuverlässigkeitsanforderungen



## Automotive: Embedded Silizium Bauteile – Sensor im Motorraum

- Einsatztemperatur max. 200°C
- Zyklentest: TWT 1.000 Zyklen -55°C bis 225°C!!!
- So klein als möglich
- Spritzguss-fest



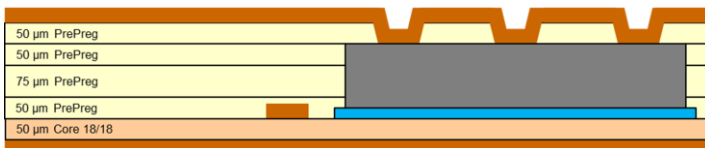
# EMBEDDING TECHNOLOGY

Applikationsbeispiele: Höchste Zuverlässigkeitsanforderungen

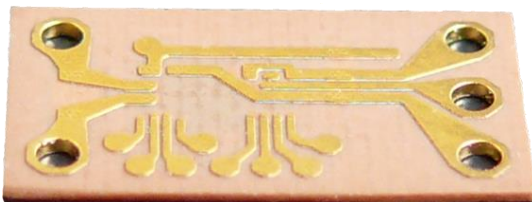


## Automotive: Embedded Silizium Bauteile – Sensor im Motorraum

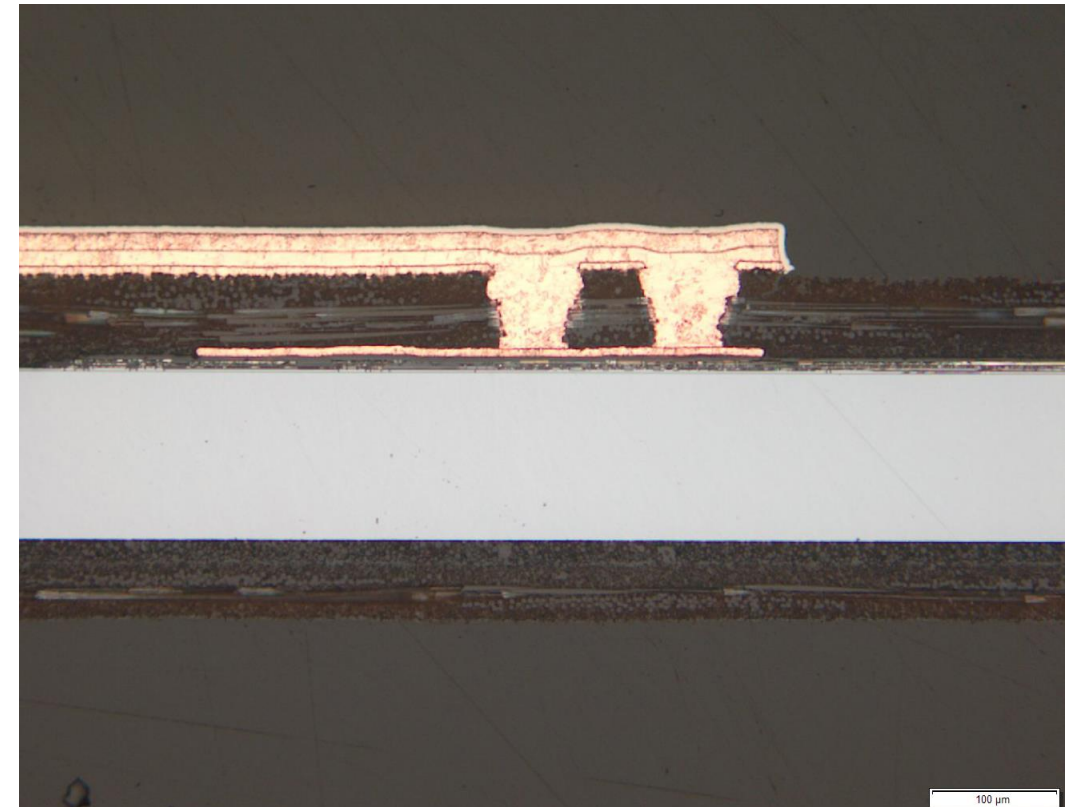
- Einsatztemperatur max. 200°C
- Zyklentest: TWT 1.000 Zyklen -55°C bis 225°C!!!
- So klein als möglich
- Spritzguss-fest



Lagenaufbau:  $\leq 300\mu\text{m}$  Gesamtdicke



Modul mit eingebettetem ASIC und 2x Si-C's



Schliffbild nach 1000 Zyklen TWT -55°C bis 225°C



# EMBEDDING TECHNOLOGY

Applikationsbeispiele: Höchste Zuverlässigkeitsanforderungen

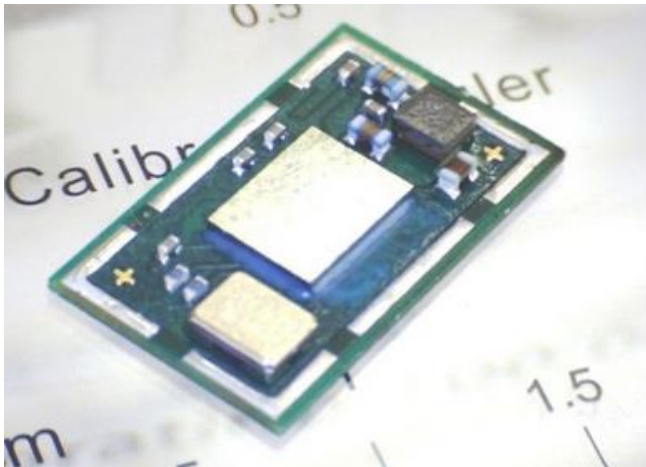


## Medizintechnik: Embedded ASIC – Funkmodul in Implantaten

 **Microsemi ZL70323**

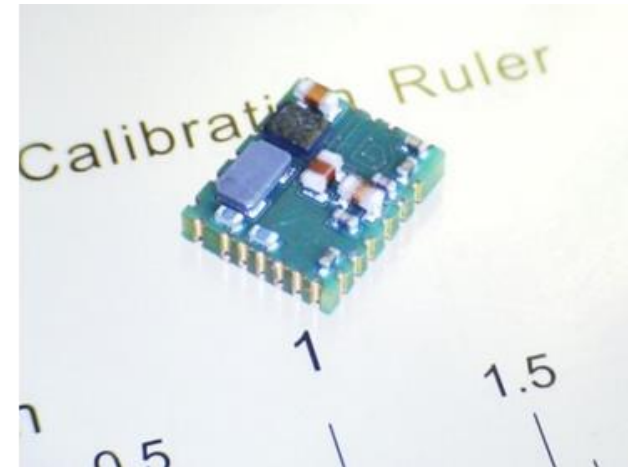
„Miniaturized Standard Implant Module (MiniSIM)“

Vollständige Telemetrie-Funklösung im MICS-Band (Medical Implant Communication Service)



Standard SIP –  $12 \times 7 \text{ mm}^2 = 84 \text{ mm}^2$

**70% Bauraum-  
einsparung**



Embedded Die –  $5,5 \times 4,5 \text{ mm}^2 = 24,75 \text{ mm}^2$

# EMBEDDING TECHNOLOGY

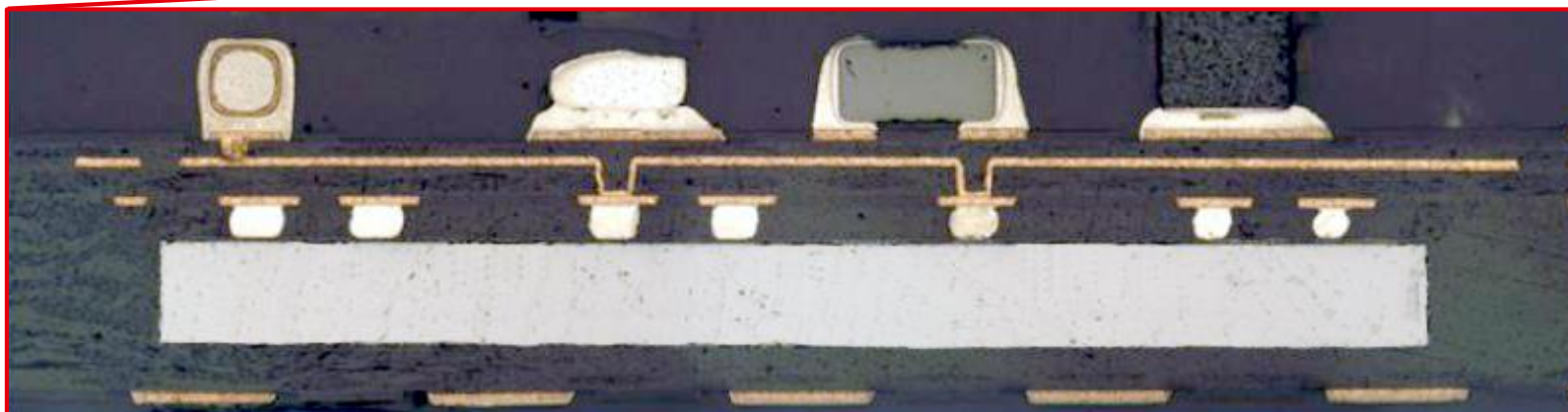
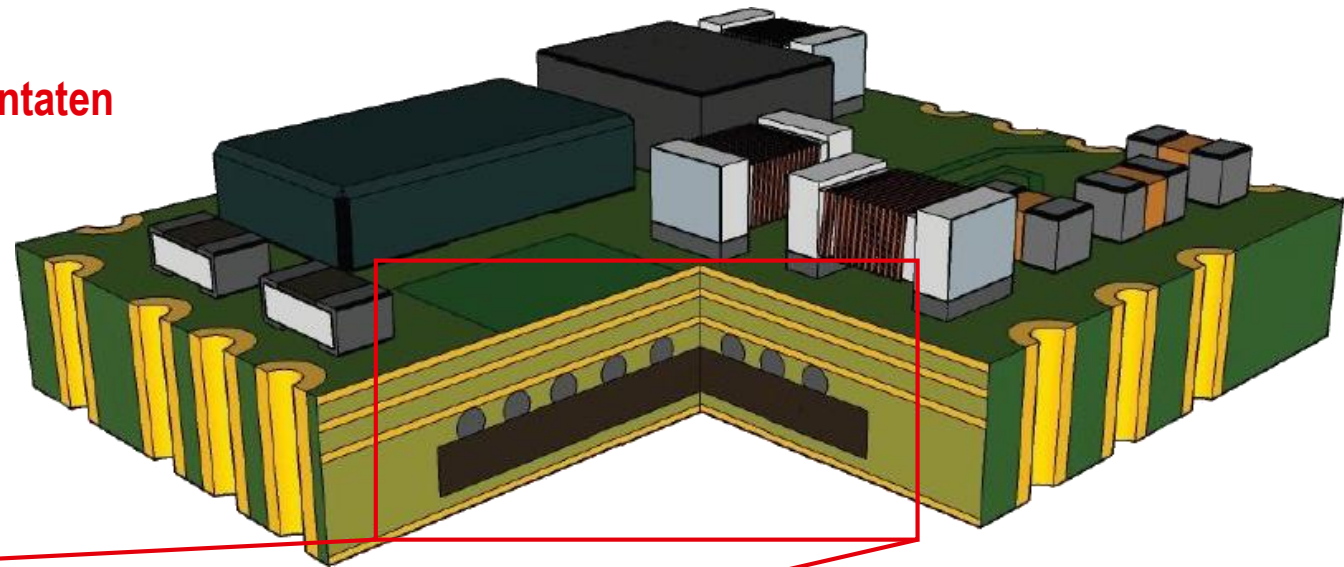
Applikationsbeispiele: Höchste Zuverlässigkeitsanforderungen



Medizintechnik: Embedded ASIC – Funkmodul in Implantaten

 **Microsemi ZL70323**

„Miniaturized Standard Implant Module (MiniSIM)“



# EMBEDDING TECHNOLOGY

Applikationsbeispiele: Höchste Zuverlässigkeitsanforderungen

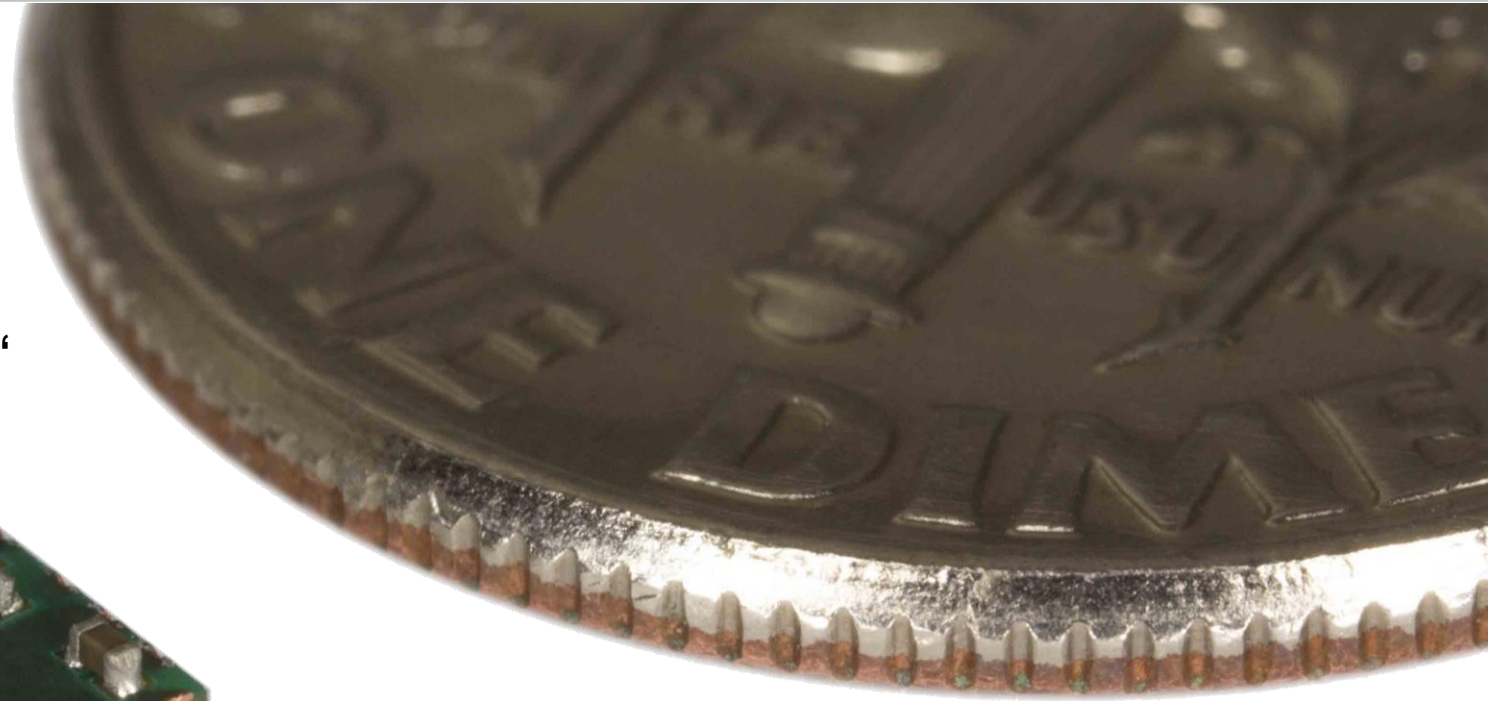
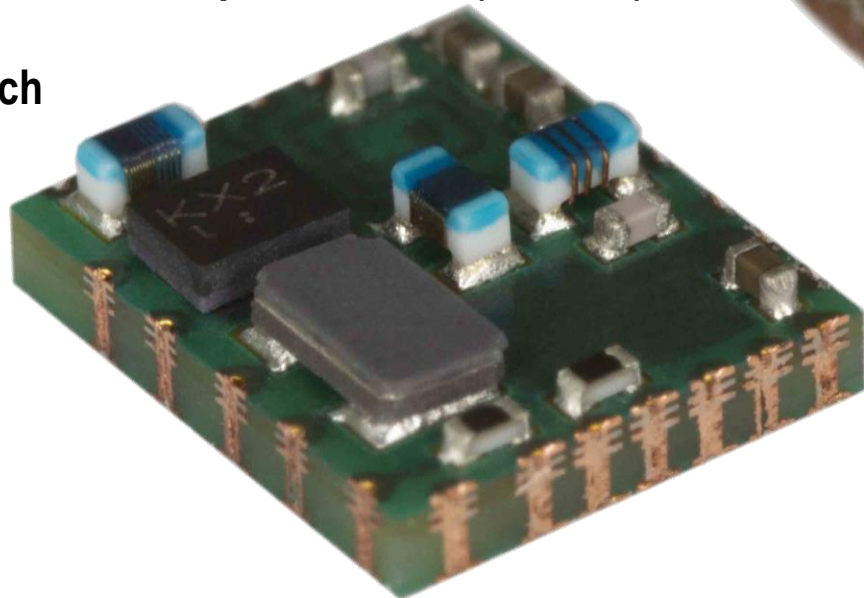


**Medizintechnik: Embedded ASIC – Funkmodul**

 **Microsemi ZL70323**

„Miniaturized Standard Implant Module (MiniSIM)“

Größenvergleich



# EMBEDDING TECHNOLOGY

Kurzumfrage



# UMFRAGE

**Wenn Sie die zwei Teile Revue passieren lassen,  
was denken Sie über die Einbetttechnologie?**

# Vielen Dank für Ihre Aufmerksamkeit!



## JÜRGEN WOLF

Leitung Advanced Solution Center

Würth Elektronik GmbH & Co. KG

Salzstraße 21

74676 Niedernhall / Germany

+49 79 55 38 88 07 - 220

juergen.wolf@we-online.de

A faint, light gray world map is visible in the background of the text, showing the outlines of continents and latitude/longitude lines.

***Merci de  
votre attention!***

***¡Gracias por  
su atención!***

***Tack för er  
uppmärksamhet!***

***谢谢你的关注***

***Köszönöm a  
figyelmüket!***

***Tak for deres  
opmærksomhed!***

***Děkuji Vám  
za pozornost!***

***Grazie per la  
vostra attenzione!***

***Dank u voor  
uw aandacht!***

***Dziękuję za  
uwagę!***

***Takk for  
oppmerksomheten!***

***Thank you for your  
attention!***

***ご注目いただきありがとうございます  
ございます***

Speichern Sie meine  
Kontaktdaten direkt:

