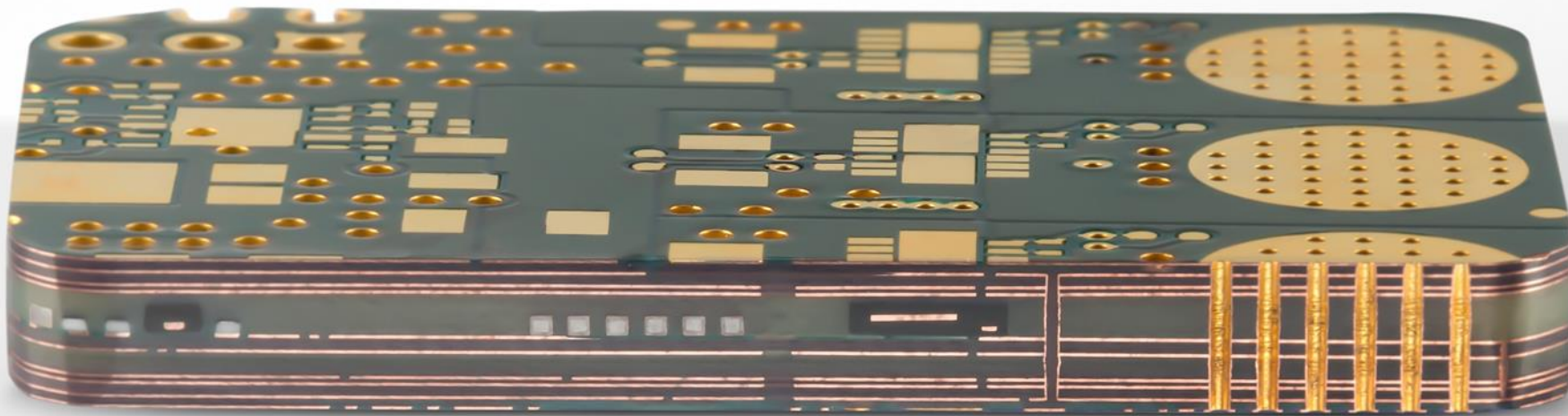


Die Welt der eingebetteten Bauteile in Leiterplatten

Teil 1 – Grundlagen



Jürgen Wolf

Würth Elektronik GmbH & Co. KG

Circuit Board Technology

Advanced Solution Center

IHR REFERENT



- **Jürgen Wolf**
Dipl.-Ing. Mikrosystemtechnik

- **Leiter Advanced Solution Center**
 - Verantwortlicher für die Technologie zum Einbetten von Bauteilen/Funktionen in die Leiterplatte und für dehnbare Leiterplatten (STRETCH.**flex**)
 - Unterstützung Vertrieb für die Einbetttechnologie und neue Technologien
 - Qualifizierung, Planung und Weiterentwicklung der Technologien

- **Seit 2008 bei Würth Elektronik CBT**



Speichern Sie meine
Kontaktdaten direkt in
Ihrem Adressbuch!

AGENDA



- 1 Varianten der Embedding Technologie
- 2 Prozessabläufe
- 3 Kriterien für die Auswahl der passenden Embedding Variante
- 4 Designregeln
- 5 Ablauf eines ET Projekts



EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Kurzumfrage



UMFRAGE

Haben Sie schon einmal ein Projekt mit eingebetteten Bauteilen geplant bzw. durchgeführt?

AGENDA



- 1** Varianten der Embedding Technologie
- 2 Prozessabläufe
- 3 Kriterien für die Auswahl der passenden Embedding Variante
- 4 Designregeln
- 5 Ablauf eines ET Projekts



EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Vorteile und Nutzen von eingebetteten Bauelementen



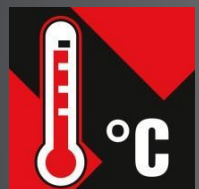
Miniaturisierung

- Package- bzw. Gehäuseersatz
- Einsparung von Bestückfläche auf den Außenlagen



Performance/ Funktion

- Integrierte Schirmung
- Kurze Signalwege
- Plagiatsschutz

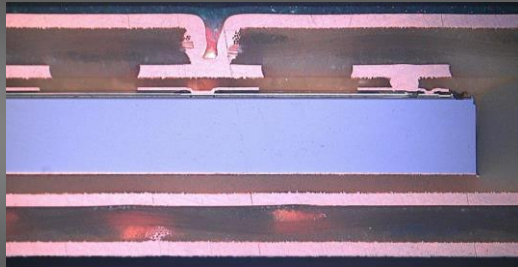


Zuverlässigkeit

- Schutz vor Umwelteinflüssen
- Vollflächige Fixierung
- Wärmemanagement

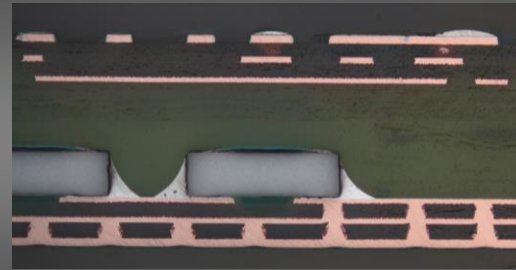
EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Varianten der Einbetttechnologie



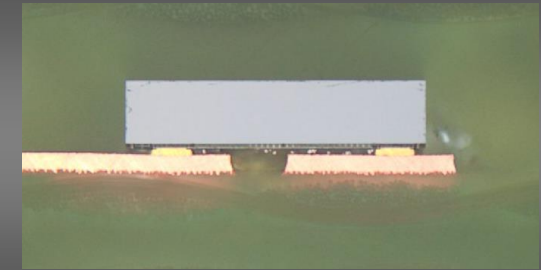
MICROVIA.embedding

Nackchips,
spezielle R`s und C`s
montiert auf Innenlage oder
Cu-Folie
elektrischer Kontakt durch
Microvias
höchste Zuverlässigkeit
Großserien



SOLDER.embedding

SMD
Bauelemente
gelötet auf
Innenlage
elektrischer Kontakt durch Lot
hohe Zuverlässigkeit
Klein-, Mittel- und
Großserien



FLIP-CHIP.embedding

Gebumppte
Nackchips
montiert auf
Innenlage
elektrischer Kontakt durch ACA
hohe Zuverlässigkeit
Klein-, Mittel- und
Großserien

AGENDA



- 1 Varianten der Embedding Technologie
- 2 Prozessabläufe**
- 3 Kriterien für die Auswahl der passenden Embedding Variante
- 4 Designregeln
- 5 Ablauf eines ET Projekts



EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Prozessabläufe – MICROVIA.embedding – Variante 1



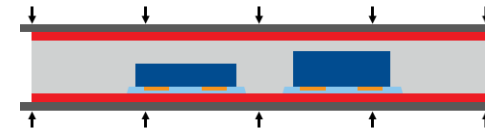
1 Bestückung face-down auf Kupferfolie in nicht-leitfähigen Epoxy-Klebstoff



2 Multilayer aufstapeln inkl. Kavitäten für Bauteile



3 Multilayer laminieren – Kavitäten werden gefüllt



4 Laserbohren auf Pads der Bauteile



5 Leiterplattengalvanik und Fertigstellen der LP



EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

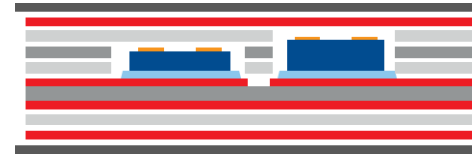
Prozessabläufe – MICROVIA.embedding – Variante 2



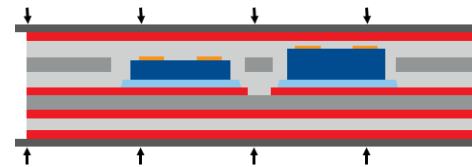
1 Bestückung face-up auf Kern in (nicht-)leitfähigen Klebstoff



2 Multilayer aufstapeln inkl. Kavitäten für Bauteile



3 Multilayer laminieren – Kavitäten werden gefüllt



4 Laserbohren auf Pads der Bauteile



5 Leiterplattengalvanik und Fertigstellen der LP

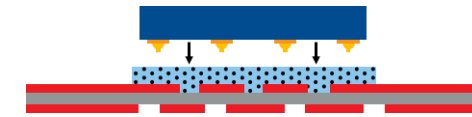


EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

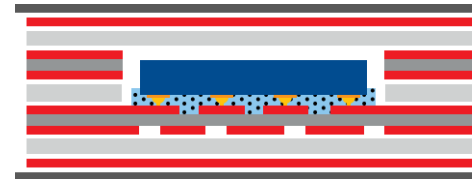
Prozessabläufe – FLIP-CHIP.embedding



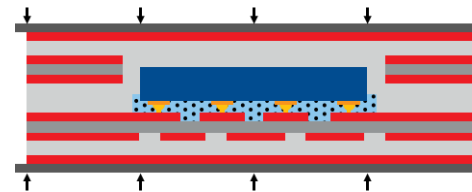
1 Bestückung face-down auf Kern in anisotrop-leitfähigem Klebstoff



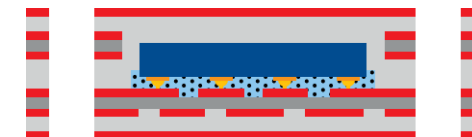
2 Multilayer aufstapeln inkl. Kavitäten für Bauteile



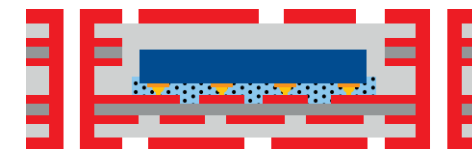
3 Multilayer laminieren – Kavitäten werden gefüllt



4 Weitere Leiterplattenprozesse wie z.B. mech. Bohren



5 Leiterplattengalvanik und Fertigstellen der LP



EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

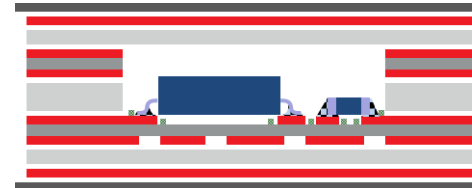
Prozessabläufe – SOLDER.embedding



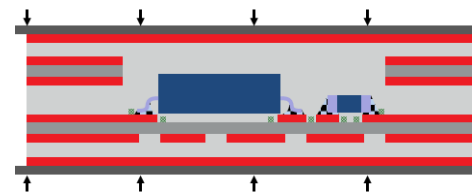
1 Bestückung – SAC305-Lote oder Hochtemperatur-Lote



2 Multilayer aufstapeln inkl. Kavitäten für Bauteile



3 Multilayer laminieren – Kavitäten werden gefüllt



4 Weitere Leiterplattenprozesse wie z.B. mech. Bohren



5 Leiterplattengalvanik und Fertigstellen der LP

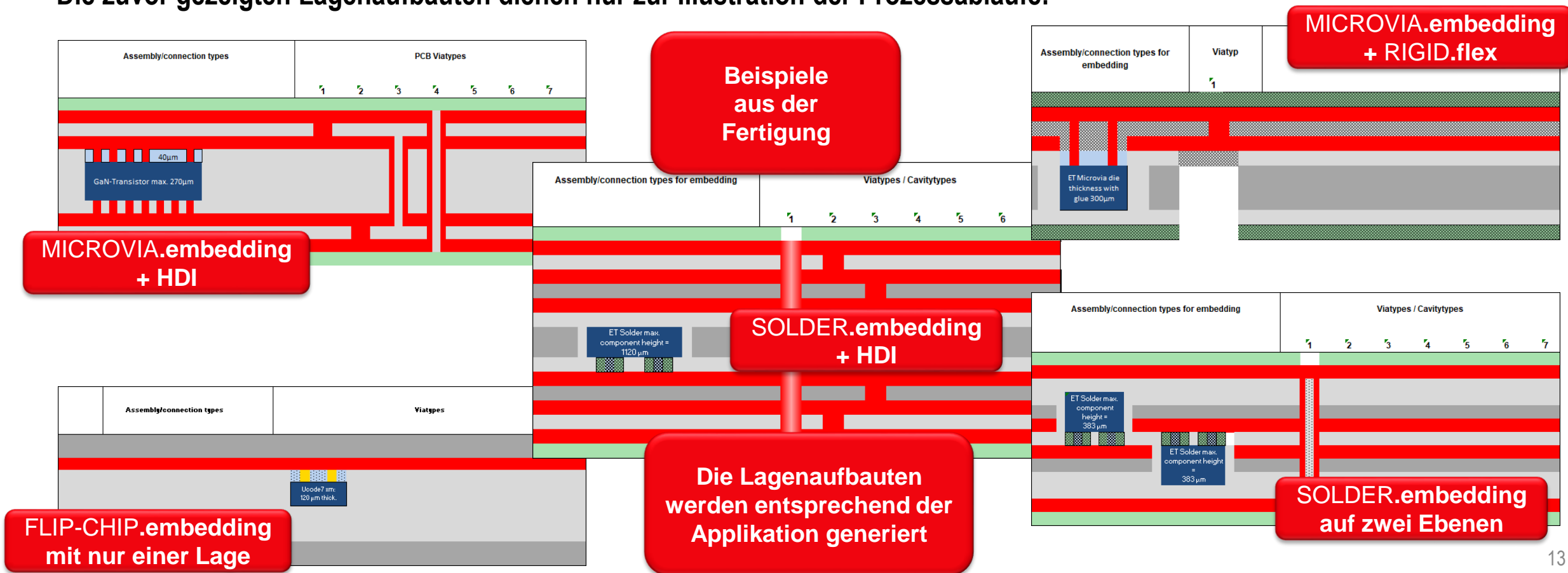


EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Prozessabläufe – Lagenaufbauten



Die zuvor gezeigten Lagenaufbauten dienen nur zur Illustration der Prozessabläufe!



EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Prozessabläufe – Besonderheit: Bestückung



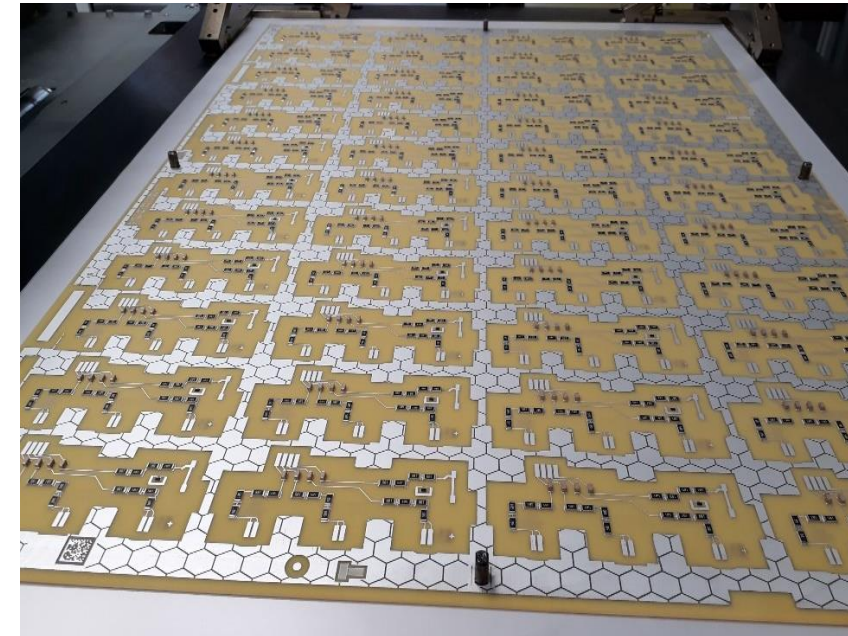
- Keine eigene Bestücklinie bei WE
- Voll qualifizierter und audierter Partner im Einsatz
- 2nd Source wird aktuell aufgebaut

Herausforderungen Bestückung für Embedding

- Bestück-Formate bei WE:
 - 460 mm x 305 mm
 - 610 mm x 460 mm
- Min. Substratdicken
 - 70 µm Folien
 - 100 µm FR4-Kerne



Ansicht Bestücklinien des Partners von WE



Bestückte Innenlage (610 x 460 mm²)

**Eigenes Logistik-
konzept**

**Qualifikation und Audit
nach VDA 6.3**

AGENDA



- 1 Varianten der Embedding Technologie
- 2 Prozessabläufe
- 3 Kriterien für die Auswahl der passenden Embedding Variante**
- 4 Designregeln
- 5 Ablauf eines ET Projekts



EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Welche Embedding-Variante soll man nehmen?



Das entscheiden in 95% der Fälle die Applikation bzw. die Bauteile selbst 😊

Fragen, die gestellt werden müssen:

- **Wie liegen die Bauteile vor?**

- SMD-Bauteile ⇒ SOLDER.embedding
- Nacktchips oder Bauteile mit Cu-kontaktierbaren Pads ⇒ MICROVIA.embedding
- Nacktchips mit Au-Bumps ⇒ FLIP-CHIP.embedding

- **Wenn ich trotzdem eine andere Technologie verwenden möchte:**

- Kann das Bauteil in der geforderten Konfiguration besorgt oder hergestellt werden, z.B. ein IC mit Kupferpads anstatt AlSiCu (üblich zum Drahtbonden)?

- **Oder muss ich Technologien mischen?**

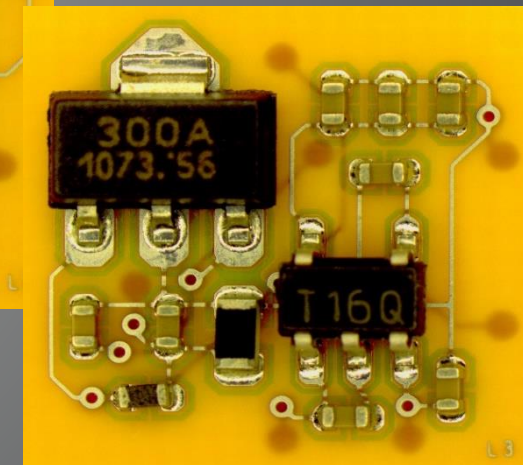
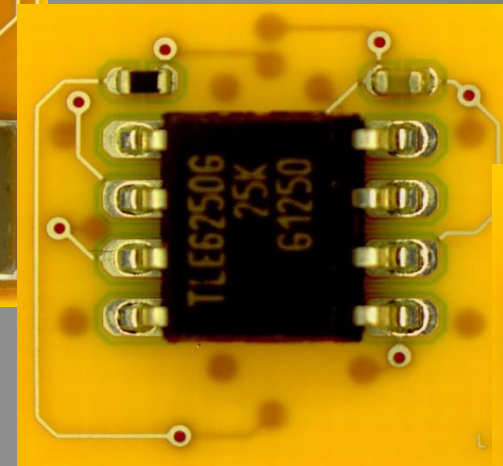
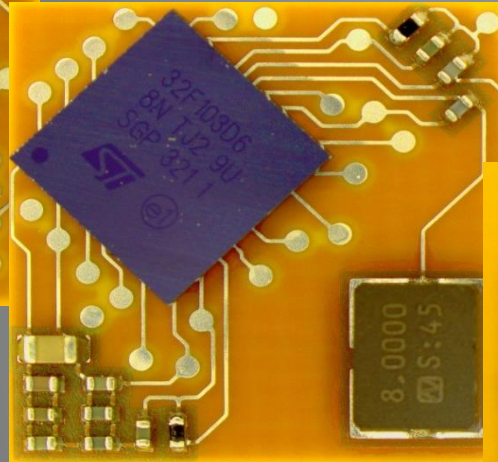
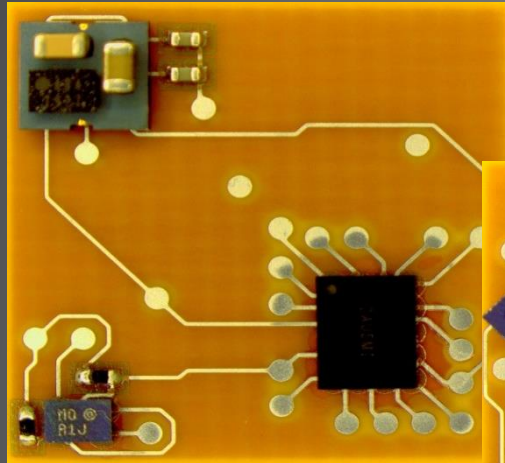
- ungünstig aber machbar

EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Welche Bauteile sind für welche Variante geeignet?



SOLDER.embedding



- Prinzipiell jedes massive SMD-Bauelement (BE) möglich
- Max. BE-Dicke hängt vom Lagenaufbau ab

No-Goes

- Flüssigkeiten/ Elektrolyte im BE
- Luft im BE (z.B. Quarze mit Metallkappen)

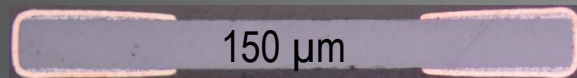
EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Welche Bauteile sind für welche Variante geeignet?



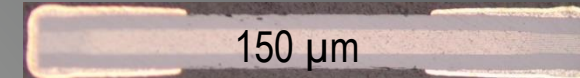
MICROVIA.embedding

Widerstände



Passive
Komponenten mit
Kupferterminierung

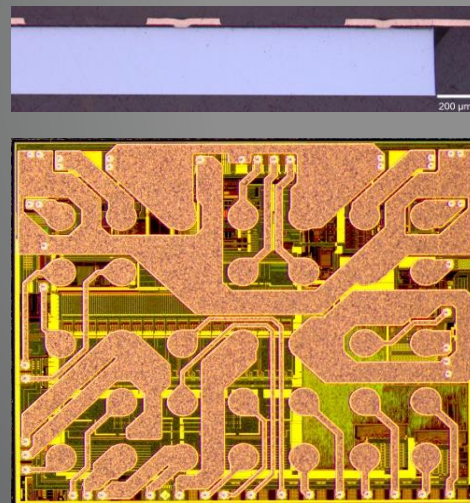
Kondensatoren



Bare die
(Nacktchip) ICs

IC Pad
Metallisierung

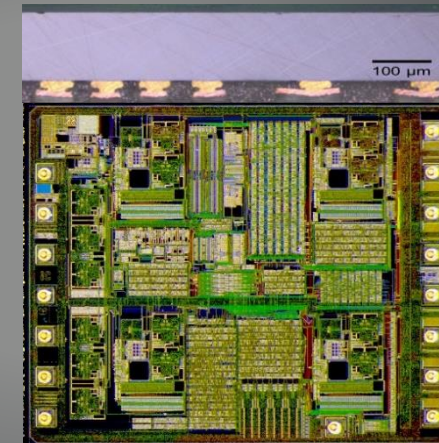
- Kupfer
- Nickel-Palladium



FLIP-CHIP.embedding

IC Pad
Konfiguration

- Drahtbond Au Stud Bumps
- Wafer-level Au bumps



AGENDA



- 1 Varianten der Embedding Technologie
- 2 Prozessabläufe
- 3 Kriterien für die Auswahl der passenden Embedding Variante
- 4 Designregeln**
- 5 Ablauf eines ET Projekts



EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Designregeln



- Design Guide mit Beschreibungen, Hinweisen und Regeln verfügbar
- Für ALLE Leiterplatten mit eingebetteten Bauteilen gilt der jeweilige Regelsatz für die zu Grunde liegende Basistechnologie:
 - Basic Design Guide,
 - HDI Design Guide,
 - Starr-Flex Design Guide und
 - Thermal Management Design Guide
- Erhältlich beim Hersteller Ihres Vertrauens



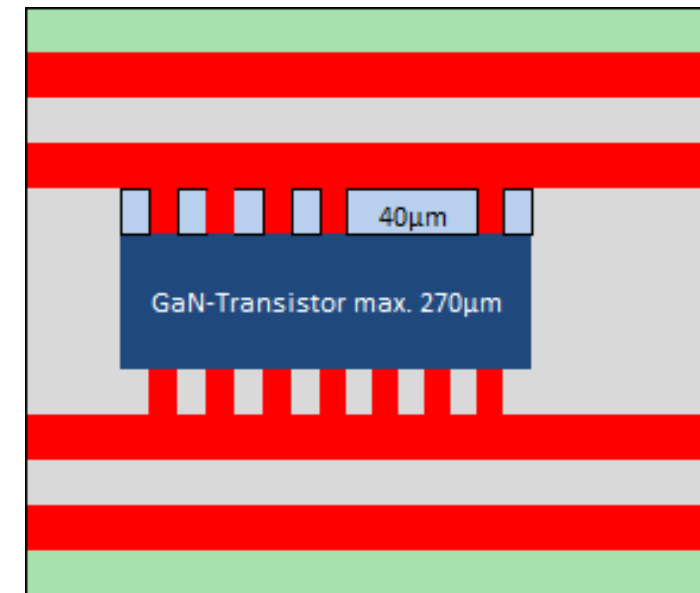
EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Designregeln



Besonderheiten, die bisher NICHT im Design Guide stehen:

- **Leiterplattendicke** – entsprechend unserer allgemeinen Leiterplattenspezifikation
 - Standard: 2,4 mm
 - Auf Anfrage: 3,2 mm
 - In Spezialfällen: >3,2 mm (muss aber applikationsspezifisch evaluiert werden)
- **Lagenaufbau**
 - Zwischen Bauteil und darüberliegender Kupferebene muss immer mindestens eine Prepreg-Lage eingelegt werden
 - Aus der AVT und dem Lagenaufbau lässt sich die max. Bauteilhöhe berechnen
 - Der WE-Aufbauvorschlag gibt die max. mögliche Bauteilhöhe vor – oder referenziert die max. Bauteilhöhe
- **Bauteilhöhe**
 - Alle Bauteile müssen in den Aufbau passen
 - Es darf kein Bauteil in der z-Achse überstehen



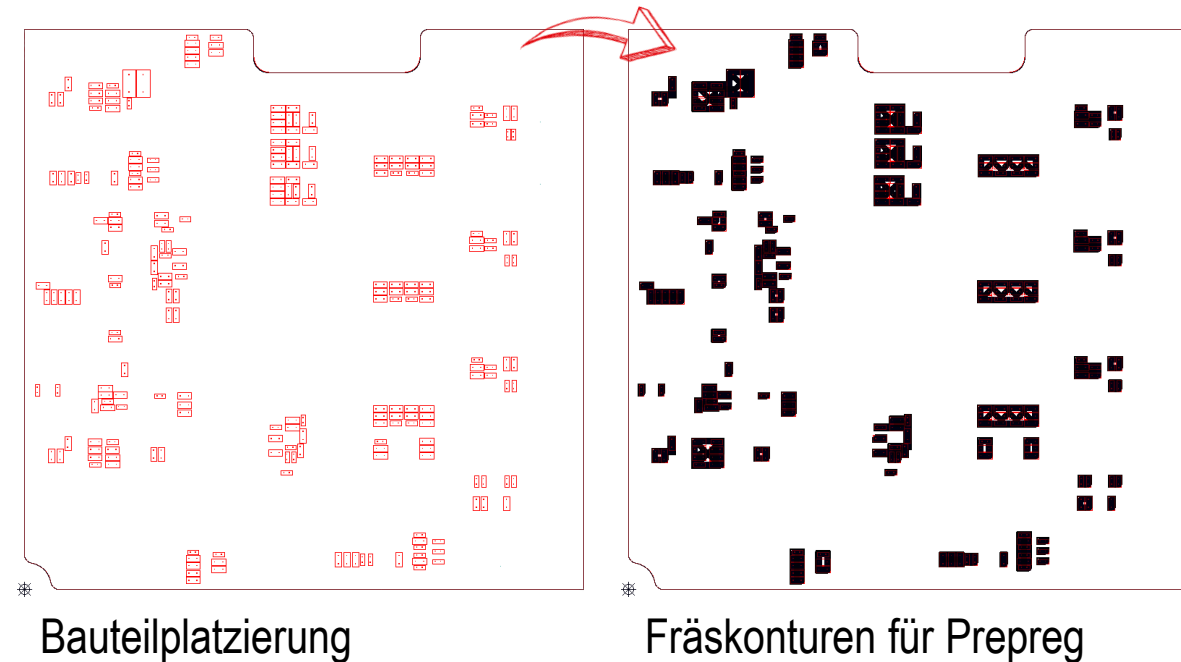
EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Designregeln



Besonderheiten, die bisher NICHT im Design Guide stehen:

- **Belegung einer Innenlage mit Bauteilen**
 - Max. 40% der Fläche
 - Bei >40% Belegung individuelle Klärung nötig
- **Bauteile möglichst in Gruppen anordnen**
- **Abstand Gruppe zu Gruppe bzw. Bauteil zu Gruppe:**
 - Min. 1.000 μm
 - Auf Anfrage auch 700 μm möglich



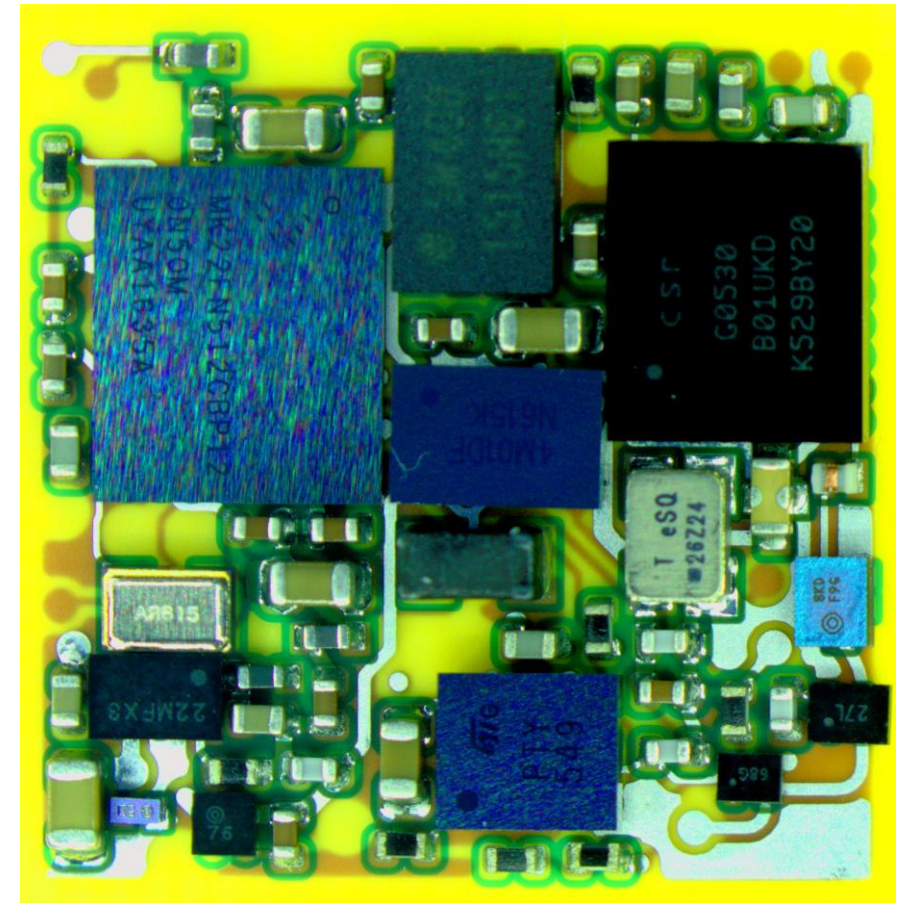
EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Designregeln



Besonderheiten, die bisher NICHT im Design Guide stehen:

- **Abstand Bauteil zu LP-Kante**
 - $\geq 500 \mu\text{m}$ (auf Anfrage und nach Prüfung auch geringer)
- **Abstand Via zu Bauteilkante**
 - $\geq 500 \mu\text{m}$ (auf Anfrage und nach Prüfung auch geringer)
- **Abstand Bauteil zu Bauteil**
 - Pad des Footprints ragen über Bauteil hinaus:
 $\geq 300 \mu\text{m}$ zwischen den Pads
 - Bauteil ragt über Pads hinaus:
 $\geq 200 \mu\text{m}$ zwischen den Bauteilkonturen
 - Kleinere Abstände auf Anfrage und nach Prüfung



Dicht gepackte Gruppe

EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Kurzumfrage



UMFRAGE

**Welche der drei vorgestellten
Technologien ist für Sie
von Interesse?**

AGENDA



- 1 Varianten der Embedding Technologie
- 2 Prozessabläufe
- 3 Kriterien für die Auswahl der passenden Embedding Variante
- 4 Designregeln
- 5 Ablauf eines ET Projekts**



EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Ablauf bei Neuprojekten



Benötigte Unterlagen und Daten für eine erste Umsetzungsplanung

- **Stückliste (Bill-of-Materials – BOM) der einzubettenden Komponenten**
 - inkl. aller mechanischen, MAXIMALEN Abmessungen
 - oder Abmessungen inkl. aller Toleranzen

Max. dimensions (Z)	Max. Dimensions (X, Y)
0,60 mm	3,00 mm x 3,00 mm
1,20 mm	6,60 mm x 3,10 mm
0,55 mm	1,05 mm x 0,55 mm

Bill-of-Materials

Project / Würth Elektronik Number	WE434797		Würth Elektronik GmbH & Co. KG
Index	A		Produktmanagement Embedding Technology
Contact Person	L. Haase		Rudolf-Diesel-Straße 10
Report Date	31.01.2017		74885 Rot am See
Print Date	24.09.2018		+49 79 40 946-1234
Production Quantity	1.500		embedding@we-online.de

#	Designator (Reference to P&P)	Description	Quantity	Manufacturer	Manufacturer Part Number	Package/Case	Value	Tolerance	Power Rating	Voltage Rating	Voltage Rating DC	Dielectric	Place Yes/No	Max. dimensions (Z)	Max. Dimensions (X, Y)	Supplied by Customer Yes/No	Comment
0	U3, U4, U5, U6	Gate Drivers 7 Darlington Array 500mA 50V High Volt	4	Diodes Incorporated	ULN2003P12FN.7	UDFN3030-10							Yes	0,60 mm	3,00 mm x 3,00 mm	No	ULN2003 Gate Treiber
1	U1	Timers & Support Products Sgl. Prec. Timer	1	Texas Instruments	NE555PWR	TSSOP-8							Yes	1,20 mm	6,60 mm x 3,10 mm	No	NE555 Timer
2	C2	Multilayer Ceramic Capacitors MLCC - SMD/SMT 0402 2.2uF 16volts X6S 10%	1	TDK	C1005X6S1C225K050BC		2.2uF	10%		16V		X6S	Yes	0,55 mm	1,05 mm x 0,55 mm	No	CAP 2.2uF
3	D1	TVS Diodes - Transient Voltage Suppressors SOD-923 ESD PROT	1	ON Semiconductor	ESD9X5 0S15G	SOD-923							Yes	0,43 mm	1,05 mm x 0,68 mm	No	TVS Diode
4	R1	Thick Film Resistors - SMD 0402 64.9kOhms 1% 0.1W AEC-Q200	1	Panasonic	ERJ-2RKF492X	0402 (1005 metric)	64K9	1%	100mW	50V			Yes	0,40 mm	1,05 mm x 0,55 mm	No	RES 64K9
5	R2	Thick Film Resistors - SMD 0402 40.2ohms 1% AEC-Q200	1	Panasonic	ERJ-2RKF40R2X	0402 (1005 metric)	40R2	1%	100 mW	50 V			Yes	0,40 mm	1,05 mm x 0,55 mm	No	RES 40R2
6	R3	Thick Film Resistors - SMD 0402 120ohms 1% AEC-Q200	1	Panasonic	ERJ-2RKF1200X	0402 (1005 metric)	120	1%	100 mW	50 V			Yes	0,40 mm	1,05 mm x 0,55 mm	No	RES 120R
7	C1, C3	Multilayer Ceramic Capacitors MLCC - SMD/SMT 0402 0.1uF 10volts X7R 20%	2	Yageo	CC0402KRX7R6BB104	0402 (1005 metric)		100nF	10%	10V		X7R	Yes	0,55 mm	1,05 mm x 0,55 mm	No	CAP 100nF
8	LED1, LED2, LED3, LED4, LED5, LED6	Standard LEDs - SMD	24	OSRAM Opto	LS Q876-NR-1	0603 (1608)							Yes	0,90 mm	1,70 mm x 0,80 mm	No	LED Rot



EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Ablauf bei Neuprojekten



Benötigte Unterlagen und Daten für eine erste Umsetzungsplanung

- Die Stückliste wird von WE analysiert hinsichtlich „Einbettbarkeit“ der Bauteile:

Quantity	Designator	Comment	Description	Footprint	manufacturer_pn	Tolerance	voltage	Length	Width	Height	Max. Height
6	C1,C3, C8, C11, C13, C16	10µ	10µF, 16V, AEC-Q200, FlexTerm, X7S	C0805	CGA4J1X7S1C106M125 AE	20%	16V	2,000 mm ± 0,450 mm	1,250 mm ± 0,250 mm	1,250 mm ± 0,250 mm	1,500 mm
8	C2,C4, C9, C14, C15, C17, C18, C21	100n	AEC-Q200 FlexTerm	C0603	CGA3E3X8R1H104K080 AE	10%	50V	1,600 mm ± 0,200 mm	0,800 mm ± 0,150 mm	0,800 mm ± 0,150 mm	0,950 mm
3	C5, C19, C20	1u	AEC-Q200 FlexTerm	C0805	08055C105K4Z2A	10%	50V	2,010 mm ± 0,200 mm	1,250 mm ± 0,200 mm	1,400 mm ± 0,000 mm	1,400 mm
2	C6, C7	10u	AEC-Q200, FlexTerm	C0805	JMJ212CB7106KGHT	10%	6.3V	2,000 mm ± 0,250 mm	1,250 mm ± 0,250 mm	1,250 mm ± 0,250 mm	1,500 mm
1	C10	100n	SMD C1206, X7R, AEC-Q(200), VPE 10.000	C1206	CL31B104KBP5PNF	±10 %	50 V	3,200 mm ± 0,200 mm	1,600 mm ± 0,200 mm	1,600 mm ± 0,200 mm	1,800 mm
1	C12	33n	33n, 25V, X7R, 0402, AEC-Q200	C0402	CGA2B1X7R1E333M05 0BC	20%	25V	1,000 mm ± 0,050 mm	0,500 mm ± 0,050 mm	0,500 mm ± 0,050 mm	0,550 mm
2	D1, D2	CDSOT23-SM712	TVS Diode 7/12V	SOT-23-3	CDSOT23-SM712			2,900 mm ± 0,100 mm	2,300 mm ± 0,200 mm	1,030 mm ± 0,140 mm	1,170 mm
1	D3	SM15T22CAY	AEC-Q101	SMC_DO-214AB	SM15T22CAY			7,950 mm ± 0,200 mm	5,900 mm ± 0,350 mm	2,300 mm ± 0,350 mm	2,650 mm
1	IC1	LTM8029	36VIN, 600mA Step-Down µModule Converter with 5µA Quiescent Current	BGA-35_6.25x11.25_1.27mm_Linear_05-12-1878				11,250 mm ± 0,000 mm	6,250 mm ± 0,000 mm	3,420 mm ± 0,200 mm	3,620 mm
1	IC2	ISOW7841		SOIC-16W	ISOW7841DWER			10,300 mm ± 0,200 mm	10,300 mm ± 0,330 mm	2,650 mm ± 0,000 mm	2,650 mm
1	IC3	AMC1306M05	High Precision Reinforced Isolated Delta-Sigma Modulator	SOIC-8W_TL-DWV	AMC1306M05DWV			11,500 mm ± 0,250 mm	5,850 mm ± 0,100 mm	2,800 mm ± 0,000 mm	2,800 mm
1	IC4	LP38693QSD-3.3/NOPB	LDO, 2.7V to 10V, 330mV Dropout, 3.3Vout, 0.5Aout, AEC-Q100	WSON-6_NGG0006A_Texas_Instruments	LP38693QSD-3.3/NOPB			3,000 mm ± 0,100 mm	3,000 mm ± 0,100 mm	0,80 mm ± 0,000 mm	0,800 mm
1	IC5	SN65HVD77		VSSOP8_DGK	SN65HVD77DGKR			4,900 mm ± 0,150 mm	3,000 mm ± 0,100 mm	1,100 mm ± 0,000 mm	1,100 mm
3	L1, L2, L3	1k5 @ 100MHz	Chip Ferrit, 1 A, 1.5 kOhm @ 100 MHz	L0805	742792097			2,000 mm ± 0,200 mm	1,200 mm ± 0,200 mm	0,900 mm ± 0,200 mm	1,100 mm
1	L4	10u	SMDL0805, Isat= 200 mA, DCR= 611 mOhm	L0805	MLZ2012M100WT000			2,000 mm ± 0,200 mm	1,250 mm ± 0,200 mm	1,250 mm ± 0,200 mm	1,450 mm
1	R1	154k	AEC-Q200	R0603	CRCW0603154KFKEA	1%	75V	1,550 mm ± 0,10 mm	0,850 mm ± 0,100 mm	0,450 mm ± 0,050 mm	0,500 mm
1	R2	316k	SMD R0603, AEC-Q200	R0603	ERJ-3EKF3163V	±1 %	75 V	1,600 mm ± 0,150 mm	0,850 mm ± 0,10 mm	0,450 mm ± 0,100 mm	0,550 mm
2	R3, R5	ERJ-2RKF43R0X	RES SMD 43 OHM 1% 1/10W 0402	SMD-0402-RES	ERJ-2RKF43R0X	±1%		1,000 mm ± 0,050 mm	0,500 mm ± 0,050 mm	0,350 mm ± 0,050 mm	0,400 mm
4	R6, R8, R9, R10	10R	Anti-Surge, AEC-Q200	R0603	ESR03EZPJ100	5%	150V	1,600 mm ± 0,100 mm	0,800 mm ± 0,100 mm	0,450 mm ± 0,100 mm	0,550 mm
1	R7	100R	AEC-Q200	R1206	CRCW1206100RFKEA	1%	200V	3,150 mm ± 0,150 mm	1,600 mm ± 0,150 mm	0,550 mm ± 0,050 mm	0,600 mm
1	X1	G125-MS10605M1		G125-MS10605m1	G125-MS10605M1						

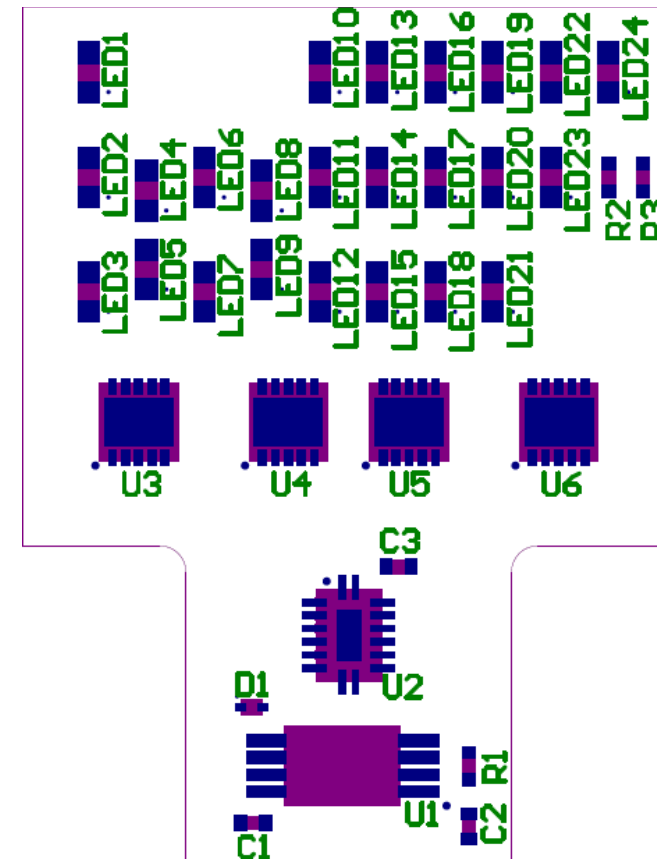
EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Ablauf bei Neuprojekten



Benötigte Unterlagen und Daten für eine erste Umsetzungsplanung

- **Daten für die Innenlagen-Bestückung**
 - Geplanter/gewünschter Bestückungsplan der Innenlage
 - inkl. Konturen für überstehende Kontakte wie z.B. Gull-Wing- und J-Leads
- ⇒ Dienen der Gruppenplanung inkl. Belegung und Abständen
- ⇒ Bestückungsplan dient auch als Belegungsplan



Bestückungs- bzw. Belegungsplan

EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Ablauf bei Neuprojekten



Benötigte Unterlagen und Daten für eine erste Umsetzungsplanung

- **Datensätze (bevorzugt Extended Gerber oder ODB++) und Dokumente mit**
 - Leiterplattenkontur (inkl. Liefernutzen-Kontur falls gewünscht)
 - Layout-Daten (sofern schon vorhanden)
 - Benötigte Lagenanzahl und die erforderlichen Kupferstärken
 - Benötigte Lagenverbindungen
 - Benötigte, vordefinierte Lagenabstände (z. B. für Impedanzen oder Isolationsstrecken)

- **Hilfreich sind oft Daten der Vorgängerbaugruppe**

EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Ablauf bei Neuprojekten



- Nach Sichtung und Überprüfung aller Daten inkl. Bauteile etc. wird von WE ein Lagenaufbau entsprechend den benötigten Randbedingungen erstellt
- Anhand des Lagenaufbaus und der vereinbarten Bauteile, die eingebettet werden können, kann das Layout beginnen

Rigid area structure	Rigid area thickness	Flex area thickness	Material description	Assembly/connection types	Viatypes								
					1	2	3	4	5	6	7		
Soldermask	15 µm												
L1	35 µm												
	55 µm		FR4 PP TG150										
L2	35 µm												
	55 µm		FR4 TG150										
L3	35 µm												
	100 µm												
L4	35 µm												
	600 µm		FR4 PP TG150										
L5	35 µm												
	100 µm		FR4 TG150										
L6	35 µm												
	55 µm												
L7	35 µm												
	55 µm		FR4 PP TG150										
L8	35 µm												
Soldermask	15 µm												

Beispiel Lagenaufbau mit Materialdefinition, Viadefinition und Lagenabständen

EMBEDDING TECHNOLOGY – DIE GRUNDLAGEN

Ausblick auf den 2. Teil



Im 2. Teil des Webinars am 16.03.2021 schließen wir hier nahtlos mit dem Thema „Layout“ an:

- Wie layoutet man Leiterplatten mit eingebetteten Komponenten?
- Was können die EDA-Tools heute schon abdecken?
- Wie lege ich die Bibliotheken an?
- Welche Tricks und Kniffe gibt es?

Außerdem erhalten Sie einen Einblick in laufende Applikationen und Projekte aus den Bereichen

- Automotive,
- Industrie,
- Medizintechnik,
- Luftfahrt/Sensorik, sowie
- weitere Applikationsideen

Vielen Dank für Ihre Aufmerksamkeit!



JÜRGEN WOLF

Leitung Advanced Solution Center

Würth Elektronik GmbH & Co. KG

Salzstraße 21

74676 Niedernhall / Germany

+49 79 55 38 88 07 - 220

juergen.wolf@we-online.de

A faint, light gray world map is visible in the background of the text, showing the outlines of continents and latitude/longitude lines.

***Merci de
votre attention!***

***¡Gracias por
su atención!***

***Tack för er
uppmärksamhet!***

谢谢你的关注

***Köszönöm a
figyelmüket!***

***Tak for deres
opmærksomhed!***

***Děkuji Vám
za pozornost!***

***Grazie per la
vostra attenzione!***

***Dank u voor
uw aandacht!***

***Kiitos
mielenkiinnosta!***

***Dziękuję za
uwagę!***

***Takk for
oppmerksomheten!***

***Thank you for your
attention!***

***ご注目いただきありがとう
ございます***

Speichern Sie meine
Kontaktdaten direkt:

