



MINI, MICRO, MICROVIA: HDI HANDMUSTER WE.MICROBGA!

Andreas Dreher, Field Application Engineer

WÜRTH ELEKTRONIK MORE THAN YOU EXPECT

IHR REFERENT

Andreas Dreher

Technisches Projektmanagement

- HDI-Design
- Signal Integrität & High Speed
- Kundenberatung

Seit 2003 bei Würth Elektronik CBT

So erreichen Sie mich:

Phone +49 7622 397-133

Mail andreas.dreher@we-online.com



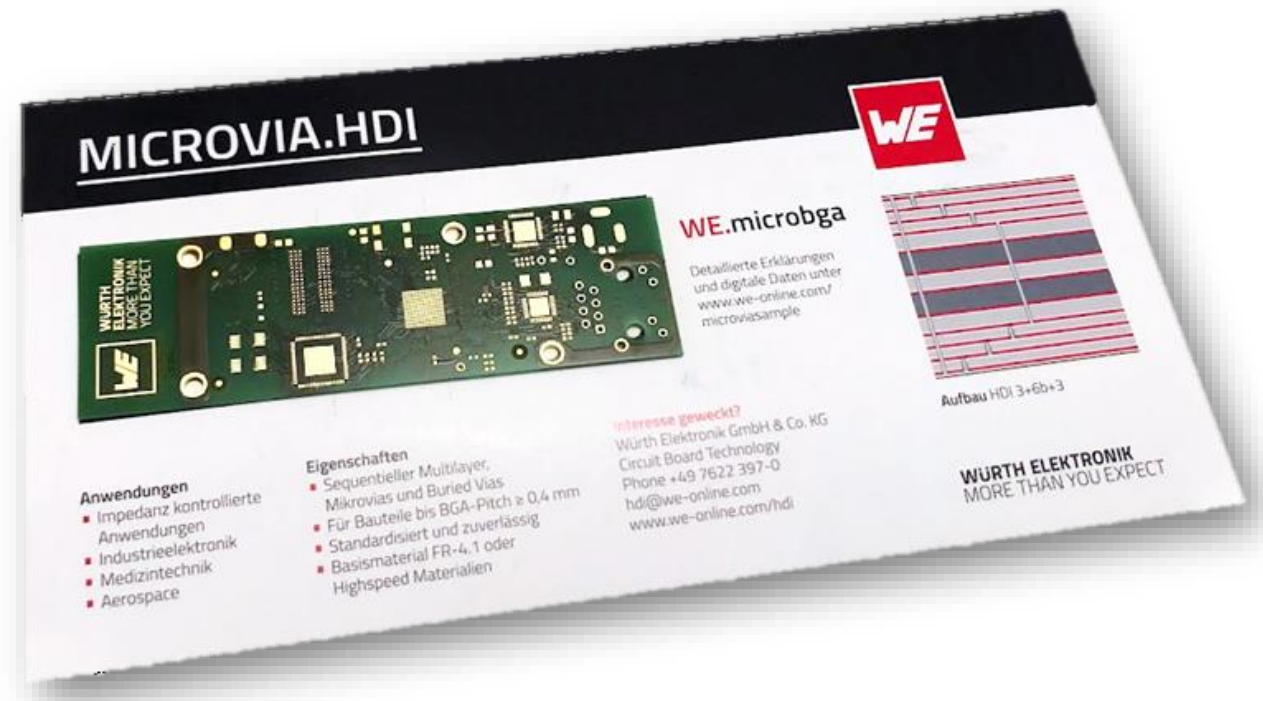
Andreas Dreher

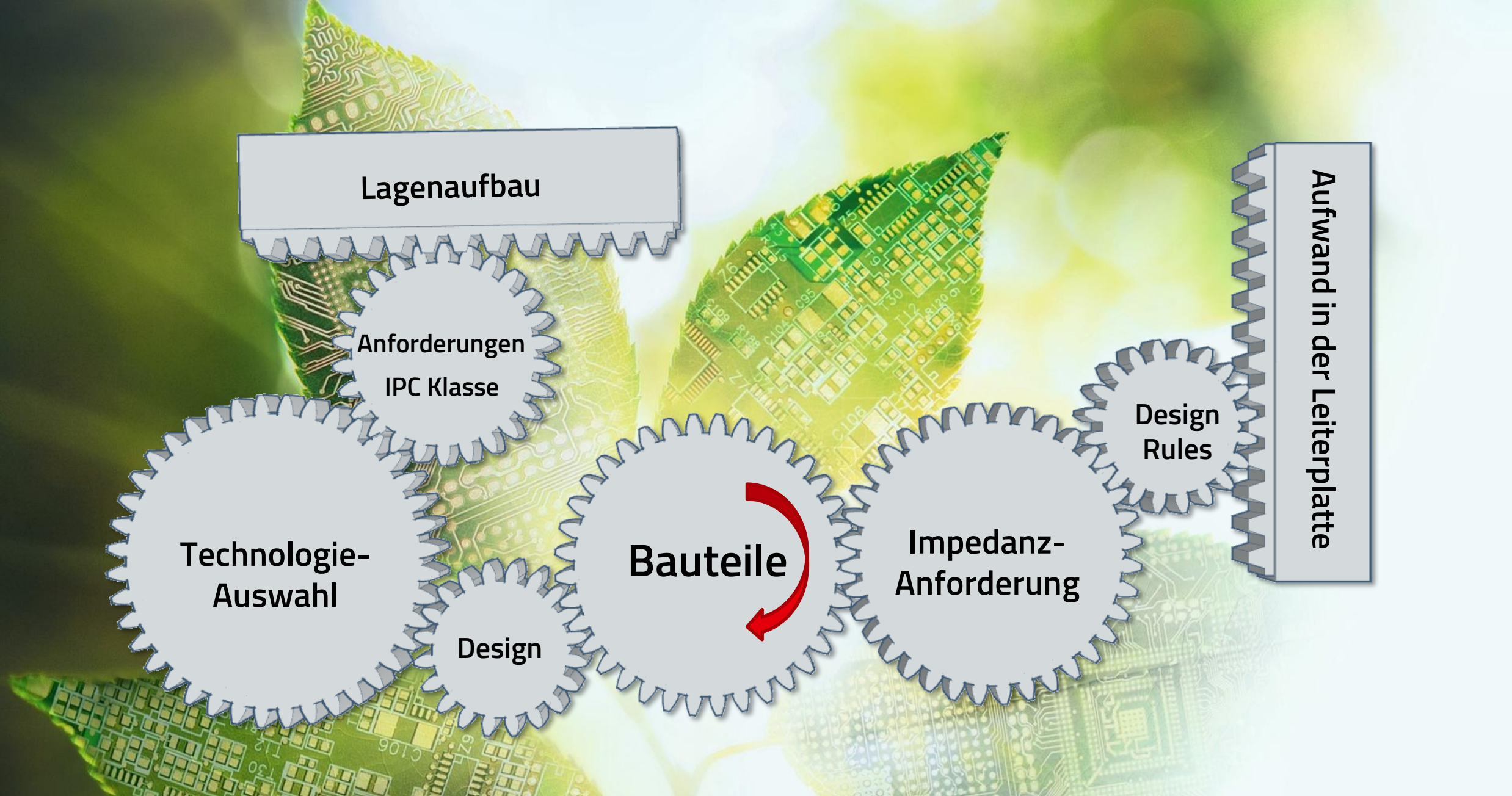
Technisches Projektmanagement



AGENDA

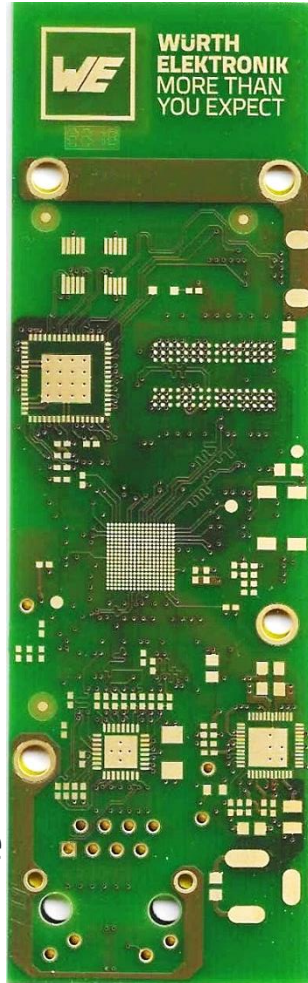
- Vorstellung Handmuster
- Entflechtung BGA
- Hintergrund in der Fertigung
- Einstieg Impedanz Berechnung





VORSTELLUNG HANDMUSTER

WE.microbga



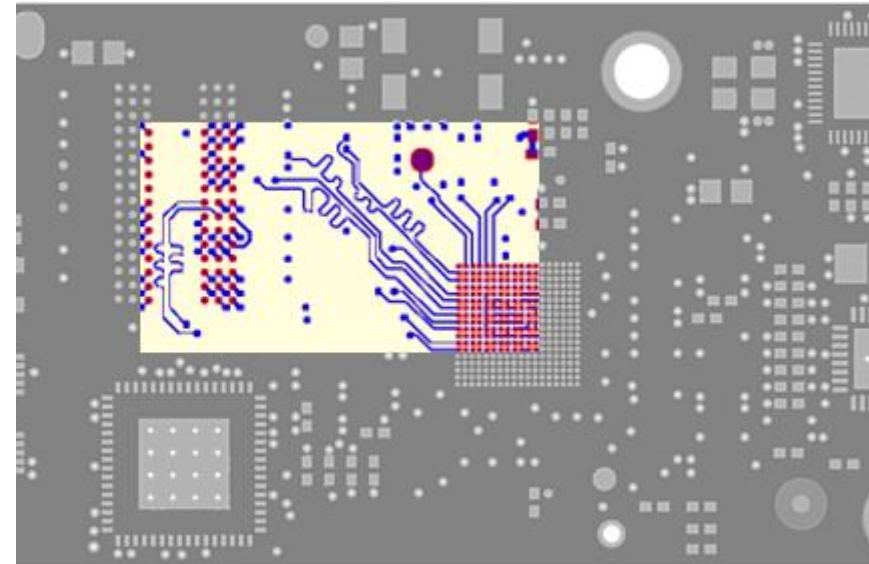
Powerleitung

Speicherchip

QFP Bauteile

BGA
Pitch 0,40 mm

Serielles Interface
mit PTH Via



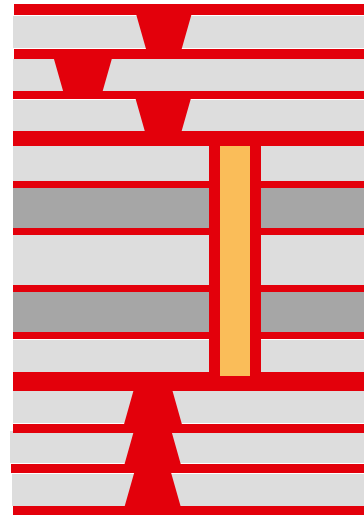
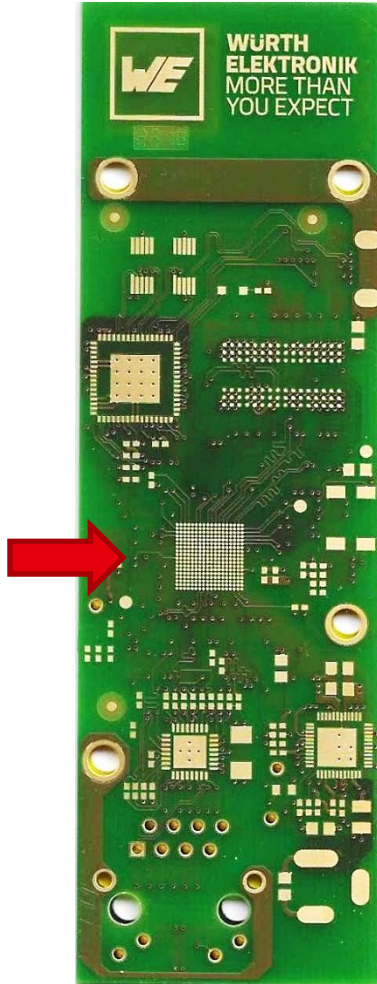
Definierte Impedanzen mit projektspezifischen Lagenaufbau,
Längenausgleich zur Laufzeitenanpassung

ENTFLECHTUNG BGA

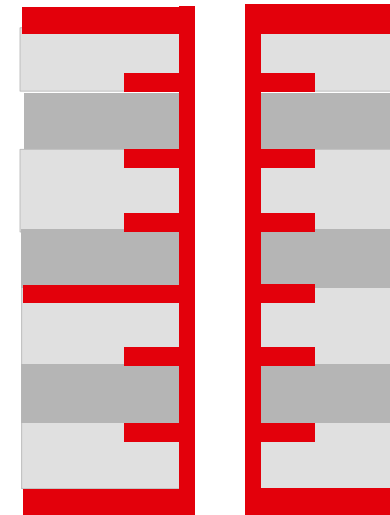
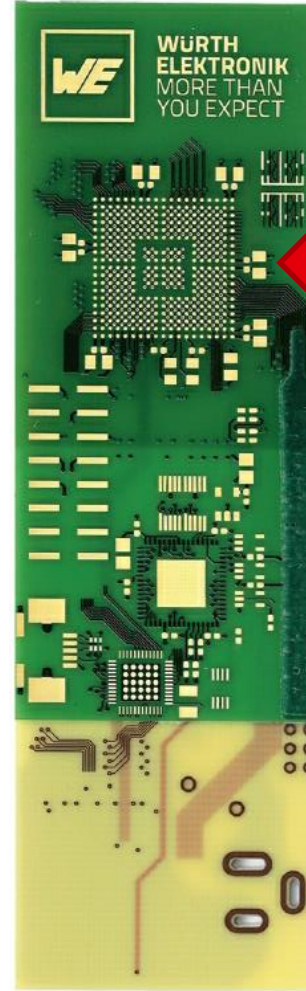
WE.microbga

WE.fan

BGA
Pitch 0,40 mm



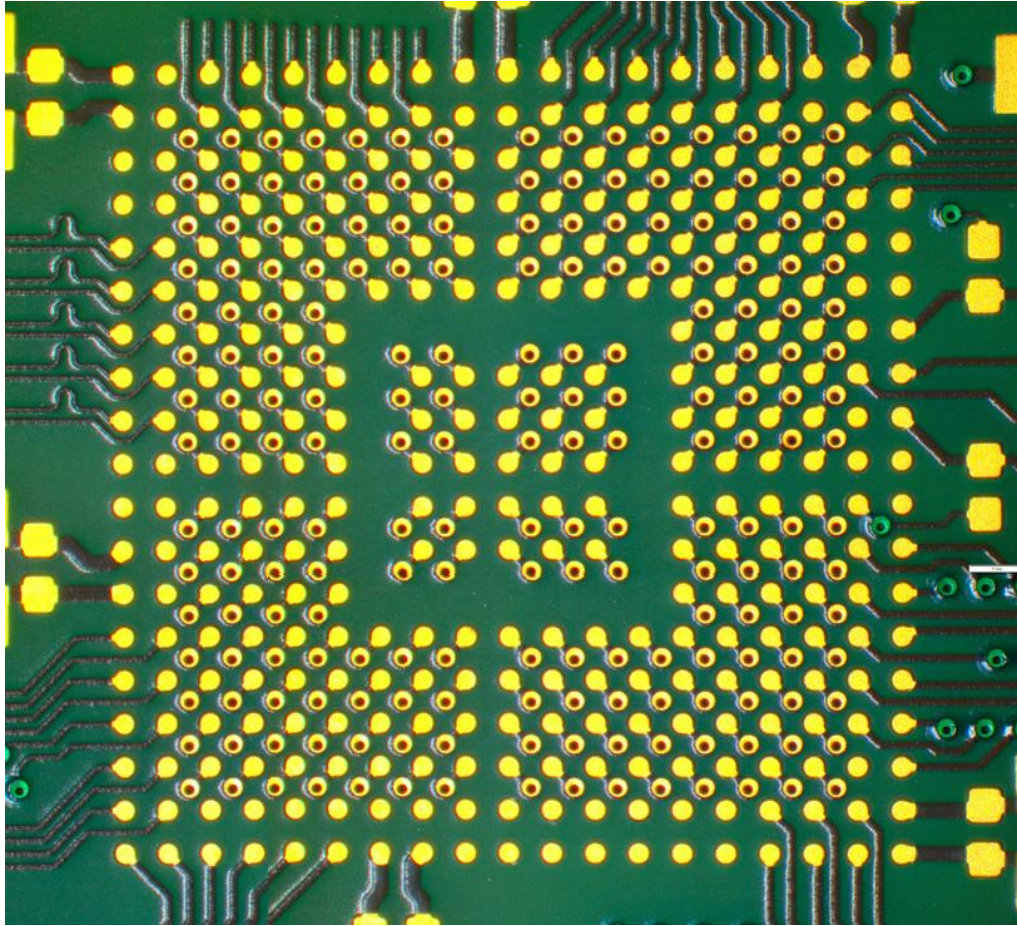
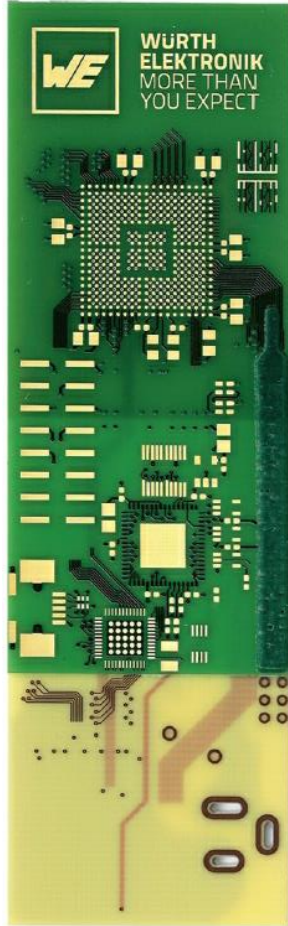
BGA
Pitch 0,80 mm



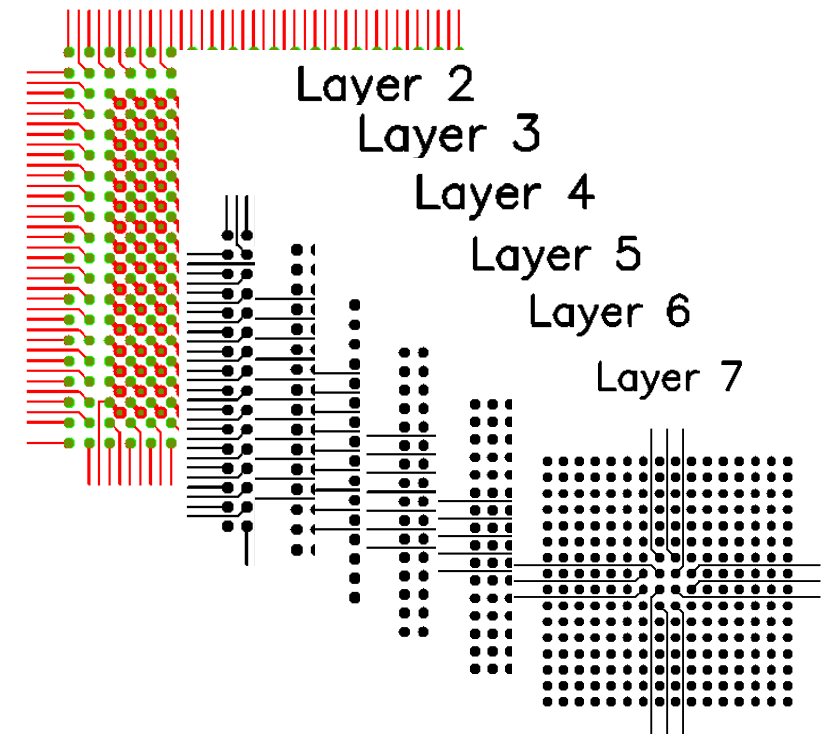
ENTFLECHTUNG BGA

WE.fan

BGA 0,80 mm



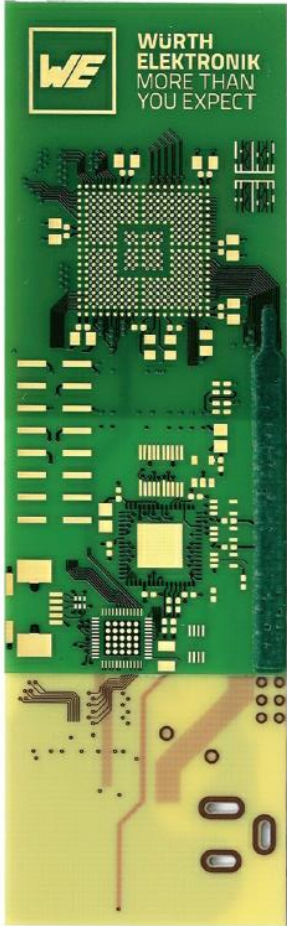
- 20 x 20 Reihen PTH –mech. Bohrung



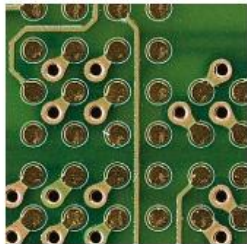
ENTFLECHUNG BGA

WE.fan

BGA 0,80 mm



BGA 0,80 mm Pitch



Var. 1: Dogbone mit durchgehenden Vias



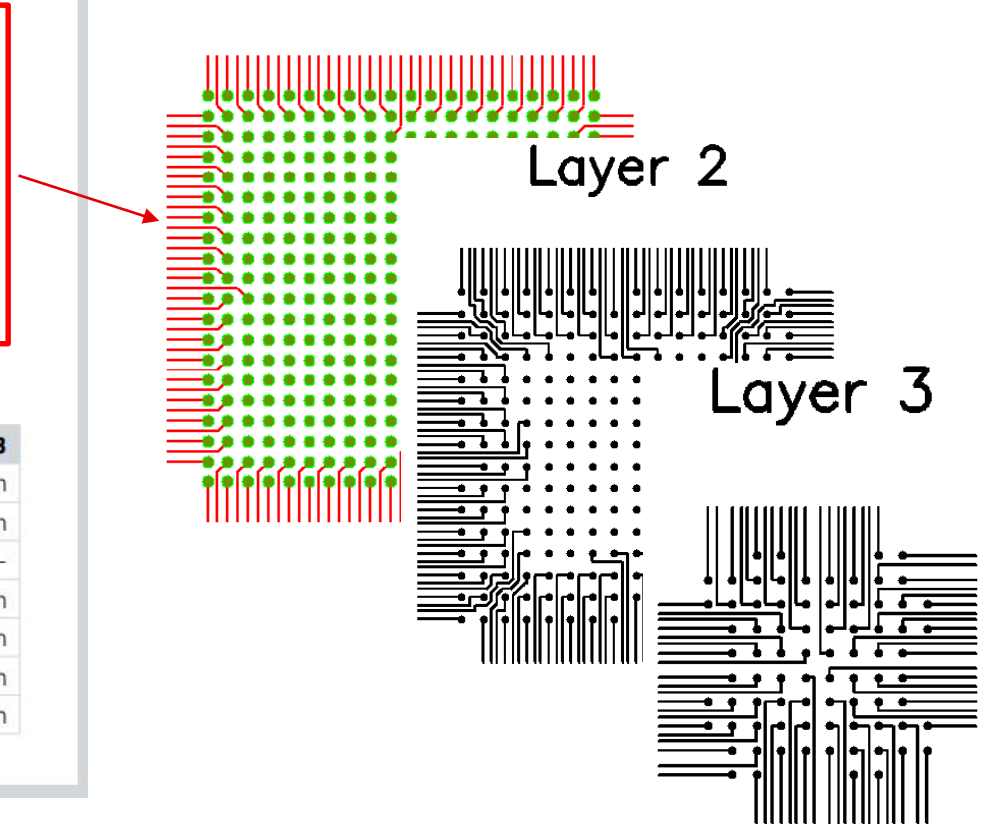
Var. 2: Dogbone mit Microvias



Var. 3: Microvia in Pad

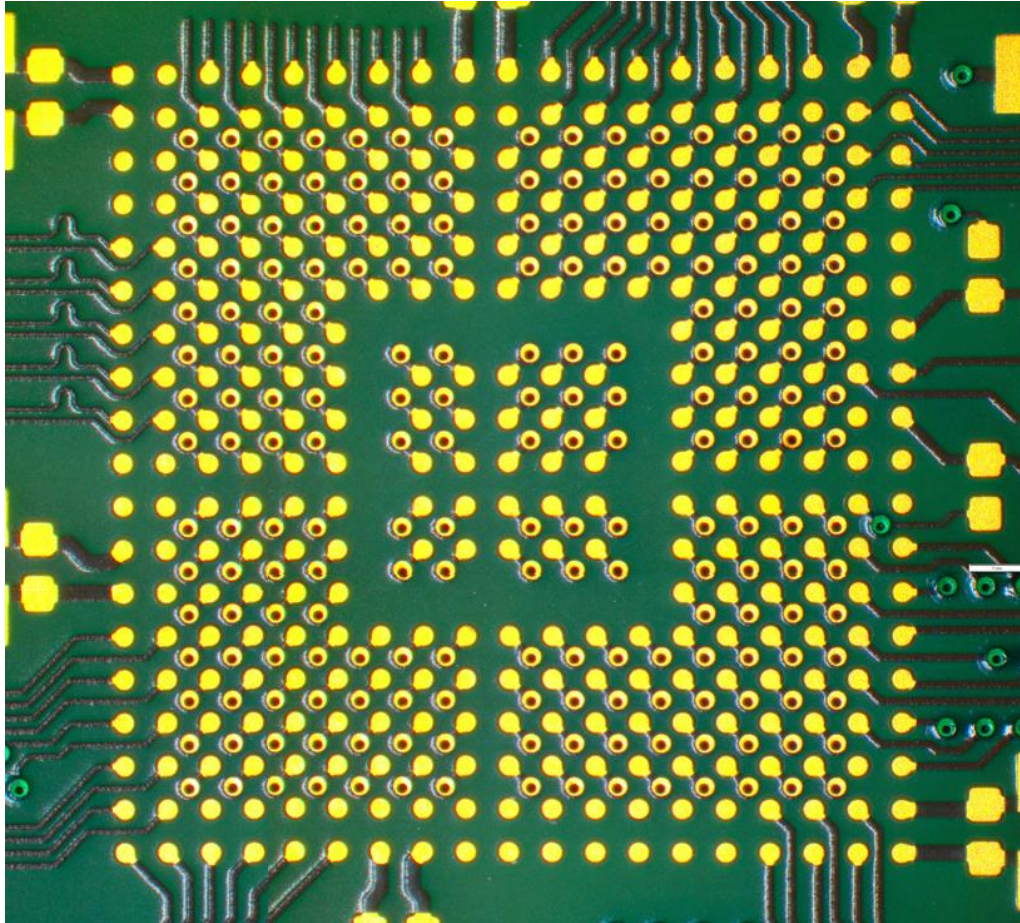
	Var. 1	Var. 2	Var. 3
BGA Lötspur	max. 400 µm	—	max. 500 µm
Lötstoppsmaskenfreistellung	50 µm	≥ 50 µm	50 µm
Via Padgröße BGA Bereich	500 µm	—	—
Microvia-Pad-Außenlagen	—	300 / 350 µm	300 / 350 µm
Microvia-Pad-Innenlagen	—	300 / 350 µm	300 / 350 µm
Leiterbreite / -abstand Außenlagen	≥ 100 µm	≥ 100 µm	≥ 100 µm
Leiterbreite / -abstand Innenlagen	≥ 100 µm	≥ 100 µm	≥ 100 µm

- 20 x 20 Reihen Microvia

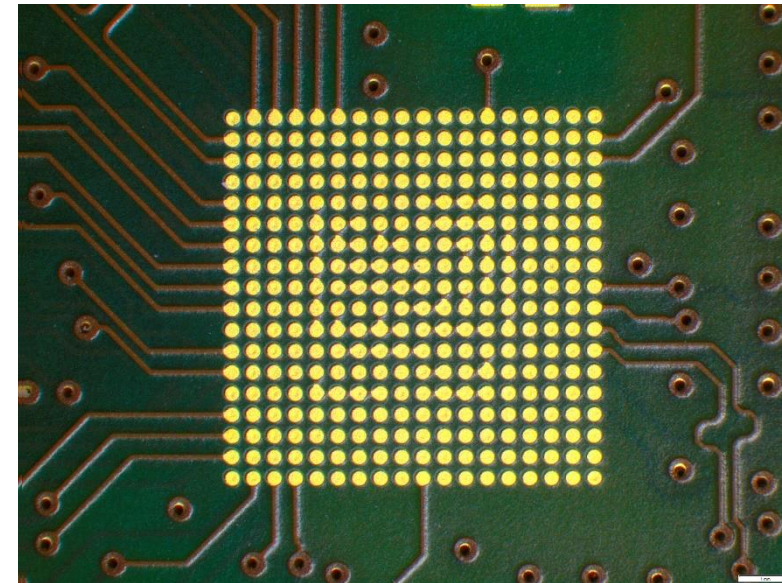


VERGLEICH FLÄCHENVERBRAUCH

BGA 0,80 mm 20x20 Pads



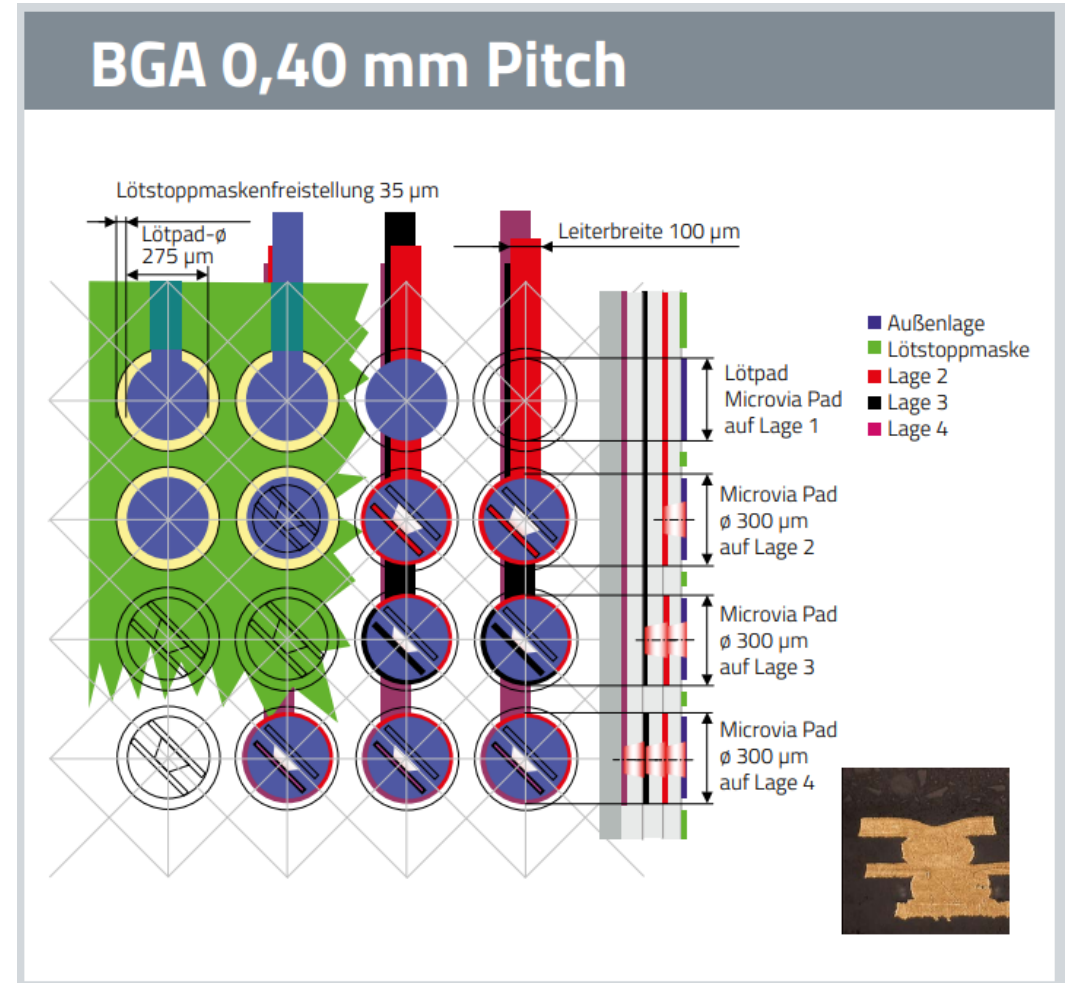
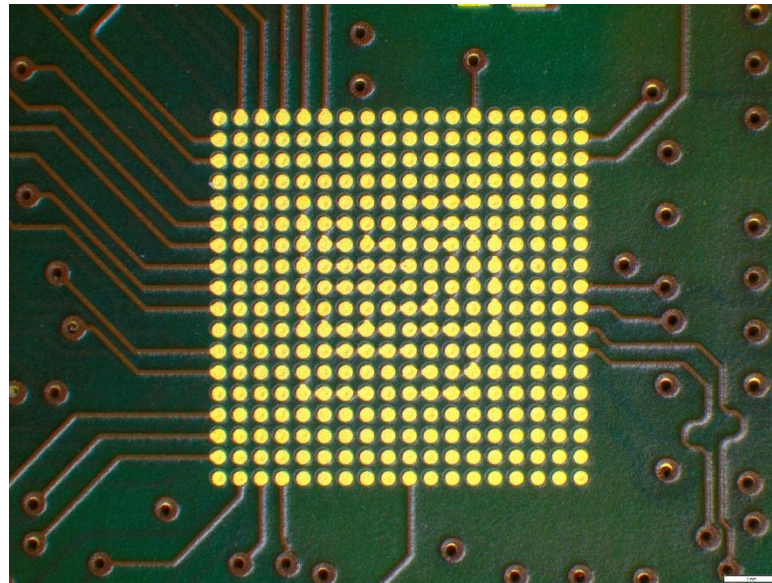
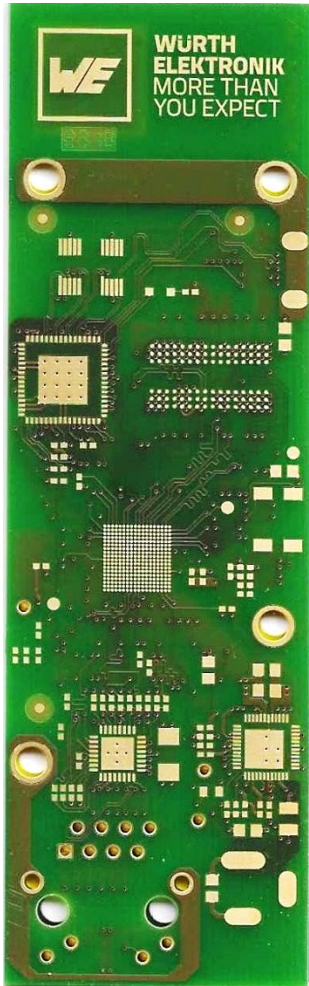
BGA 0,40 mm 20x20 Pads



Nutzen Sie den Vorteil der Microvia konsequent zur Miniaturisierung

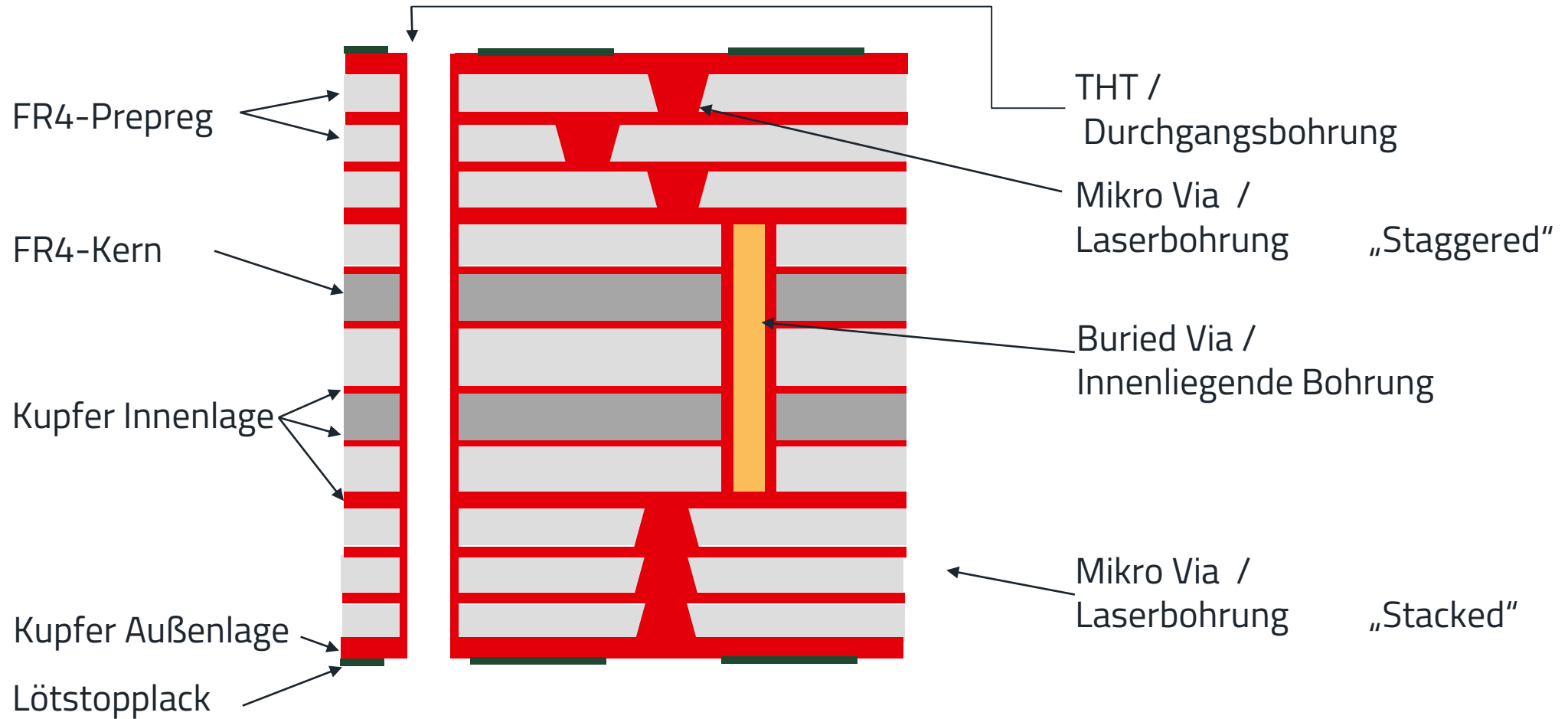
ENTFLECHTUNG BGA

WE.microbga Pitch 0,40 mm



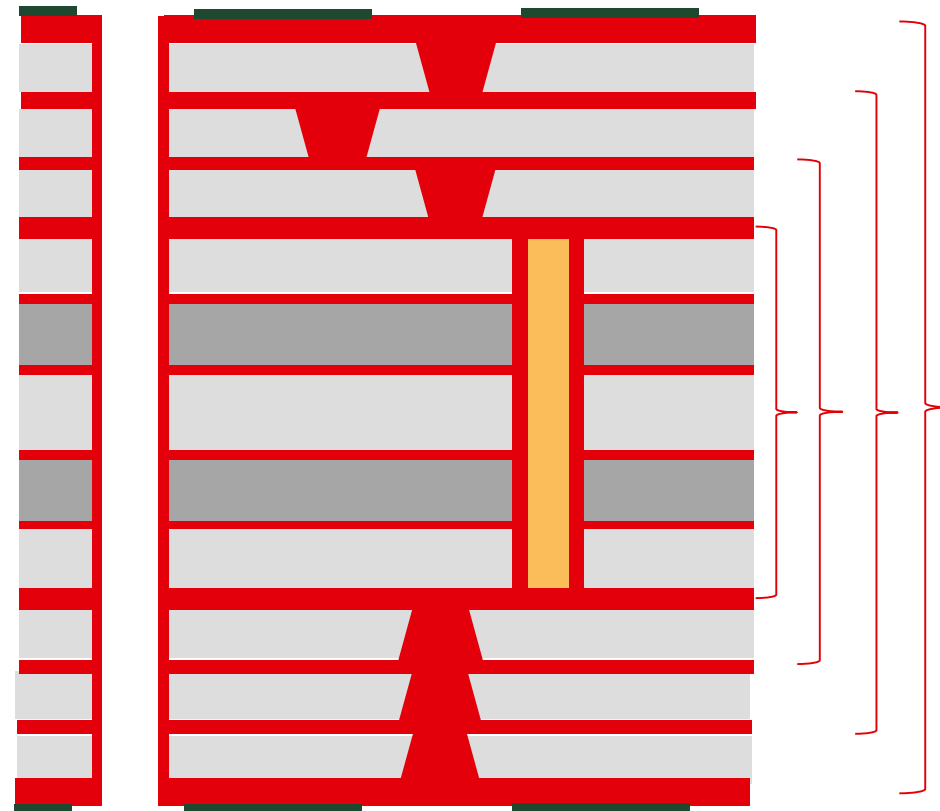
ÜBERSICHT LAGENAUFBAU

Am Beispiel einer HDI12 3-6b-3



FERTIGUNG EINER LEITERPLATTE

Am Beispiel einer HDI12 3-6b-3



6x Galvanik Prozesse

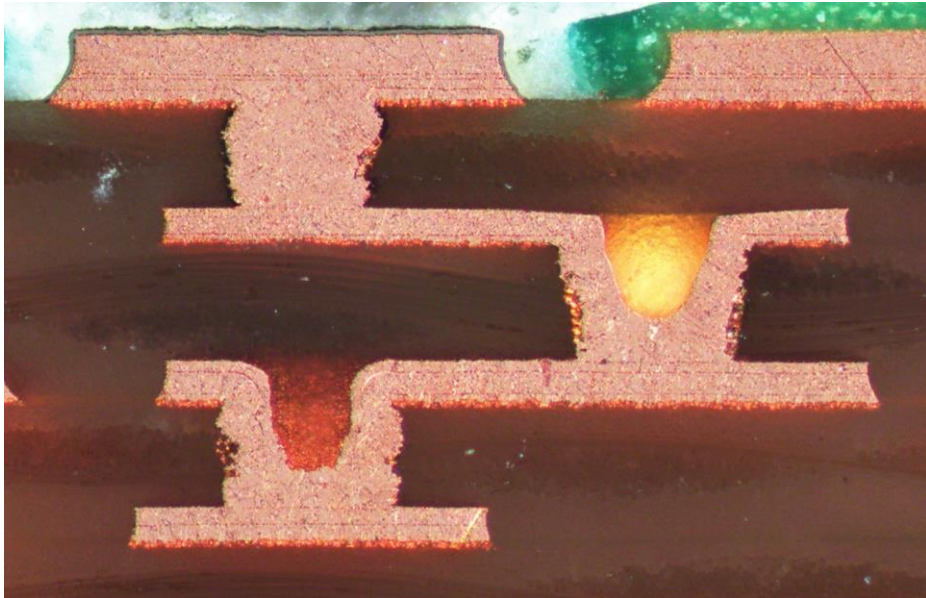
5x Belichtungs Prozesse

4x Verpresszyklen

DESIGN MICRO VIA

Technologie- Auswahl

„Staggered“ Micro Via

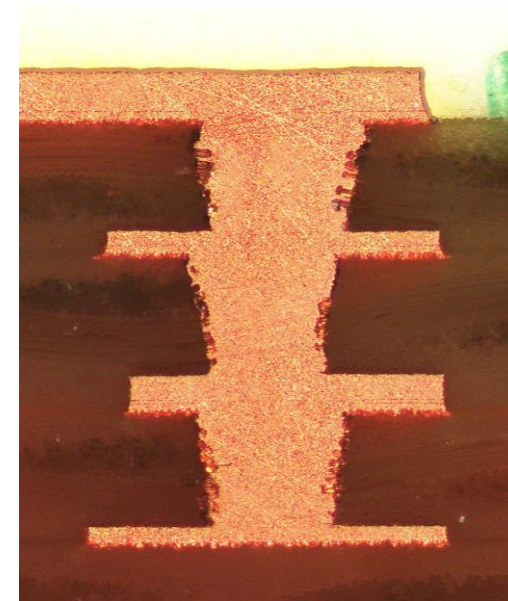


Kupfer gefüllt

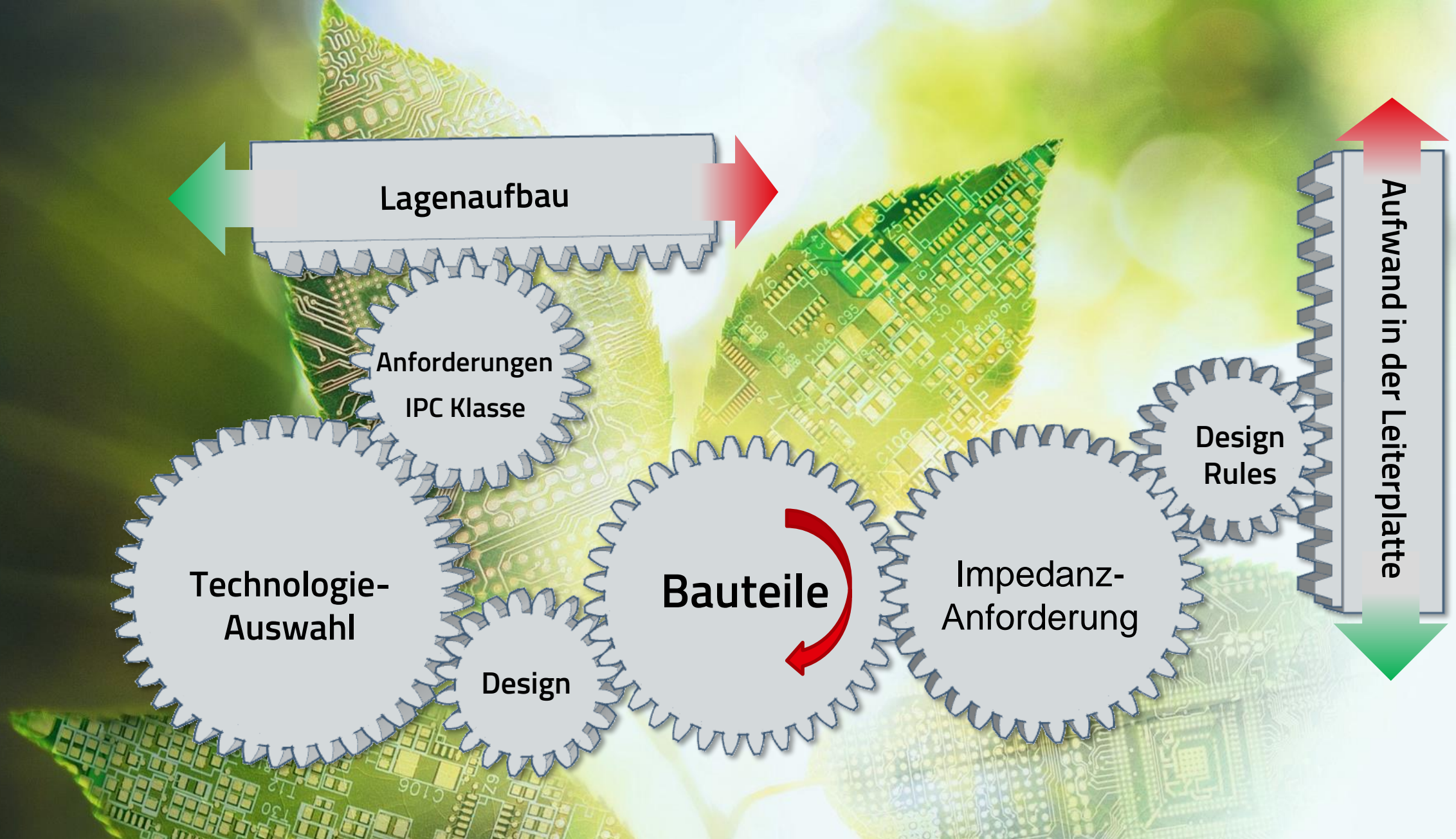
Filling Harz gefüllt

Prepreg Harz gefüllt

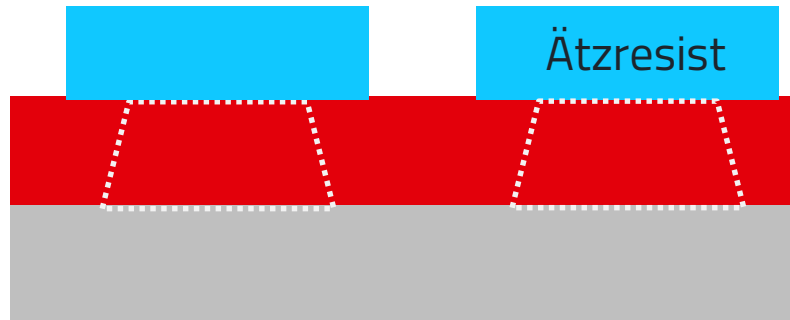
„Stacked“ Micro Via



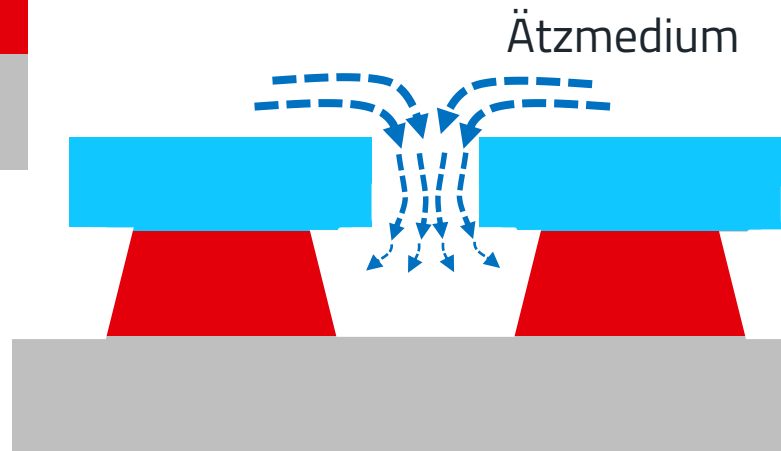
Frühzeitige Absprache zwischen den Partnern ermöglicht Potentialmultiplikation!



GRUNDLAGEN: HERSTELLUNG EINER LEITERBAHN – INNENLAGEN

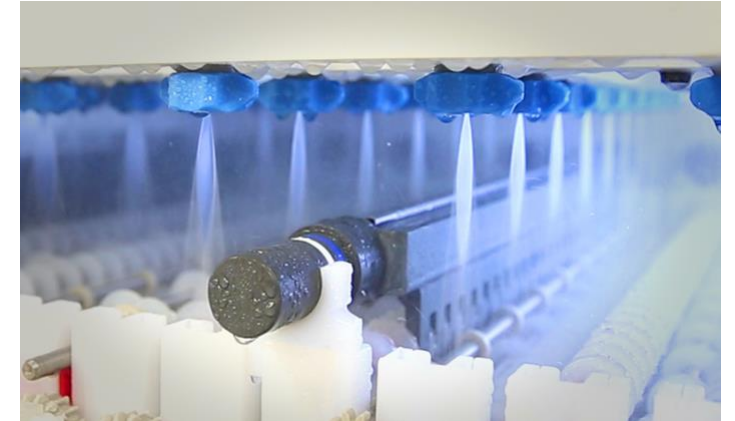
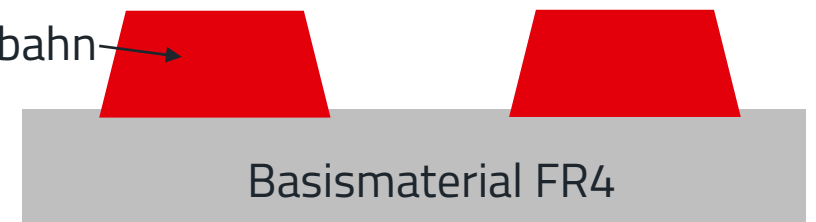


Resist laminieren &
Belichten & Entwickeln



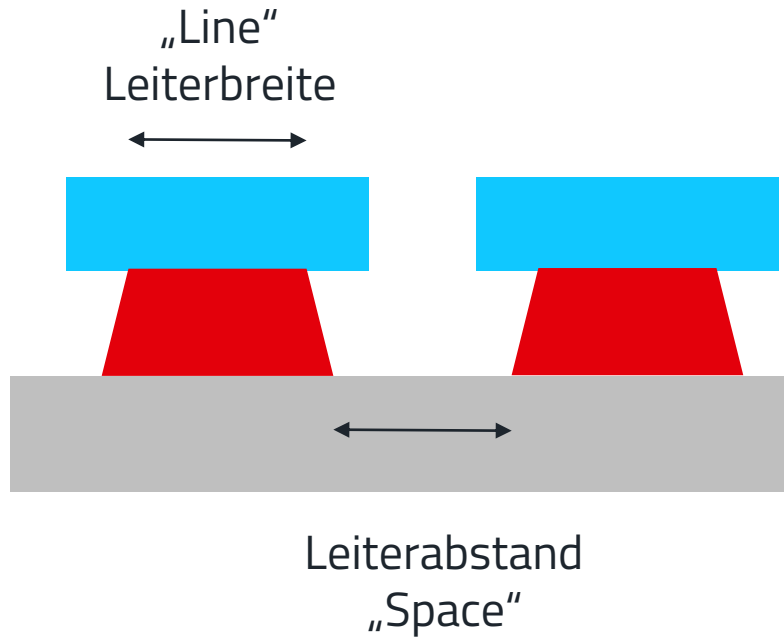
Ätzen

Leiterbahn



Quelle schmid-group.com

ABHÄNGIGKEIT LINE/SPACE VON KUPFERDICKE



Leiterabstand - Außenlagen						
Kupferfoliendicke	Minimale Kupferdicke ¹		Nominale Endschichtdicke	Minimaler Leiterabstand Standard	Minimaler Leiterabstand Advanced	Minimal mögliche Leiterbreite
	IPC-Klasse 1, 2	IPC-Klasse 3				
8,5 µm [1/4 oz.] ²	26,2 µm	31,2 µm		100 µm	75 µm	60 µm ³
12 µm [3/8 oz.] ²	29,3 µm	34,3 µm		100 µm	80 µm	60 µm ³
17,1 µm [1/2 oz.]	33,4 µm	38,4 µm	35 µm	120 µm	100 µm	60 µm ³
34,3 µm [1 oz.]	47,9 µm	52,9 µm	70 µm	180 µm	160 µm	120 µm
68,6 µm [2 oz.]	78,7 µm	83,7 µm	105 µm	275 µm	225 µm	125 µm
102,9 µm [3 oz.]	108,6 µm	113,6 µm		390 µm	320 µm	150 µm

1) IPC-6012E-DE Tabelle 3-15: Dicke von Außenlagen-Leitern nach der Metallisierung

2) Mehrkosten: Keine Standardfolie

3) Außenlagen: nur möglich bei gleichmäßigem Leiterbild

Leiterabstand - Innenlagen						
Kupferfoliendicke	Minimale Kupferdicke ⁴			Minimaler Leiterabstand Standard	Minimaler Leiterabstand Advanced	Minimal mögliche Leiterbreite
	IPC-Klasse 1, 2, 3					
17,1 µm [1/2 oz.]	11,4 µm			100 µm	75 µm	60 µm ³
34,3 µm [1 oz.]	24,9 µm			120 µm	100 µm	60 µm ³
68,6 µm [2 oz.]	55,7 µm			180 µm	150 µm	125 µm
102,9 µm [3 oz.]	86,6 µm			250 µm	225 µm	175 µm

4) IPC-6012E-DE Tabelle 3-14: Innenlagen-Foliendicke nach der Bearbeitung

ABHÄNGIGKEIT LINE/SPACE - PRAXISBEISPIEL



In Engstellen: geringer Leiterabstand

Restliches Layout: großzügige Abstände

Neue Datenformate: Attribute verwenden

Asymmetrische Layout Definition

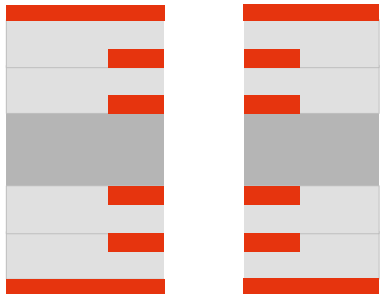
Line / Space

Nicht 100 μm / 100 μm

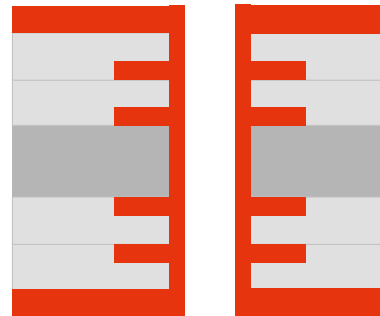
sondern 80 μm / 120 μm

FILLED VIA FERTIGUNGSPROZESS

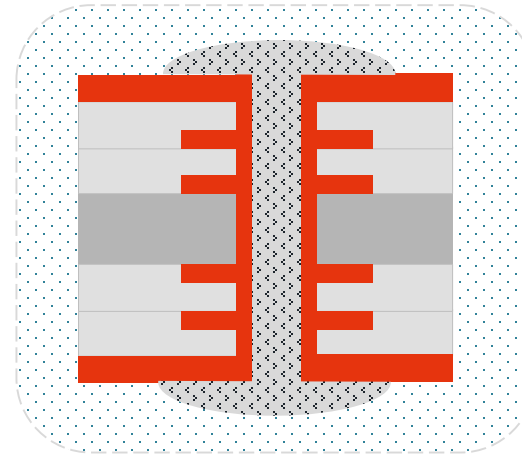
Bohren



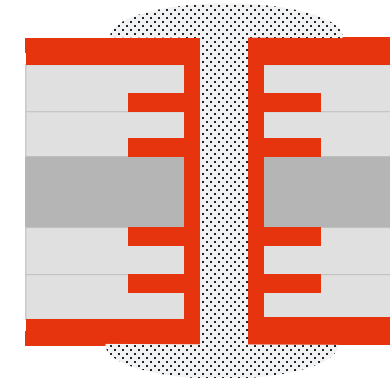
Bohrung
metallisieren



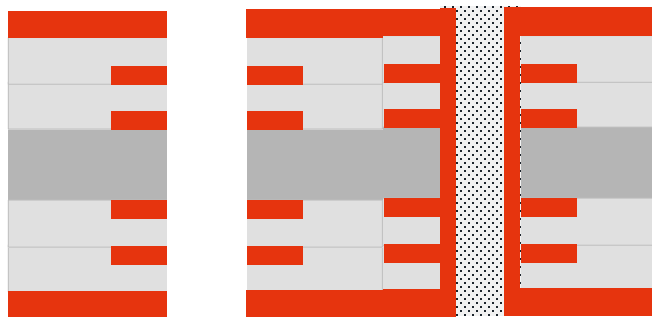
Vakuum Filling



Aushärten

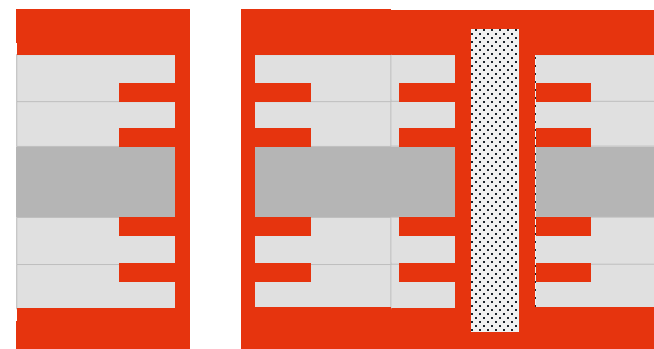


Schleifen



Typ V Filled Via

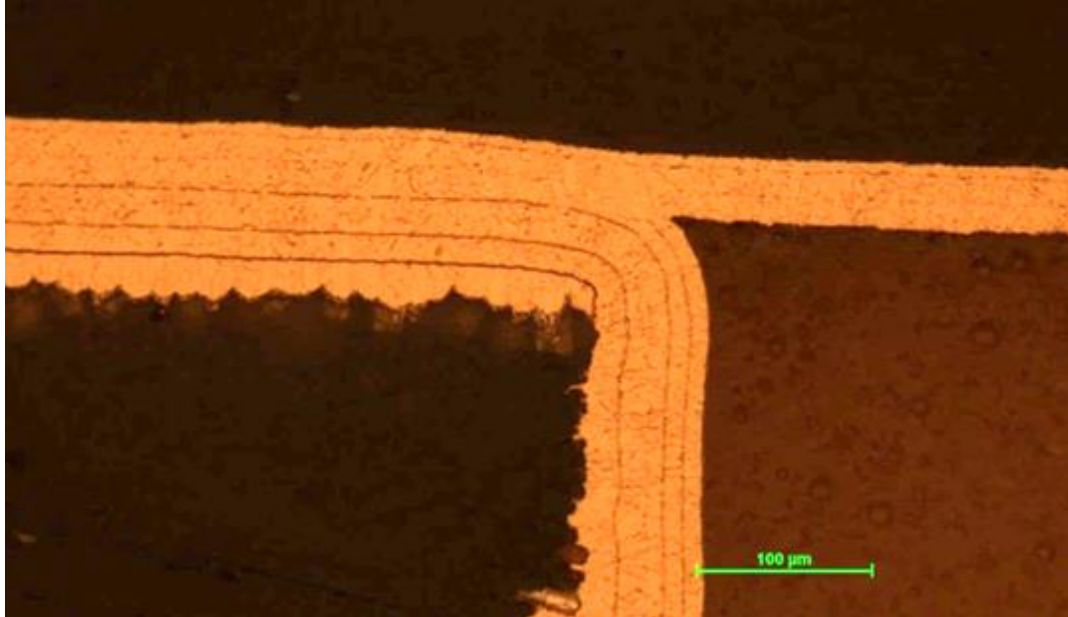
„Deckel“ metallisieren



Typ VII Filled Via

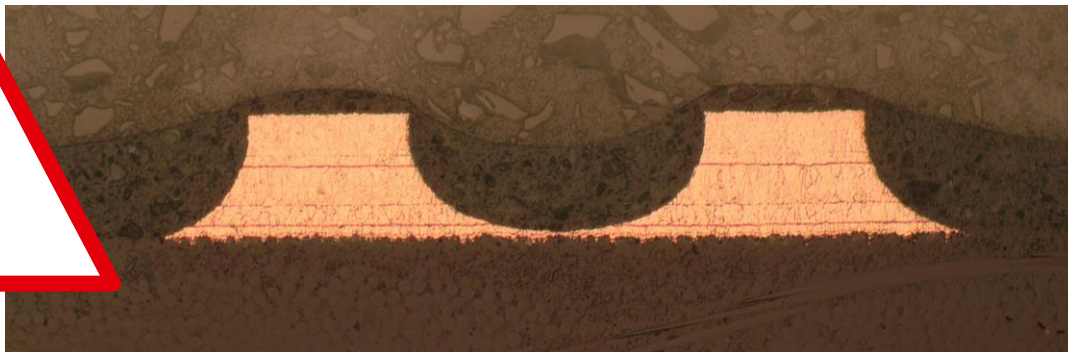
FILLED VIA – TECHNOLOGIE KOMBINATION

Einschränkungen bei Fine Line Strukturen



Aufgrund mehrfachen Durchlauf der Galvanik steigt das Kupfer auf der Oberfläche.

Dadurch sind teilweise Kompromisse bei den Strukturgrößen notwendig.

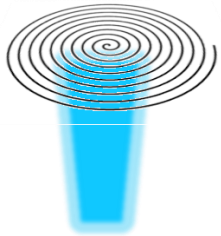


Typische Designparameter in Abhängigkeit der Cu-Dicke

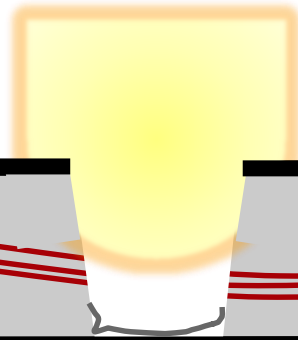
Kupfer-Dicke	Leiterbahnbreite	Abstand
~ 30 µm	75 µm	100 µm
~ 40 µm	100 µm	120 µm
~ 50 µm	120 µm	180 µm

HERSTELLUNG MIKROVIA

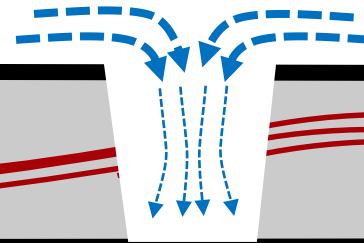
1. Schritt
Kupferöffnung



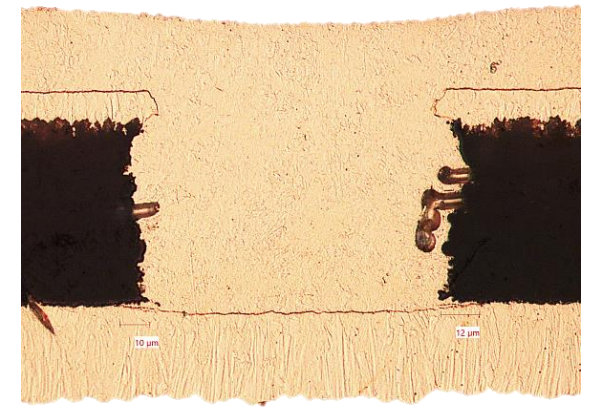
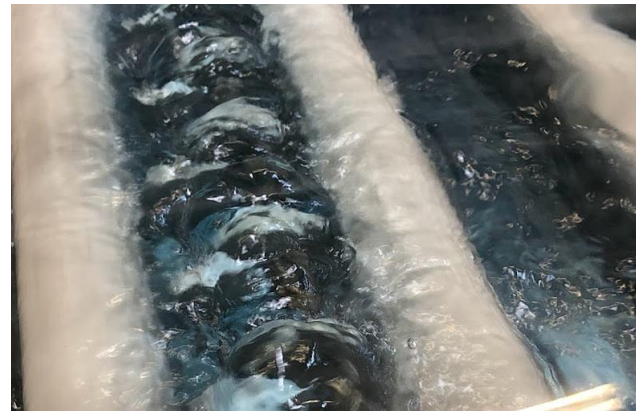
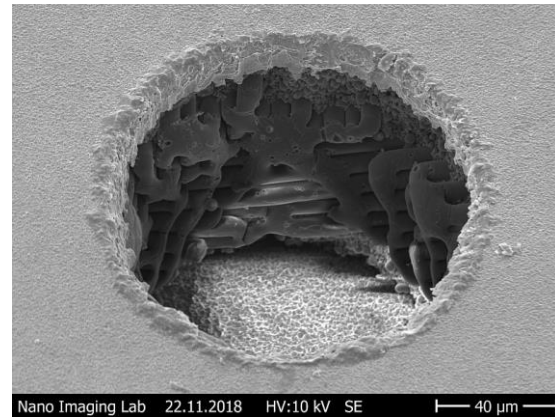
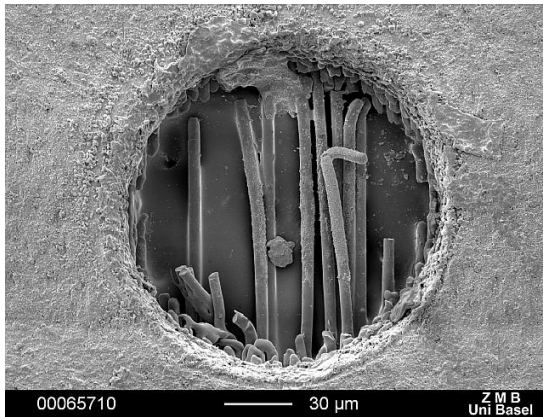
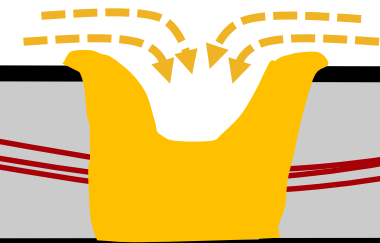
2. Schritt
Harz entfernen



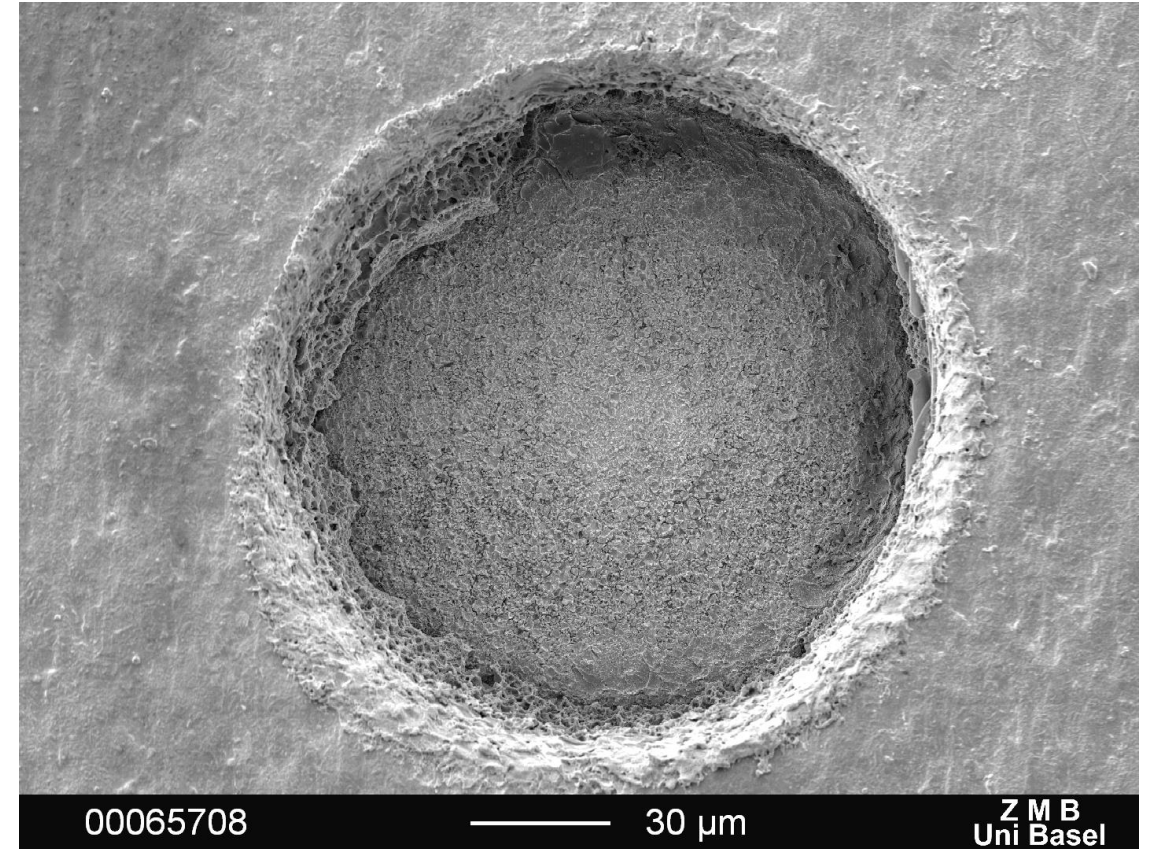
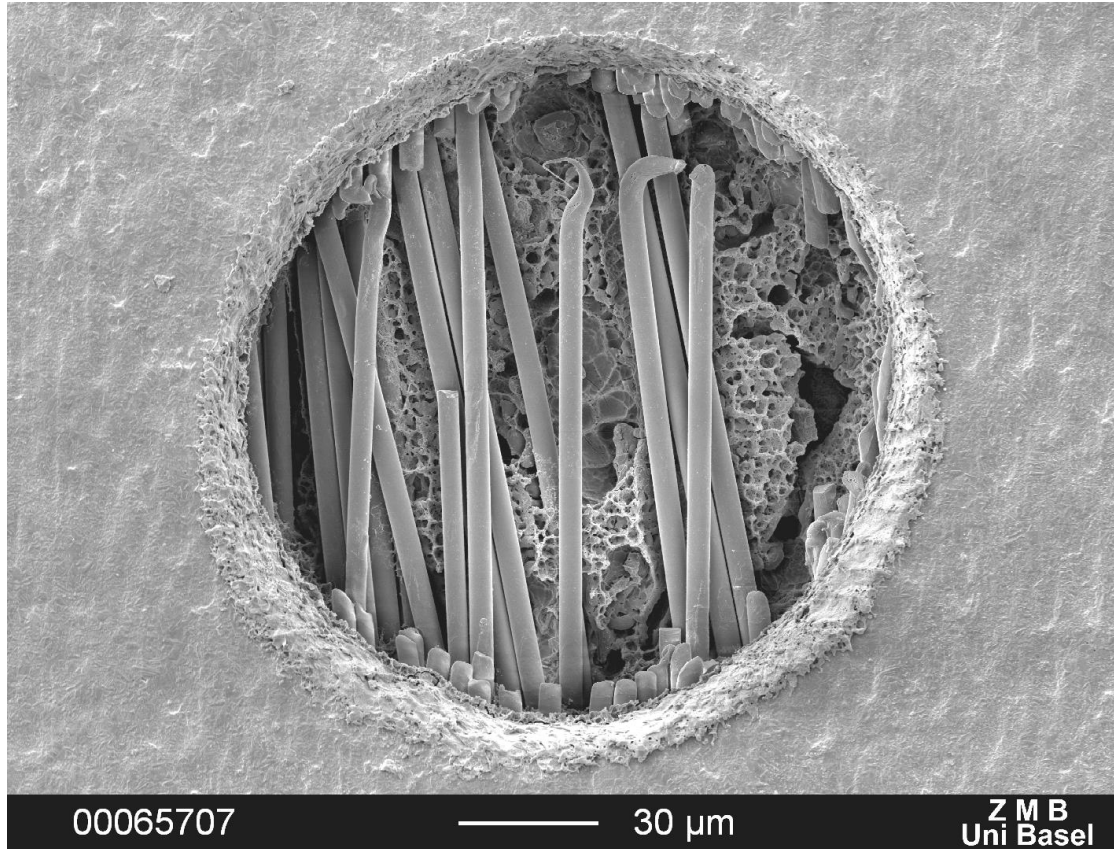
3. Schritt
Desmear



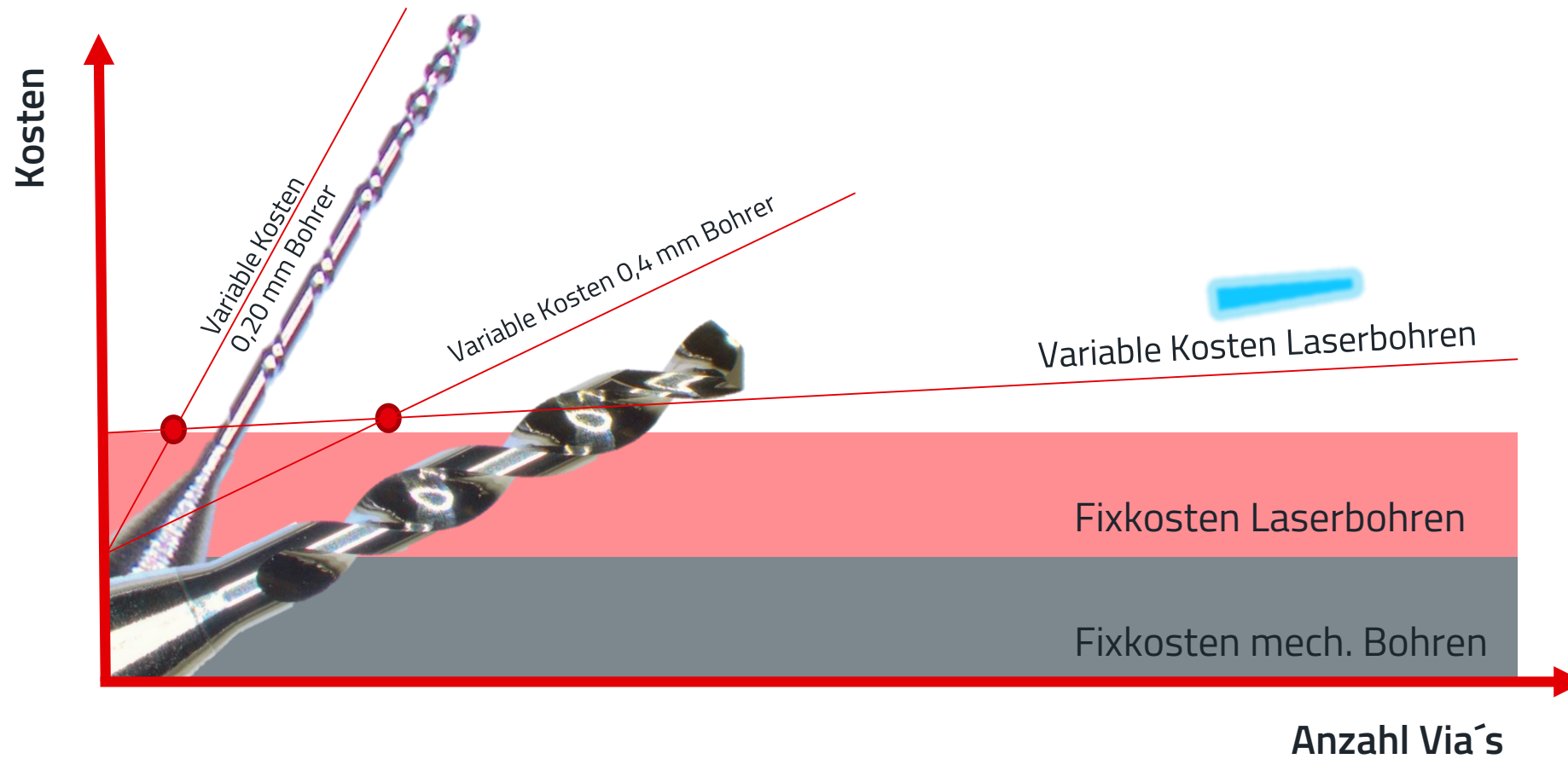
4. Schritt
Galvanik



HERSTELLUNG MIKROVIA



VARIABLE & FIXKOSTEN IM PROZESS



BLICK IN DIE FERTIGUNG

Laserbohren

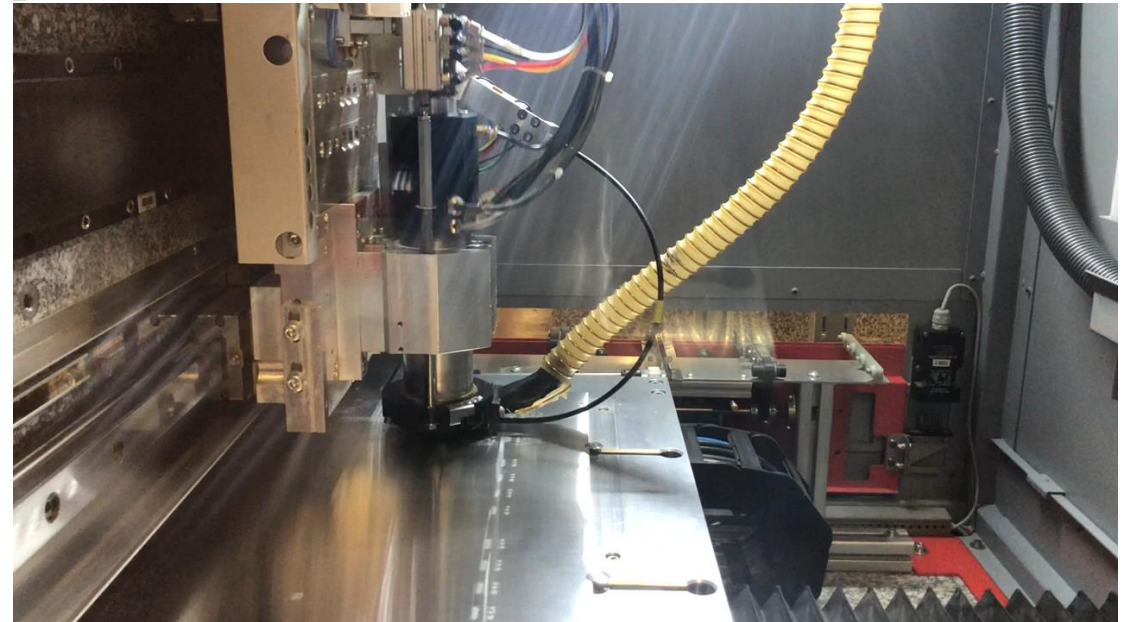


Quelle: Disney Store



~ 300 Bohrungen pro Sekunde

mech. Bohren

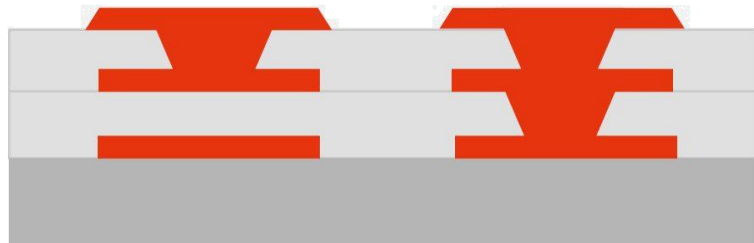


~ 2 Bohrungen pro Sekunde

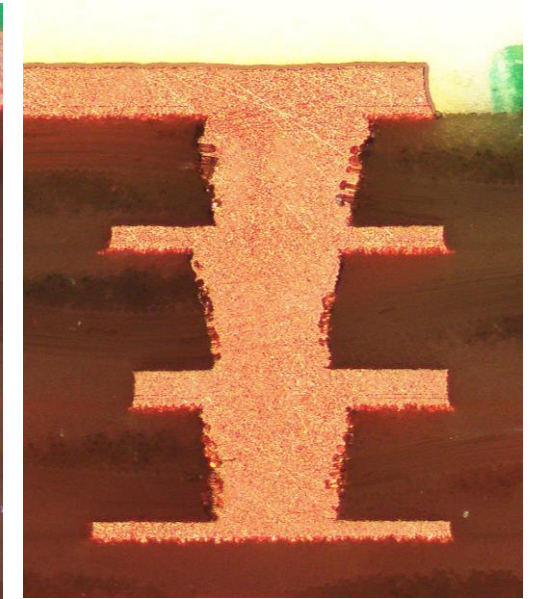
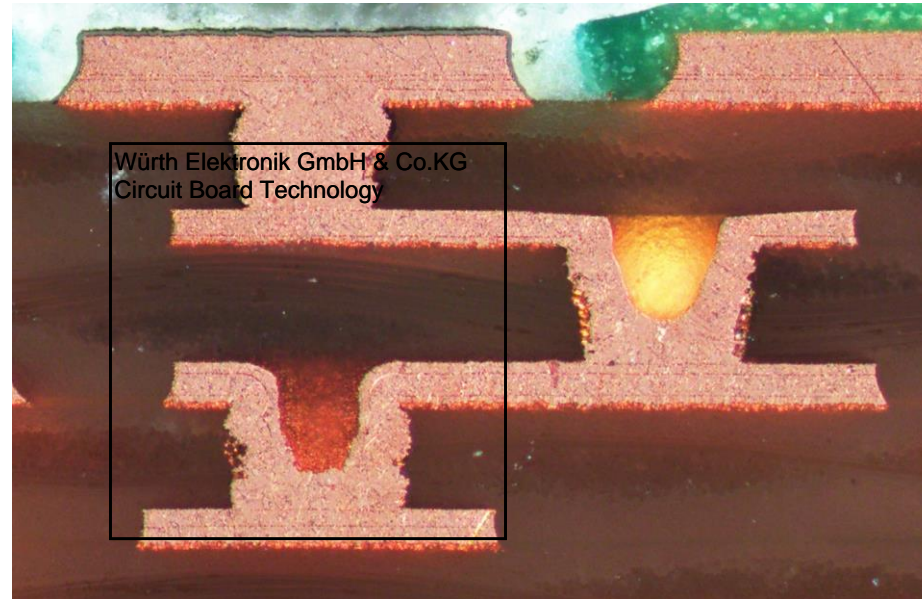
MICRO VIA FILLING



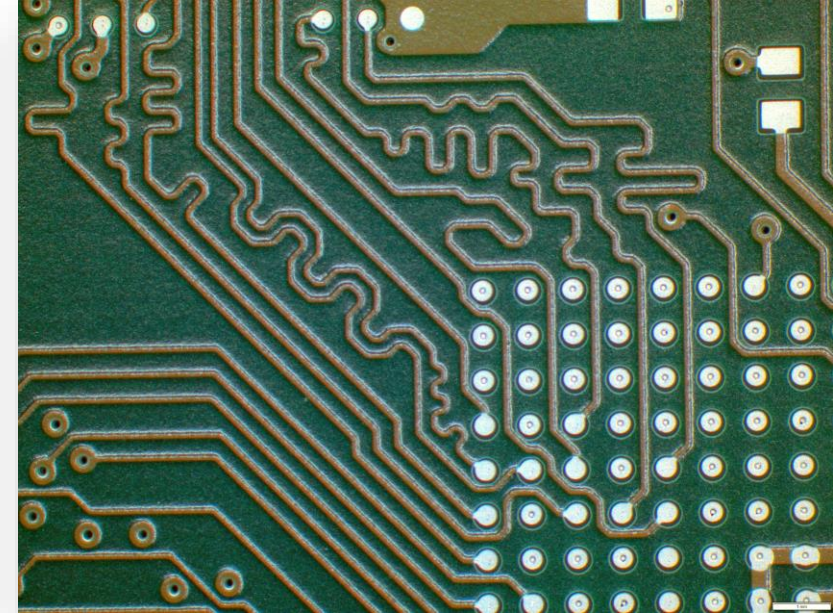
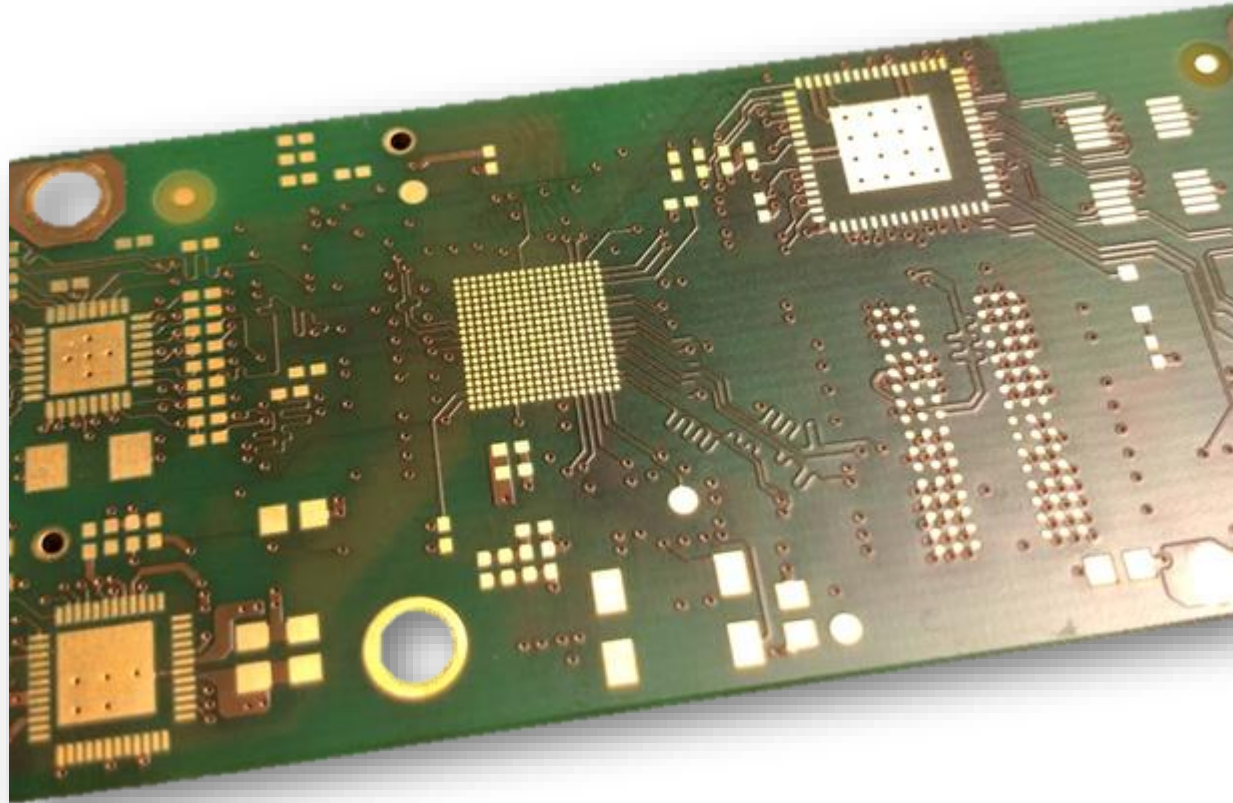
Filled Micro Via



Copper Filled Micro Via

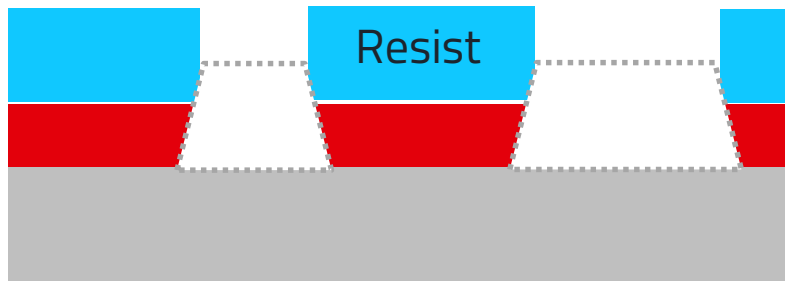


LEITERBAHNEN & FEINE STRUKTUREN – AUßENLAGEN

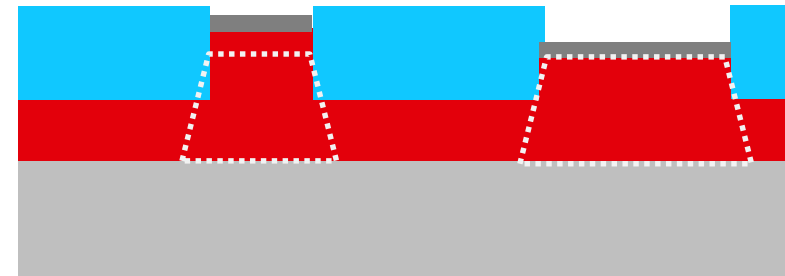


GRUNDLAGEN: HERSTELLUNG EINER LEITERBAHN – AUßENLAGEN

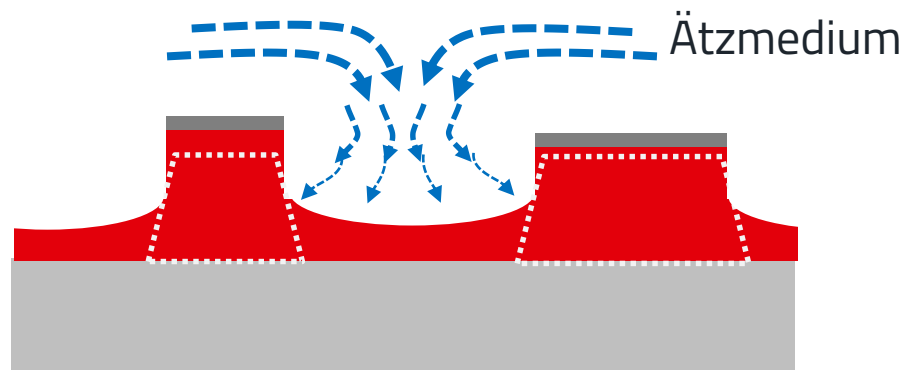
Laminieren



Galvanik: selektiver Kupferaufbau



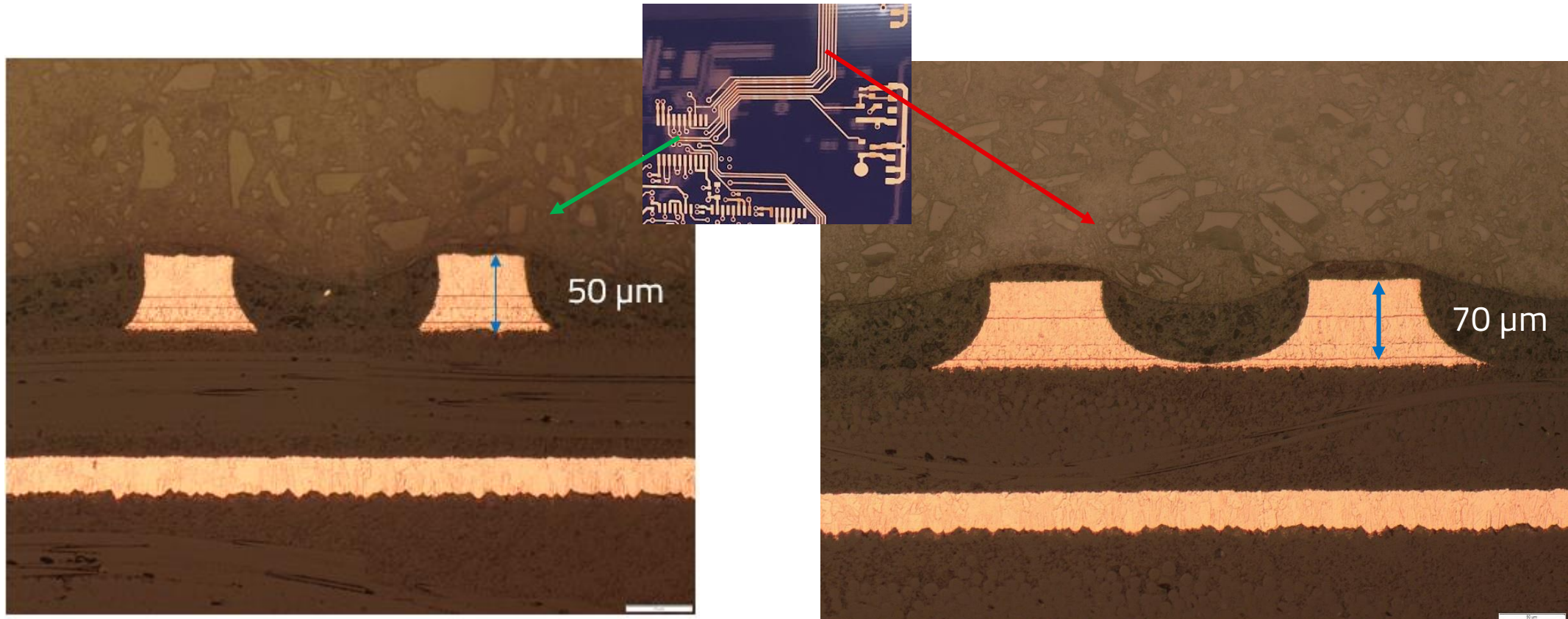
Strippen – Ätzen – Zinnstripfen



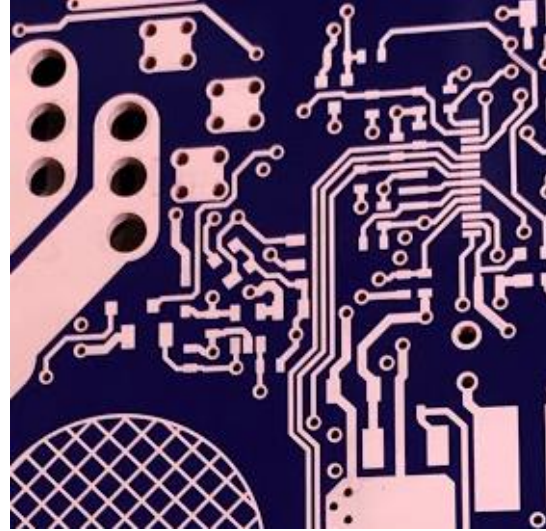
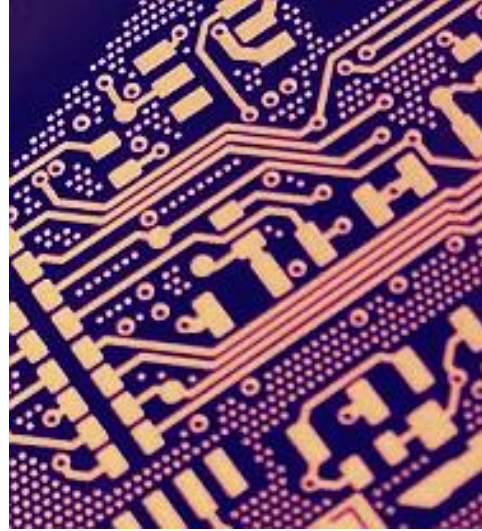
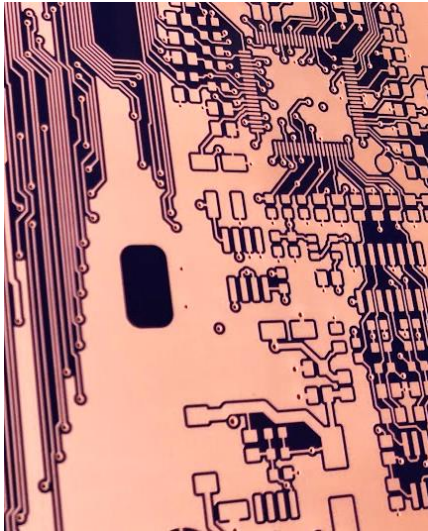
Fertige Strukturen



KUPFERVERTEILUNG – AUSWIRKUNGEN



KUPFERVERTEILUNG IM LAYOUT



Kupfer geflutet

Verteilung homogen

Kritische Strukturen freistehend

Lagenaufbau

Anforderungen
IPC Klasse

Technologie-
Auswahl

Design

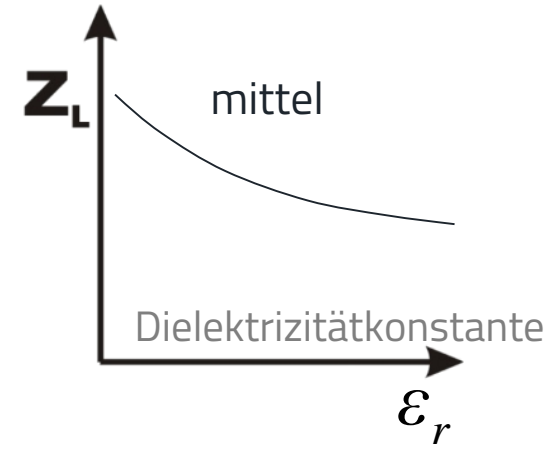
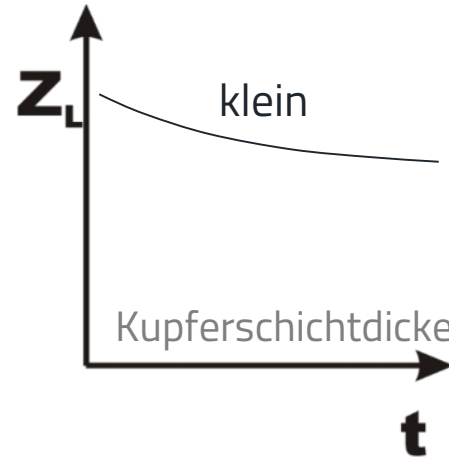
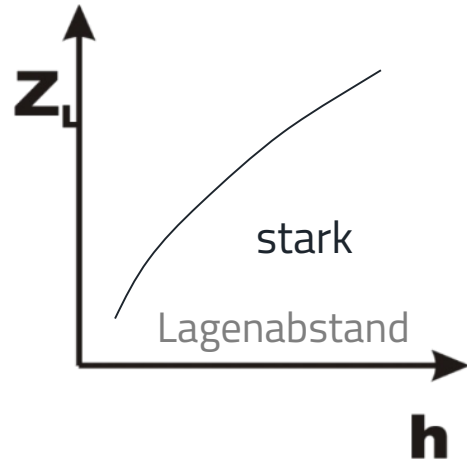
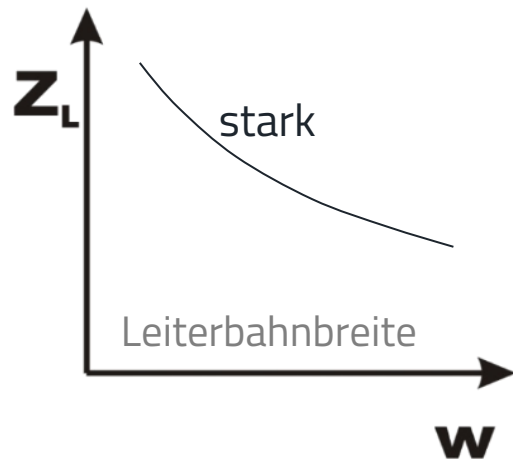
Bauteile

Impedanz-
Anforderung

Design
Rules

Aufwand in der Leiterplatte

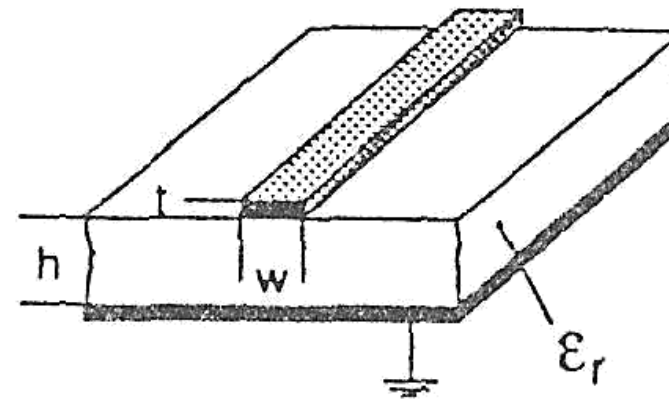
IMPEDANZ - EINFLUSSGRÖßEN



$w+h$ = Layouter + Leiterplattenhersteller

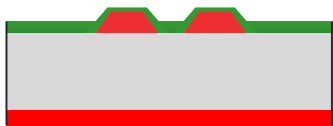
t = Galvanikprozess, Basiskupfer

ϵ_r = Basismaterial

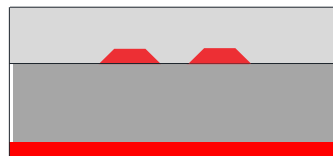


IMPEDANZMODELLE

Lagen
Konfiguration:



Surface
Microstrip



Embedded
Microstrip

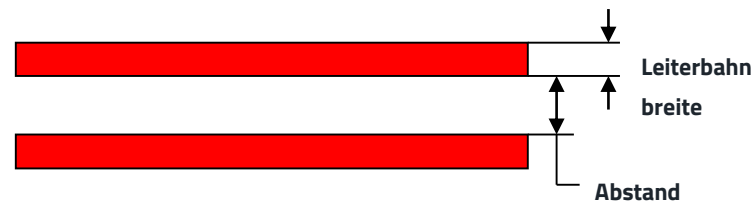


Stripline

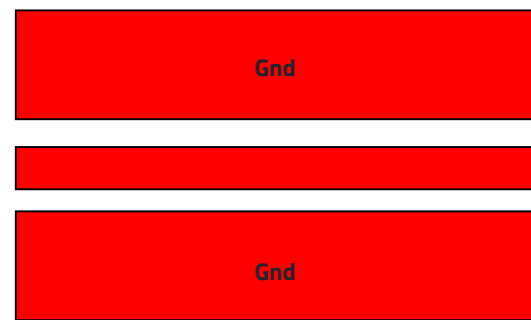
Leiterbahn
Konfiguration:



Single



Differentiell



Coplanar

IMPEDANZ - OPTIONEN IN DER FERTIGUNG

Impedanzkalkulation

LAGENBEZEICHNUNG		AUFBAU	BASIS-Material	CU	PREPREG ANZAHL/TYP	[εr]	ENDDICKE (Nominal)	KUNDEN-FORDERUNG
KUNDE	WE						[µm]	[µm]
1			Folie	12 µm	1	40	68	> 33
2	REF		Folie	12 µm	1 x 1080	32	85	> 24
3	S1		Folie	9 µm	1 x 2113	4,30	30	> 24
4	REF		Folie	12 µm	1 x 2113	4,30	92	> 24
5	S2			17,5 µm			15	
6	REF			0,150 mm		4,10	150	
7	P			17,5 µm			15	
					1 x 1080		70	60
				17,5 µm			15	
				0,150 mm			150	ca. 150

Material: lowCTEz Tg.150° hf (EM-370)

Impedanzen:

S1 Zo 45 Ohm @ 75µm LB-Breite

S1 Zdiff 79 Ohm @ 75 / 85 / 75 µm

S1 Zdiff 90 Ohm @ 75 / 350 / 75 µm

S2 Zo 49 Ohm @ 75µm LB-Breite

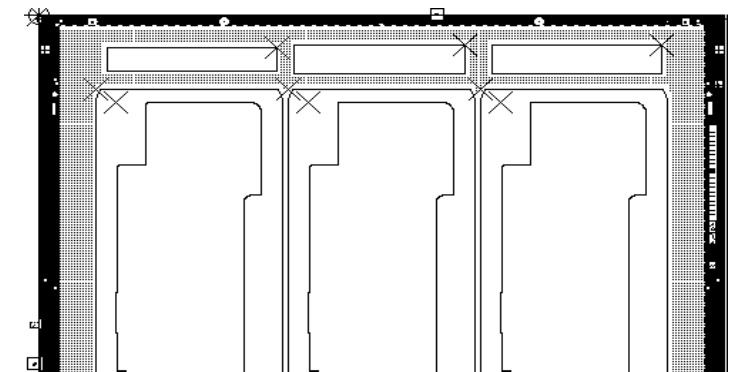
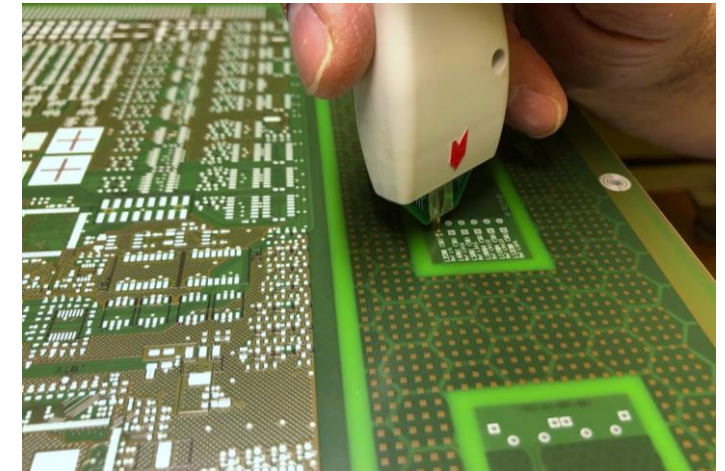
S2 Zdiff 78 Ohm @ 100 / 100 / 100 µm

S2 Zdiff 90 Ohm @ 80 / 132 / 80 µm

Impedanzgefertigt

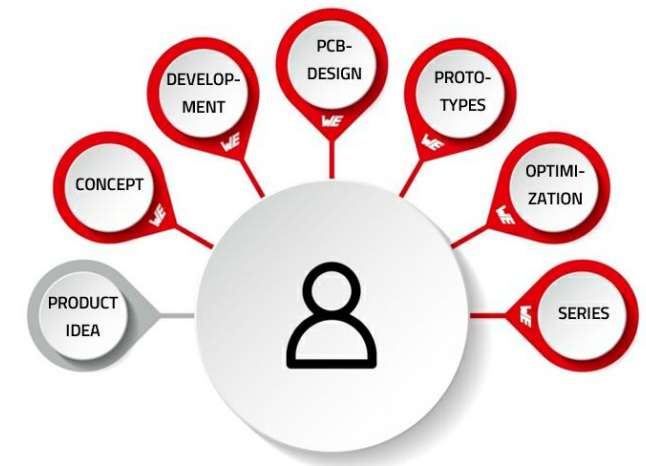
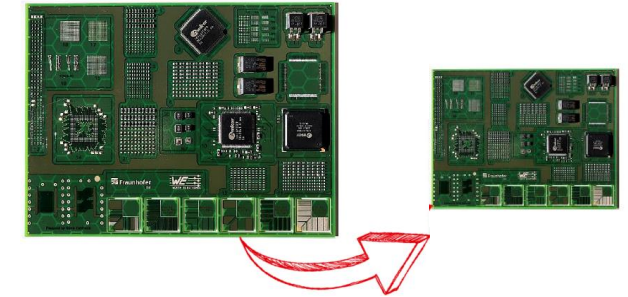


Impedanzgeprüft



ZUSAMMENFASSUNG

- Nutzen Sie den Vorteil der Microvia konsequent zur Miniaturisierung
- In Engstellen: geringer Leiterabstand - Restliches Layout: großzügige Abstände
Asymetrische Line/Space Parameter verwenden
- Individuelle Lagenaufbauerstellung ermöglicht Erfüllung von Impedanz Anforderung
- Frühzeitige Absprache zwischen den Partnern ermöglicht Potentialmultiplikation!



VIELEN DANK FÜR IHRE AUFMERKSAMKEIT!

Noch Fragen?

Kontakt:

Würth Elektronik GmbH & Co. KG
Circuit Board Technology
+49 7622 397-133
andreas.dreher@we-online.com