



HIGH PERFORMANCE LEITERPLATTENSYSYSTEM

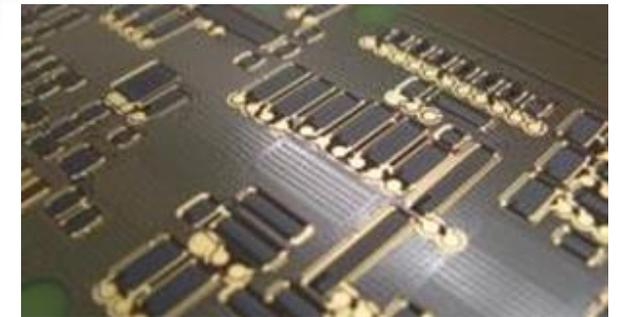
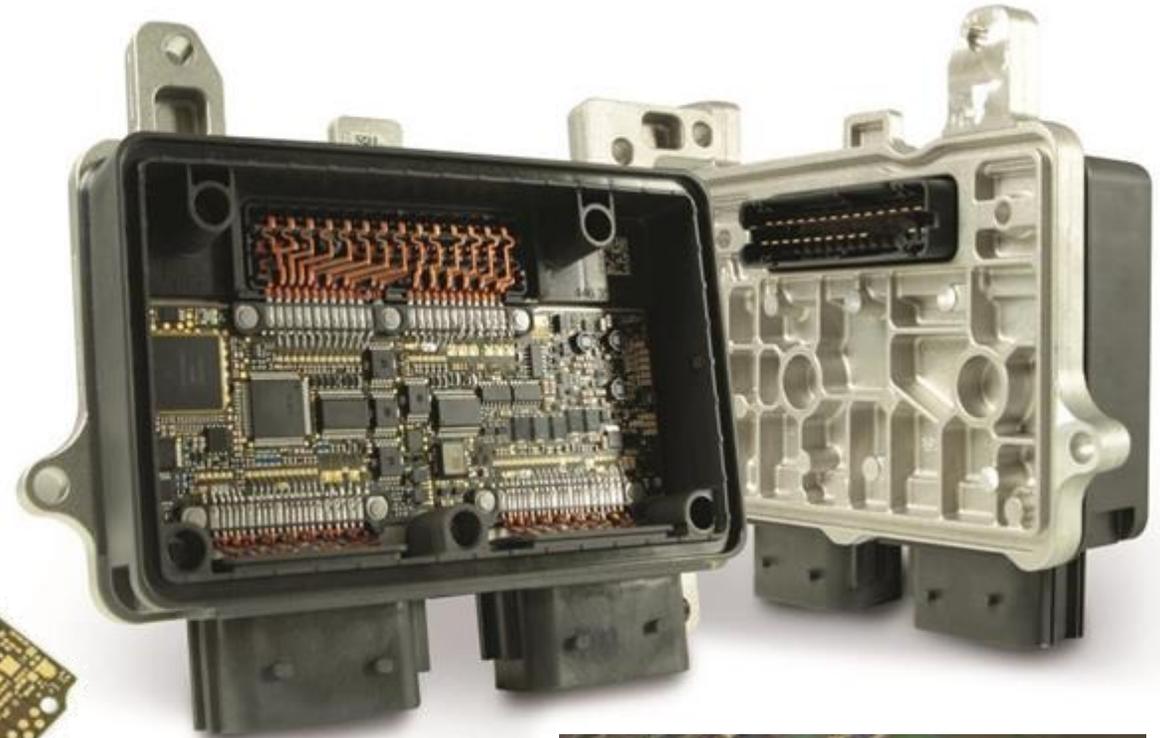
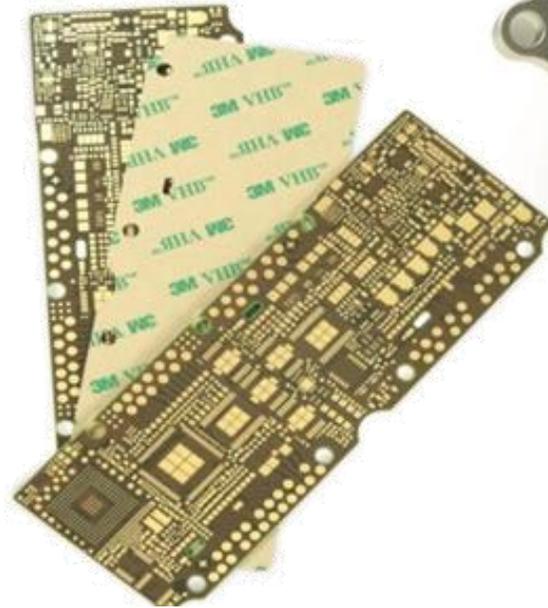
Miniaturisierung: HDI & Wärmemanagement & Printed Polymer

WÜRTH ELEKTRONIK MORE THAN YOU EXPECT

HOCH ZUVERLÄSSIGE LEITERPLATTEN UND BAUGRUPPEN IN DER AUTOMOBILELEKTRONIK

Am Beispiel eines High Performance Leiterplattensystems

1. Miniaturisierung
 - HDI Technologie
 - Zuverlässigkeit und Nachweis durch IST
2. EmbR – gedruckte eingebettete Widerstände
 - Performance – Toleranzen
 - Zuverlässigkeit
3. Wärmemanagement
 - Thermovias
 - Kühlkörper / Heat Sink
 - Thermische Simulation
4. Kosten
 - PCB ersetzt Keramik



HIGH PERFORMANCE LEITERPLATTENSYSTEM

Marktanforderungen

Zielsetzung des Kunden

- Leiterplatten- bzw. **Baugruppengröße** um 75% (auf $\frac{1}{4}$) gegenüber der noch laufenden Vorgängergeneration **reduzieren**
- Verwendung von komplexen und „kleinen“ Bauteilen
- **Hohe Dauereinsatztemperatur** (-40 bis +140°C Umgebungstemperatur)
- Unverändert hohe **Langzeitzuverlässigkeit**, min. 10 Jahre, 20.000 h (Einsatz im Nutzfahrzeugbereich)
- Geeignet für „raue“ Umgebungsbedingungen, z.B. Vibration, mechanischer Schock
- Preislich **wettbewerbsfähig**

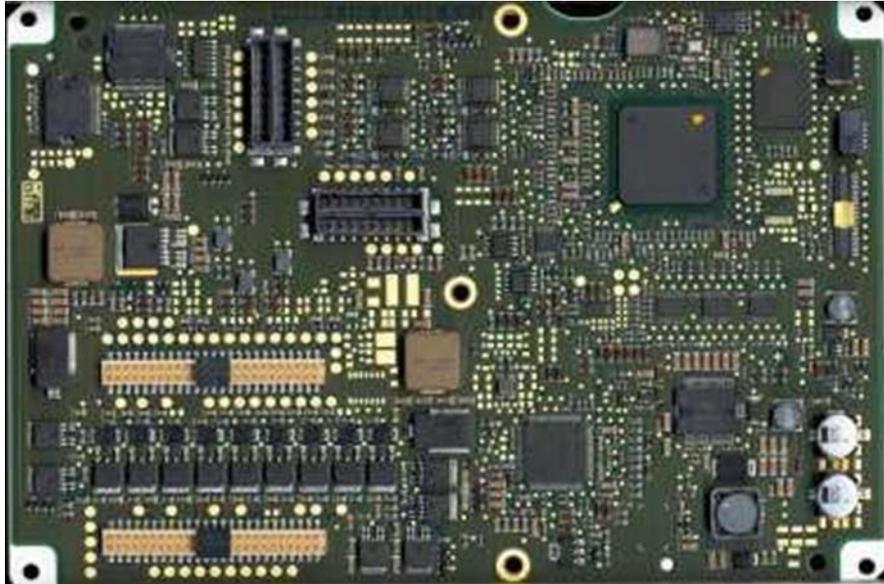
Anforderung an den Leiterplattenhersteller

- Kompetente Teams in Technologie, Prozessentwicklung und Qualitätsmanagement
- Projektmanagement
- Testequipment
- Investitionsbereitschaft

MINIATURISIERUNG

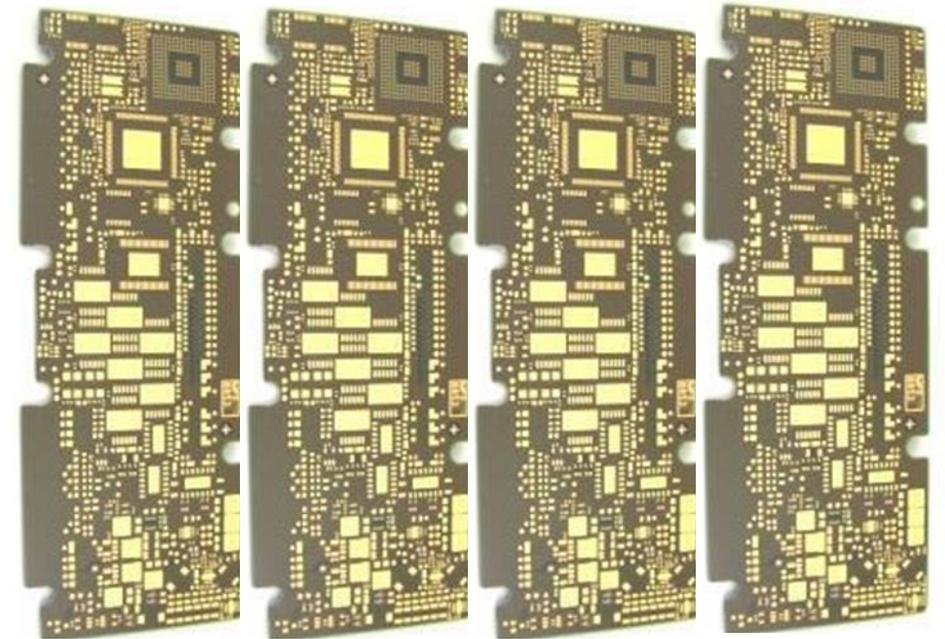
Reduzierung PCB-Größe

- Ausgangssituation



- 1. Lösungsansatz (temporär):
 - LTCC – Keramiklösung funktioniert, aber teuer
 - Zielsetzung nur bedingt erreicht!

- 2. Ansatz: High Performance FR4 Leiterplattensystem
 - Kombination HDI- und Printed Polymer Technologie in Verbindung mit optimiertem Wärmemanagement
 - -> Zielsetzung erreicht, Produktionsstart Q1/2015

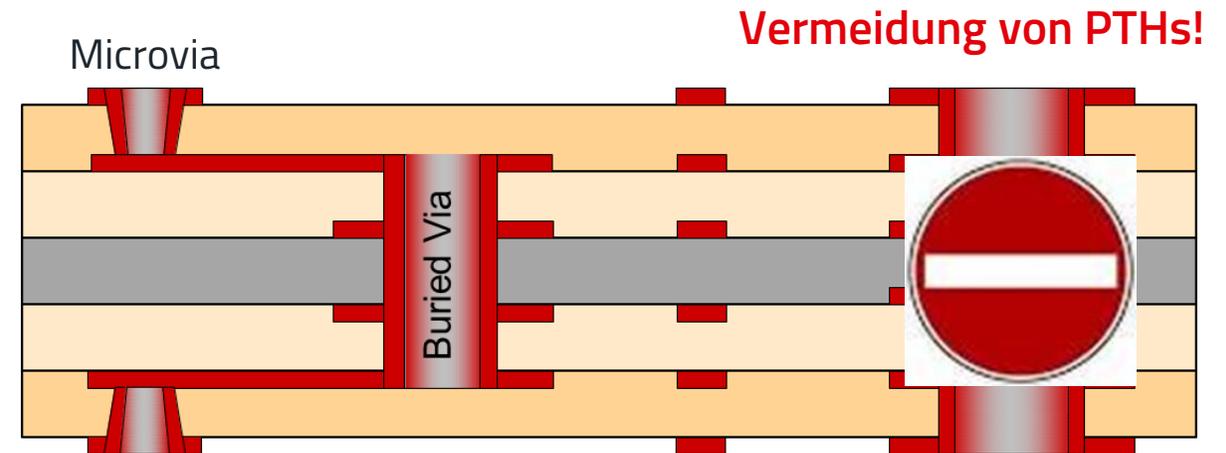
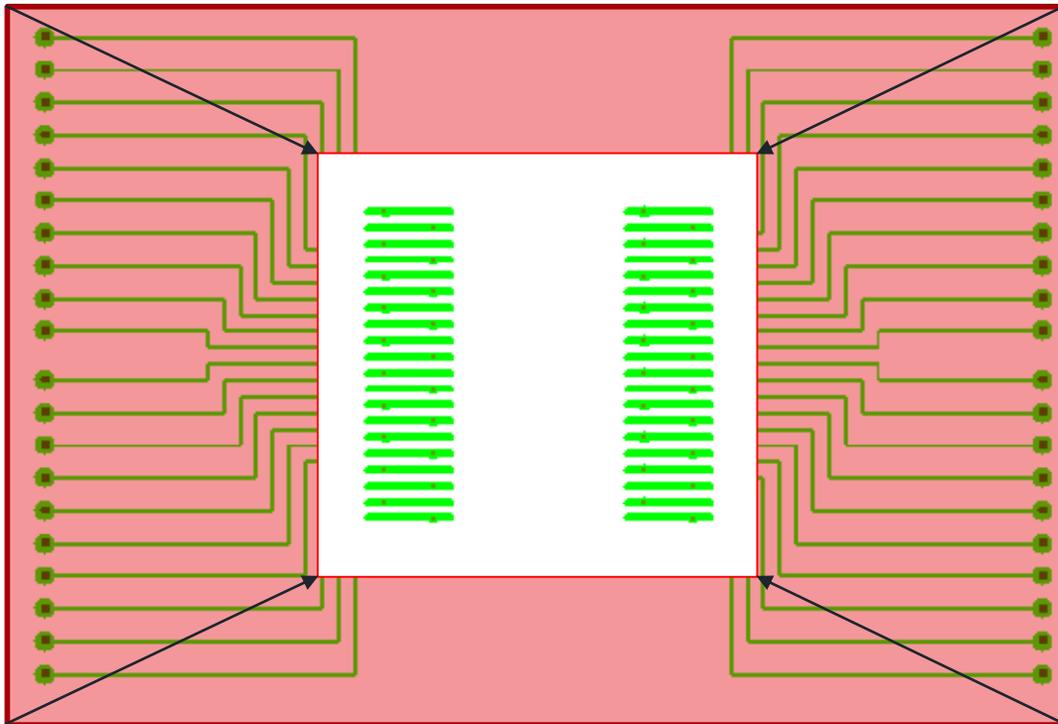


50 mm x 140 mm

MINIATURISIERUNG

Miniaturisierung durch HDI-Technologie

- LP Größe / Baugruppengröße → kann entscheidend für den Erfolg eines Produktes sein!
- Wurde bei der gezeigten Anwendung konsequent und perfekt umgesetzt!



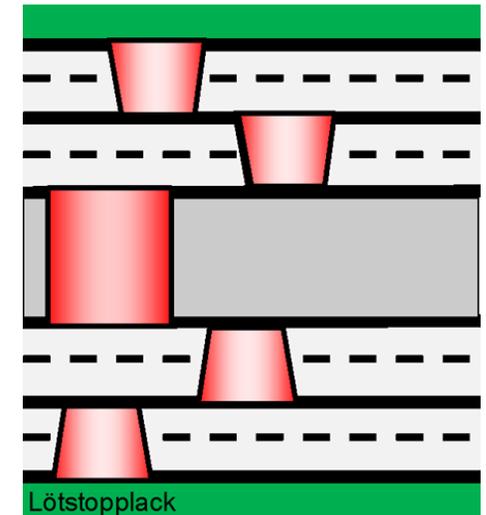
Grundsätzliche Empfehlung für die Miniaturisierung
Reduzierung der Verdrahtungsfläche durch
Microvias + Buried Vias anstatt Plated Through Holes

MINIATURISIERUNG

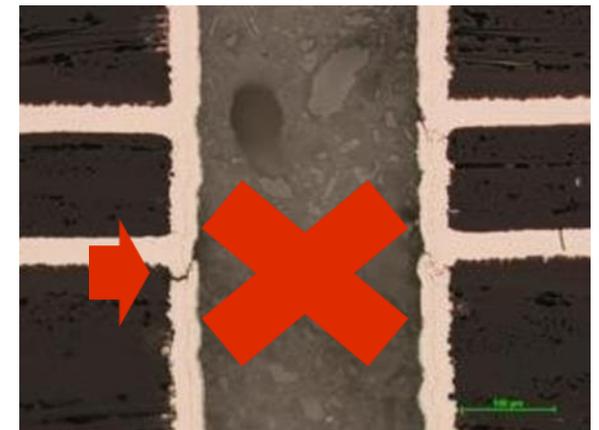
Miniaturisierung durch HDI-Technologie

- Stackup HDI06_2+2b+2
- Hohe Packungsdichte durch
 - Microvias + Buried Vias
 - Keine durchgehenden Vias (PTH)
 - 2. Microvia-Lage
- Höchste Zuverlässigkeit
 - Durch geringe LP-Dicke unter 1,0 mm (= geringe Z-Achsenausdehnung)
 - Basismaterial Low CTE Tg 170°C, gefüllt, halogenfrei

Durchgehende Vias sind in der Regel die Schwachstelle einer Leiterplatte, was die Zyklenfestigkeit der Bohrungen angeht.



Lagenaufbau HDI06_2+2b+2



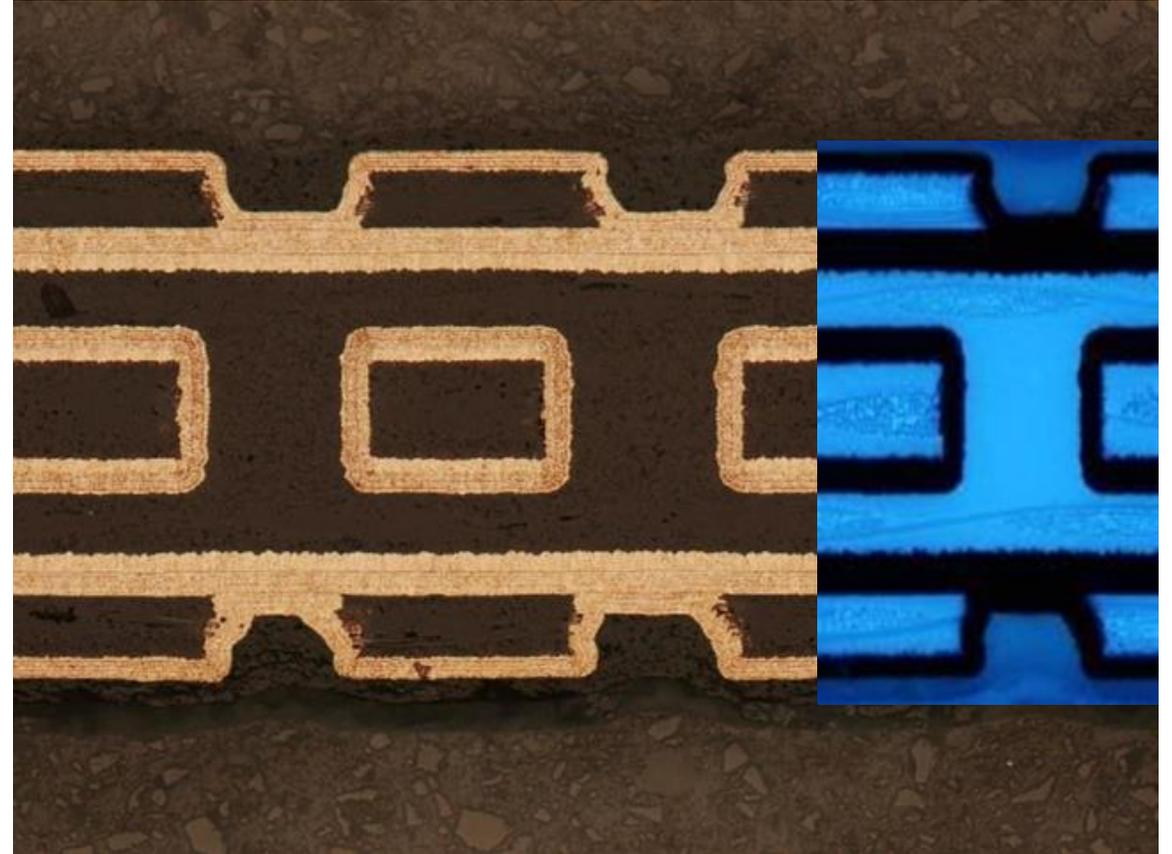
ZUVERLÄSSIGKEIT DER LEITERPLATTE

Durchgeführte Untersuchungen

- Temperaturwechseltests (TWT)
 - -40°C / +155°C
 - Leiterplatte + Testcoupons
- Interconnect Stress Test (IST)

Ergebnisse: jeweils 1000 Zyklen problemlos bestanden

- Weitere Tests wurden am Komplettsystem durchgeführt.
- Ebenso die Untersuchungen durch den Kunden an der kompletten Baugruppe

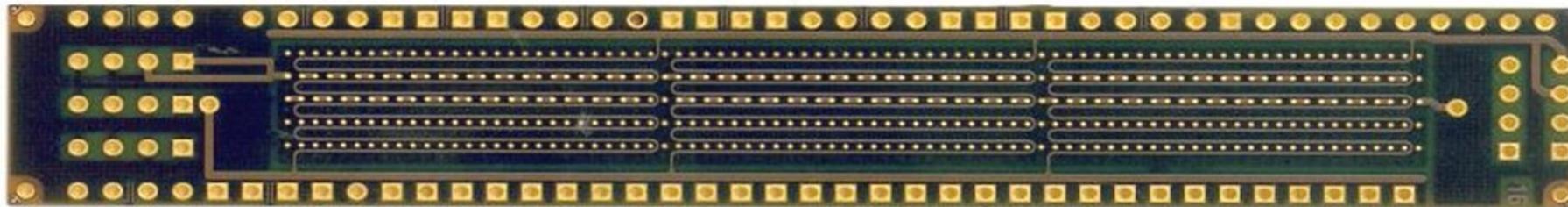
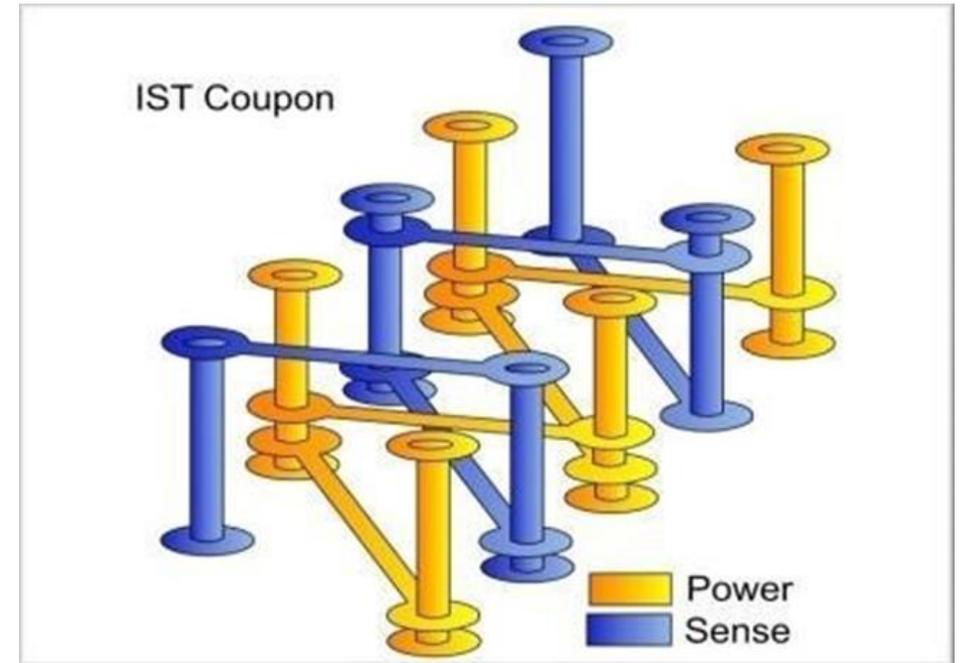


NACHWEIS DER ZUVERLÄSSIGKEIT

Interconnect Stress Test – IST

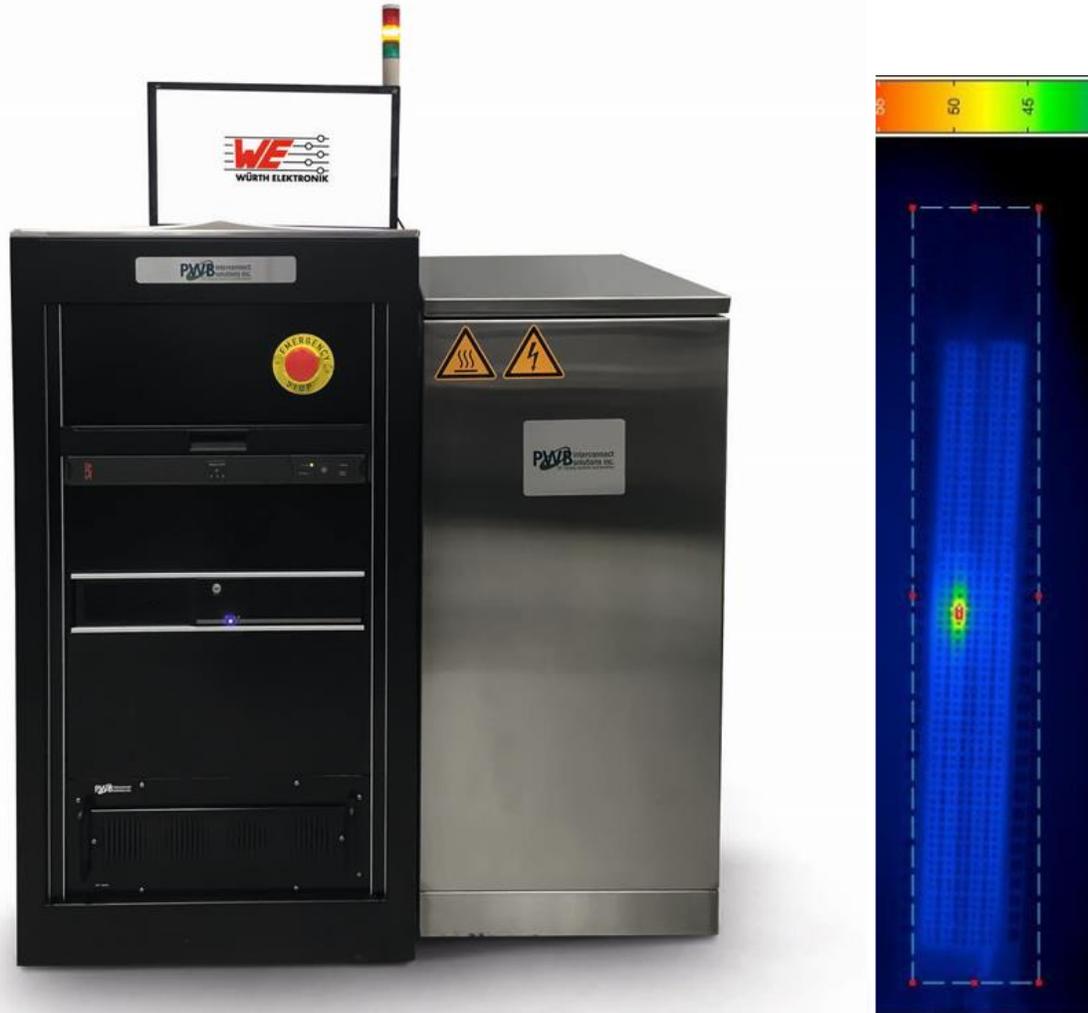
Der IST bietet einige entscheidende Vorteile gegenüber den herkömmlichen Temperaturwechseltests (TWT):

- 1.000 Temperatur-Zyklen in 4 Tagen
- Onlinemessung aller Messkreise
- IST = sehr aussagefähiger Test
- Spezieller Testcoupon, abgestimmt auf das PCB-Layout

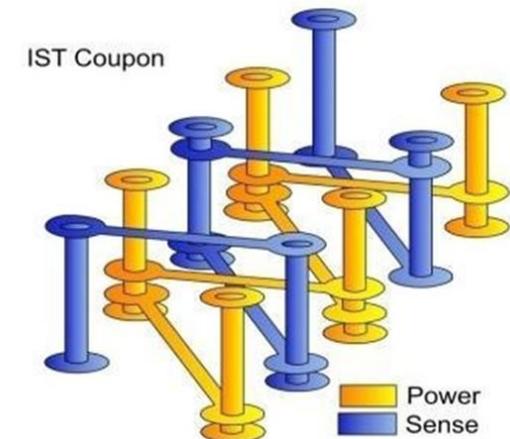


NACHWEIS DER ZUVERLÄSSIGKEIT

Interconnect Stress Test – IST



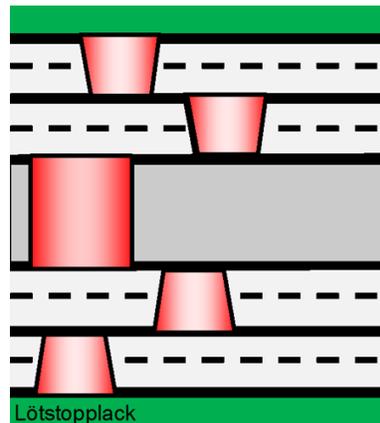
- Vorbehandlung
 - 6 x Reflow 245°C oder
 - 2 x 260°C Reflow-Simulation im IST oder
 - Gemäß Kundenspezifikation
- Elektrische Aufheizung des Coupons über den Power-Kreis auf 150°C innerhalb von 3 Minuten
- Abkühlung auf Raumtemperatur in 2 Minuten
- Onlinemessung von
 - Temperatur und
 - Widerstand
- Lokalisierung Fehlerstelle



NACHWEIS DER ZUVERLÄSSIGKEIT DURCH IST

Messergebnisse HDI Lagenaufbau

- Design ohne PTH-Vias
- Zuverlässig hergestellte Microvias haben eine hohe Zyklenfestigkeit von weit über 1000 IST Zyklen (\cong 3000 TWT Zyklen)



TEST RESULTS

Coupon ID	Pwr Cycles	Pwr %	SenseA Cycles	SnsA %	SenseB Cycles	SnsB %	Results
5209_10	1000	0	1000	0.1	1000	0.2	Accept
5209_11	1000	-0.3	1000	-0.2	1000	-0.1	Accept
5209_14	1000	0.6	1000	0.6	1000	0.5	Accept
5209_2	1000	-0.1	1000	-0.1	1000	0.1	Accept
5209_5	1000	-0.2	1000	-0.2	1000	-0.3	Accept
5209_8	1000	-0.5	1000	-0.5	1000	-0.4	Accept
5209_9	1000	-0.3	1000	-0.2	1000	-0.3	Accept
							CusSpec
Mean							N/A
Std Dev							
Min							N/A
Max							
Range							
Coef Var							N/A

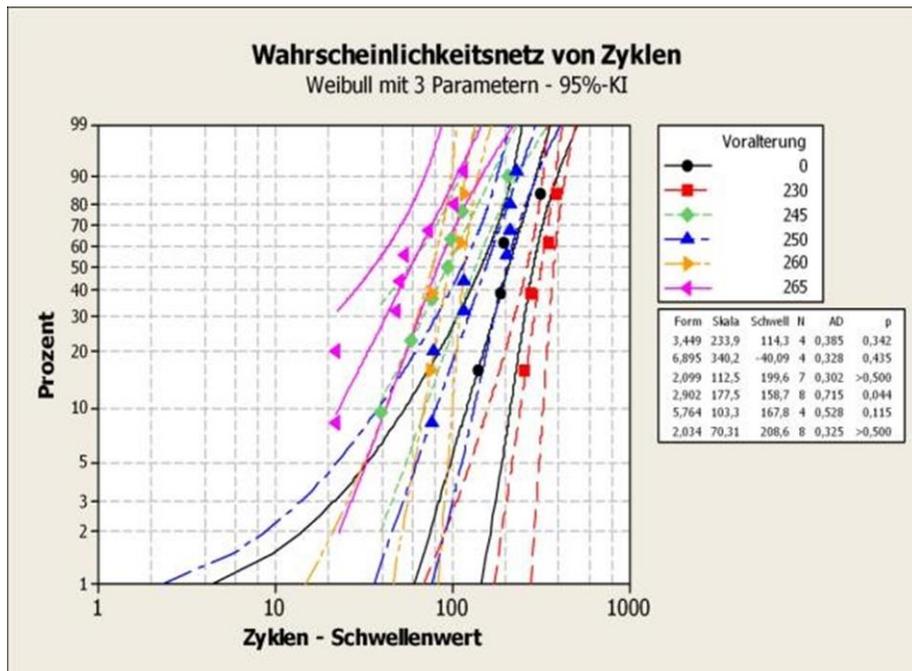
TEST PROTOCOL: 334

-----**PASS**-----

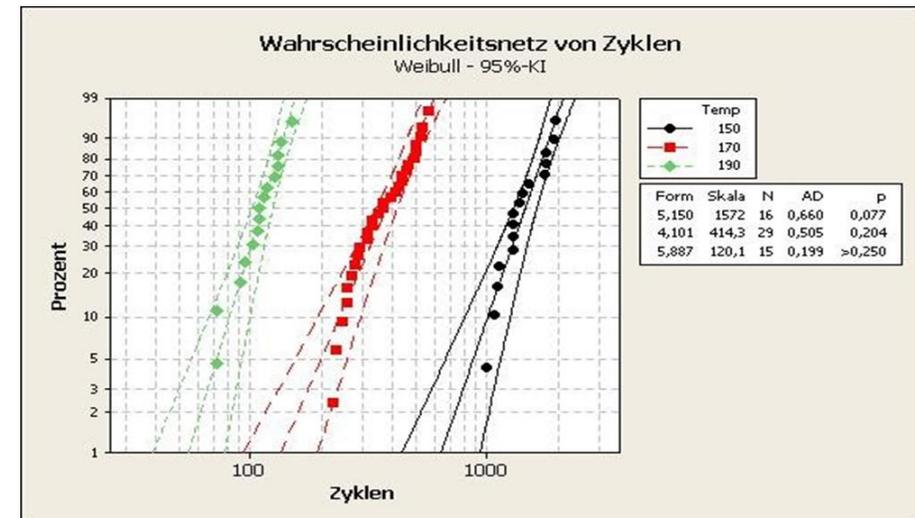
NACHWEIS DER ZUVERLÄSSIGKEIT DURCH IST

Leiterplatte allgemein

- Testergebnisse PTH Vias (allgemein)
Weibull-Analyse Tg 150 °C Materialien

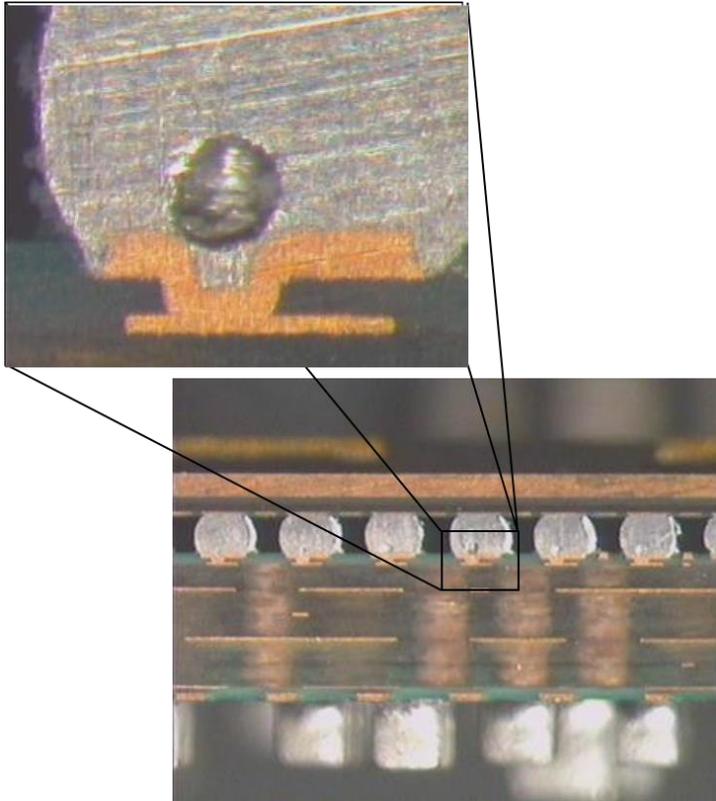


- In Weibull Wahrscheinlichkeitsbetrachtungen können Ergebnisse von Zyklenfestigkeiten sehr aussagefähig dargestellt werden. Unterschiede zwischen verschiedenen Materialien, Viatypen, Bohrdurchmessern, Cu-Schichtdicken, Temperaturbelastungen, usw. sind klar erkennbar.



ZUVERLÄSSIGKEIT DER LEITERPLATTE

Lötprozess



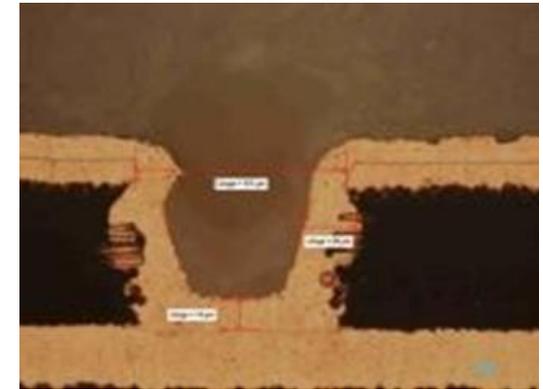
IPC-7095C:

„max. 22 % of the image diameter“

Die Entstehung von Voids ist auch abhängig von:

- Flussmittel/ Lotpasten
- Löt-Temperatur, Löt-Profil
- Der gleichmäßigen bzw. ungleichmäßigen Durchwärmung der Leiterplatte (Layout, Aufbau)

- Bestätigung durch Anwender

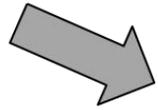
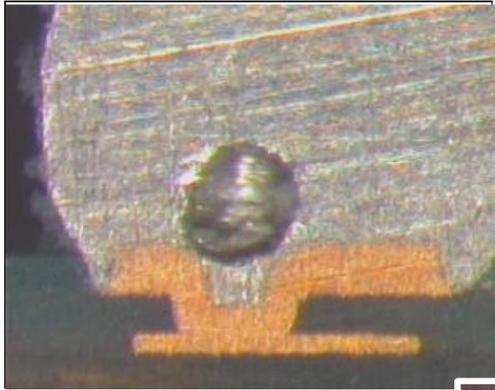


„Microvia-in-Pad-Technology (μ ViP) is being used by WABCO in HDI products for over 10 years with 0 ppm.“

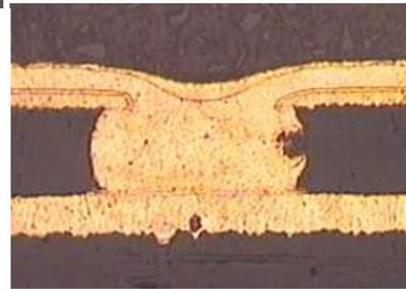
WABCO

ZUVERLÄSSIGKEIT DER LEITERPLATTE

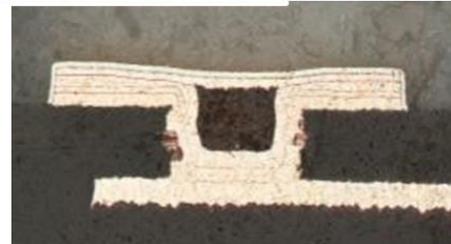
Lötprozess / Microvia Filling



**Kupfer-
Filling**



**Filled &
capped**



- Zwei Varianten
 - Gefüllte Microvias (Aufpreis)
 - Ungefüllte Microvias (Void-Risiko)
- Beide haben also
 - Vorteile
 - Nachteile
- Anwender muss für sich entscheiden
- WE gibt hierzu keine Empfehlung

GEDRUCKTE WIDERSTÄNDE

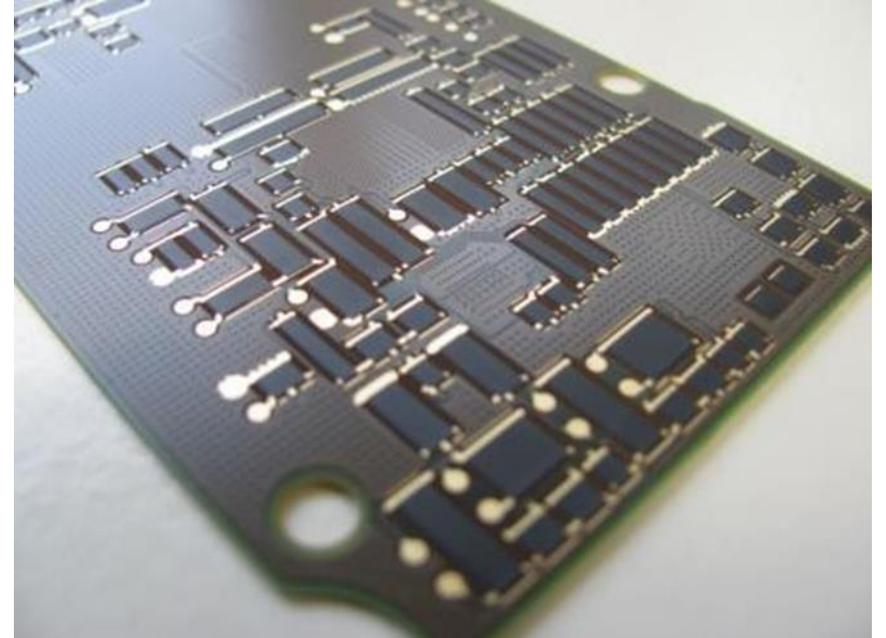
Printed Polymer allgemein

Anwendungen:

- Pull-up und Pull-down Widerstände
- Spannungsteiler
- Allgemeine Schaltungswiderstände
- Hohe Zuverlässigkeitsanforderungen

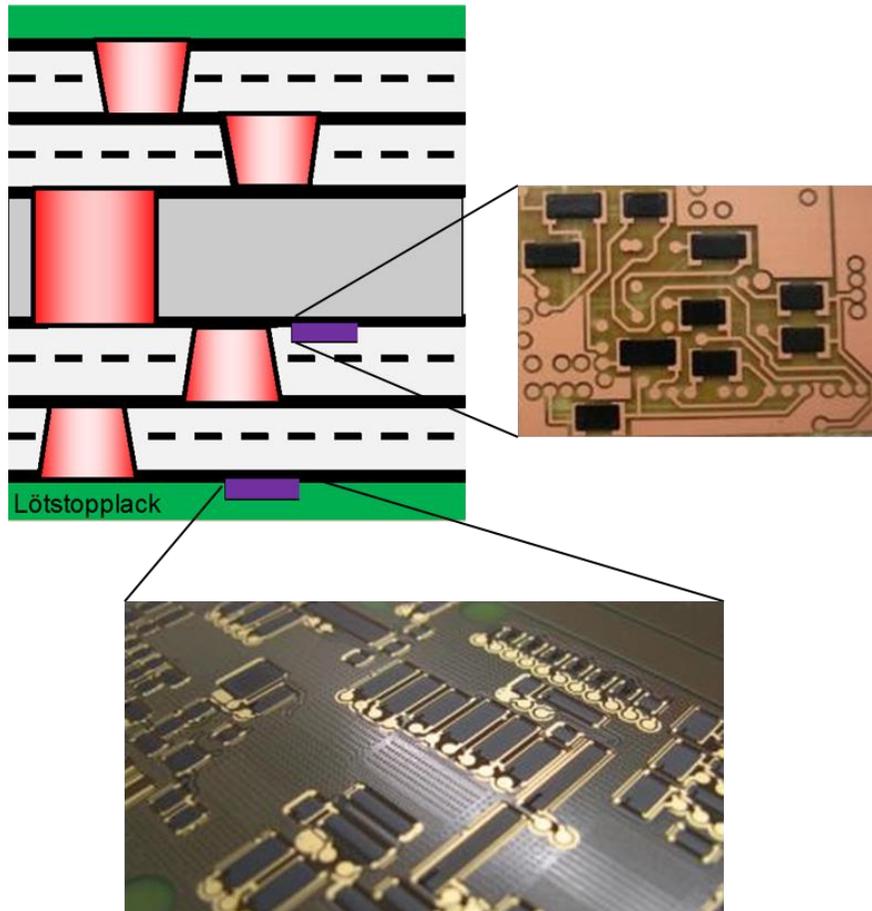
Fakten:

- Pasten mit verschiedenen Widerstandswerten
- Toleranz durch Druckprozess $R \pm 30\%$ (Standard)
- Toleranz nach Laserabgleich $R \pm 5\%$ über die ganze Lebensdauer
- Widerstandswerte von $50\ \Omega$ bis $1\ M\Omega$ (Standard)
- Leistung einfach anpassbar
- Geringer Temperaturkoeffizient (Δ Widerstandsänderung) $\pm 300\ \text{ppm/K}$
- Standardgröße mindestens $1,75\ \text{mm} \times 1,25\ \text{mm}$
- Dicke des Widerstandes ca. $20\ \mu\text{m}$
- [Design Guide](#) verfügbar



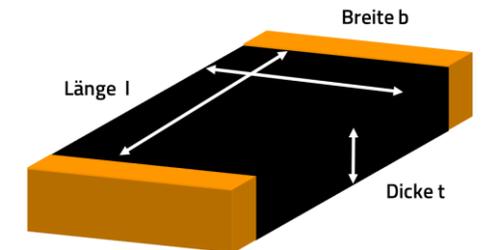
GEDRUCKTE WIDERSTÄNDE

Printed Polymer allgemein



- Würth Elektronik verfügt über viele Jahre an Erfahrung mit gedruckten Widerständen durch Polymerpasten (umgangssprachlich auch „Carbon“ genannt).
- EmbR: Miniaturisierungspotential durch eingebettete Widerstände
- Zuverlässigkeitsvorteile
- Dimensionierung der Widerstände

$$R = \frac{\text{Länge } l}{\text{Breite } b} \times \text{Pastenwert } \rho$$



Der Pastenwert ρ berücksichtigt den Square-Wert der Paste und die Widerstandsdicke

GEDRUCKTE WIDERSTÄNDE

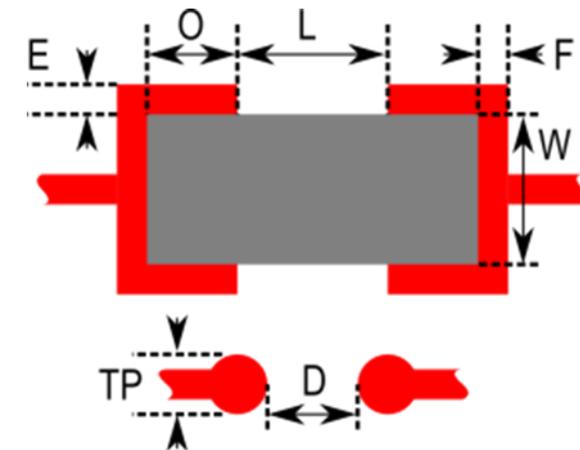
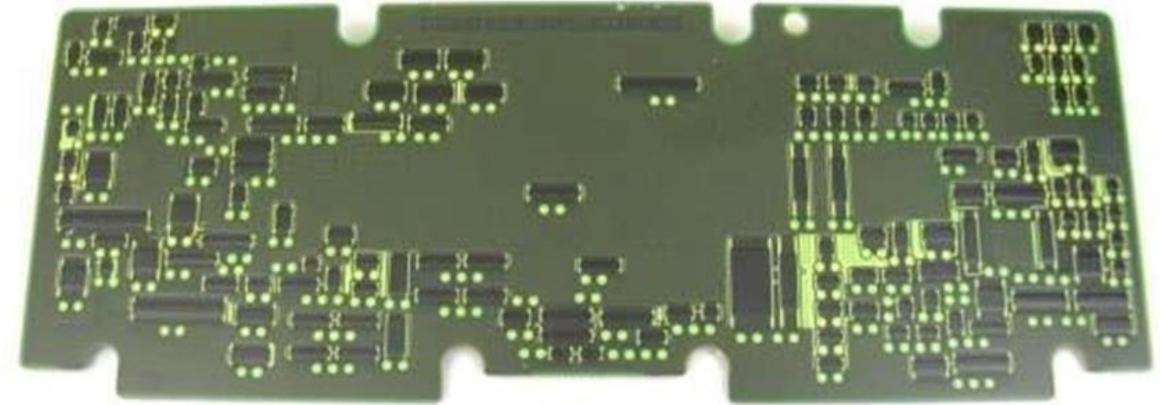
Laserabgleich

Toleranz Widerstandswerte

- Ohne Laserabgleich maximal $\pm 30\%$
- Mit Laserabgleich (Trimming):
 - Bis maximal $\pm 1\%$ nach der Bearbeitung
 - Über die ganze Lebensdauer: $\pm 5\%$

Traceability

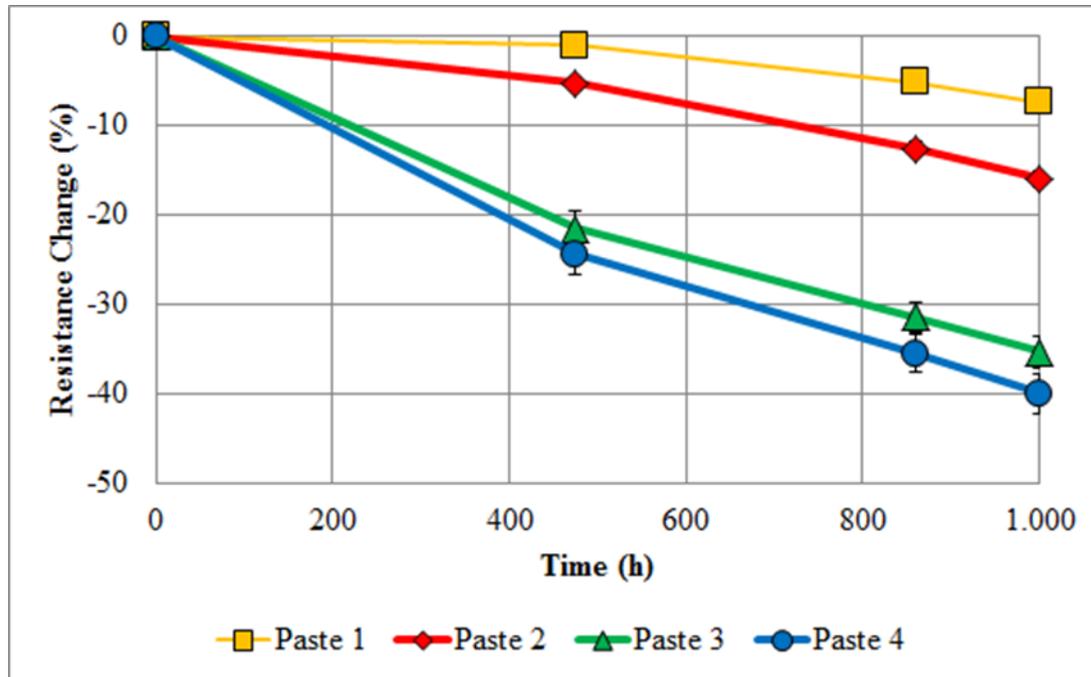
- Der Laserabgleich ermöglicht durch binäre Kodierung von zusätzlich eidesigneten Widerständen eine perfekte Rückverfolgbarkeit.



GEDRUCKTE WIDERSTÄNDE

Auswahl der Widerstandspasten

- Widerstandsänderung von 4 Pasten bei 155 °C, betrieben mit maximaler Leistung:



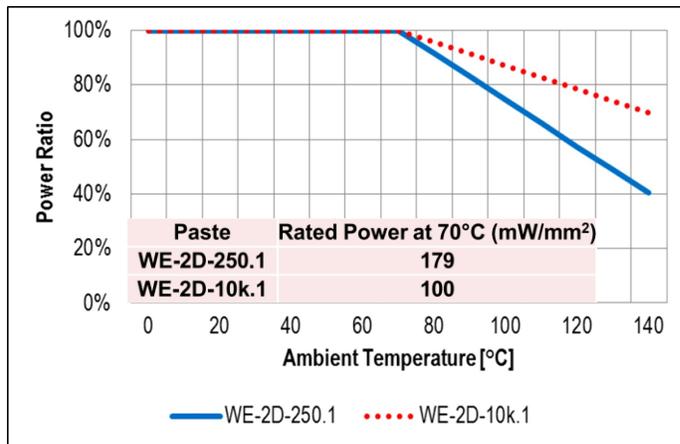
Im ersten Schritt waren umfangreiche Untersuchungen erforderlich, um zu ermitteln, welche Pasten die an das Komplettsystem gestellten hohen Anforderungen erfüllen können.

Insbesondere die Stabilität der Widerstandswerte unter Temperatureinfluss stellt für viele Pastensysteme eine Herausforderungen dar.

GEDRUCKTE WIDERSTÄNDE

Tests

- Power Derating
Ziel des Power-Derating Tests ist es, bei konstanter Stromstärke die maximale elektrische Belastung des Widerstandes zu ermitteln, ohne dabei den Widerstand irreversibel zu beschädigen.



- Ergebnis: Bei 140°C liegt die Verlustleistung noch weit über den angestrebten 50 mW/mm²

- TWT Temperaturwechseltests
 - -40°C / +155°C, 1000 Zyklen
 - Transferzeit max. 20 s, Haltezeit 15 Minuten
 - Widerstandsänderung max. 2 %

Ergebnisse

- Bei +125 °C 4000 Zyklen bestanden ohne Ausfall
 - Die thermische Ausdehnung ist vergleichbar mit dem Basismaterial
- Die Performance der gedruckten Widerständen ist mindestens genau so gut wie bei vergleichbaren SMD-Widerständen und EmbR anderer Embedded Technologien.

GEDRUCKTE WIDERSTÄNDE

Qualifizierung des Systems „Widerstände und Spannungsteiler“

- Auszug aus dem Qualifizierungsprogramm:

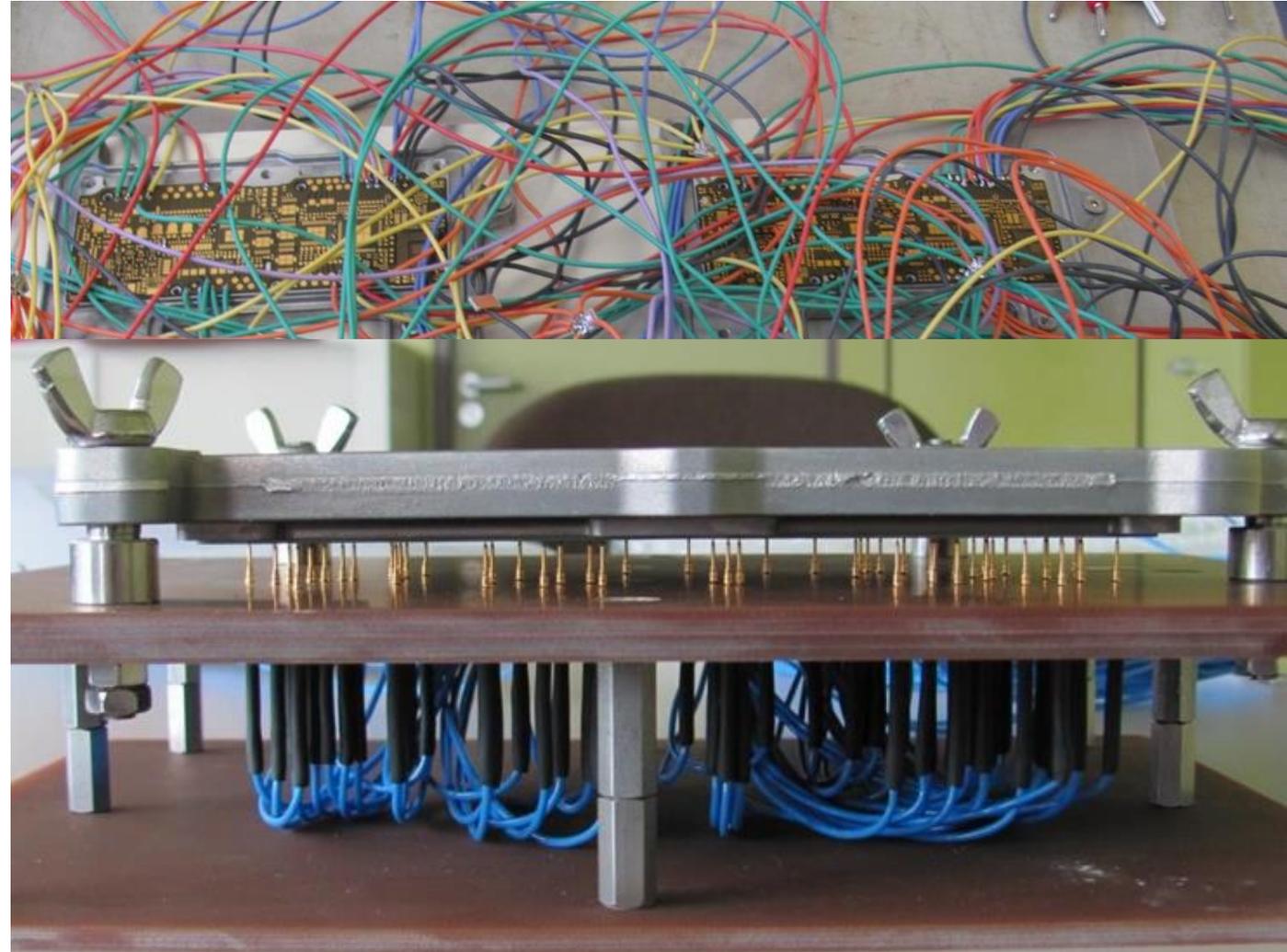
Test	Testmethode	Prozedur	Max. Abweichung Einzelwiderstand
Temperature Coefficient of Resistance (TCR)	DIN EN 60115-1:2012-04, 4.8	+20 / -40°C ...+20°C / +140°C	- 700 ...– 300 ppm/K
<i>Hochtemperaturlagerung</i> High Temperature Exposure (HTE)	MIL-STD-202 Methode 108	1000 h @ T_A = 150° C unbelastet	+/- 3%
<i>Feuchtebeständigkeit</i> Moisture Resistance	MIL-STD-202 Methode 106	25°/65°, 95% rF, 3 Zyklen in 24h, 10 Tage, unbelastet	+/- 2%
<i>Feuchtediffusion</i> Biased Humidity	MIL-STD-202 Methode 103	1000 h, 85°C, 85% rF, 10 % der Nennleistung (50 mW/mm ²)	+/- 3%
High Temperatur Operating Life (HTOL)	MIL-STD-202 Methode 108	1000h HTE, danach 1000 h HTOL @ T_A = 140° C mit Nennleistung	+/- 20%
<i>Lötbeständigkeit</i> Resistance to Soldering Heat	IPC-TM650	5 mal 260 +/- 5 ° C, 10 +/- 1 s	+/- 2 %

- Dieselben Prüfungen wurden durch den Kunden mit den komplett bestückten Baugruppen ebenfalls durchgeführt.

GEDRUCKTE WIDERSTÄNDE

Qualifizierung des Systems

- Vorbereitung, Messaufbau
High Temperature Operating Live Test (HTOL)



GEDRUCKTE WIDERSTÄNDE

Jährliche Re-Qualifizierung des Systems „Widerstände und Spannungsteiler“

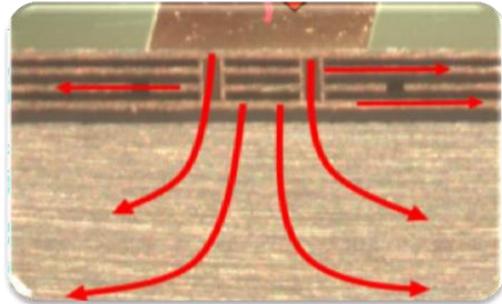
		Requalifizierung: Auswertung HTOL und TWT																				
Kopfdaten:		Prüfdatum: 27.07.2015	PDSS- Spezifikation:																			
Kunde: WABCO geprüft von: A. Reeb Typ: TCNG Labor SH		PDSS Stand: 10.03.2014 <u>High Temperature Operational Life (HTOL)</u> 1000h bestromt bei 140°C		<u>Thermal Shock (TWT)</u> 1000 Zyklen bei -40°C/+155°C																		
<u>Leiterplatte</u> WE- Nr.: 396638 FA-Nr.: 577887 LK-Nr.: 3013316402		<u>Aluminiumbauteil</u> Teil-Nr.: 4463533134 Charge / KW: 25 / 30 LS-Nr.: 82513361		Toleranz (Max. Änderung) Einzelwiderstände: + 20 % Spannungsteilerverhältnis: +- 0,5 %																		
<u>Leiterplatte</u> WE- Nr.: 396638 FA-Nr.: 577887 LK-Nr.: 3013316402		Toleranz (Max. Änderung) Einzelwiderstände: +- 2 % Spannungsteilerverhältnis: +- 0,5 %																				
Prüfergebnis HTOL		Prüfergebnis TWT																				
Getestete Baugruppen: 5 (Panel-ID/PCB-ID)		Getestete Baugruppen: 5 (Panel-ID/PCB-ID)																				
Fehlerliste: Widerstände außerhalb der Toleranz		Fehlerliste: Widerstände außerhalb der Toleranz																				
11 / 9 5 / 17 9 / 10 14 / 5 3 / 13	<table border="1"> <thead> <tr> <th></th> <th>GUT</th> <th>FEHLER</th> </tr> </thead> <tbody> <tr> <td>Einzelwiderstände:</td> <td>855</td> <td>0</td> </tr> <tr> <td>Spannungsteiler:</td> <td>80</td> <td>0</td> </tr> </tbody> </table>		GUT	FEHLER	Einzelwiderstände:	855	0	Spannungsteiler:	80	0	10 / 12 8 / 18 10 / 6 12 / 9 9 / 7	<table border="1"> <thead> <tr> <th></th> <th>GUT</th> <th>FEHLER</th> </tr> </thead> <tbody> <tr> <td>Einzelwiderstände:</td> <td>855</td> <td>0</td> </tr> <tr> <td>Spannungsteiler:</td> <td>80</td> <td>0</td> </tr> </tbody> </table>		GUT	FEHLER	Einzelwiderstände:	855	0	Spannungsteiler:	80	0	
	GUT	FEHLER																				
Einzelwiderstände:	855	0																				
Spannungsteiler:	80	0																				
	GUT	FEHLER																				
Einzelwiderstände:	855	0																				
Spannungsteiler:	80	0																				
Resultat:		Resultat:																				
<table border="1"> <thead> <tr> <th>Einzelwiderstände</th> <th>Spannungsteiler</th> </tr> </thead> <tbody> <tr> <td style="text-align: center; background-color: green;">i.O.</td> <td style="text-align: center; background-color: green;">i.O.</td> </tr> </tbody> </table>		Einzelwiderstände	Spannungsteiler	i.O.	i.O.	<table border="1"> <thead> <tr> <th>Einzelwiderstände</th> <th>Spannungsteiler</th> </tr> </thead> <tbody> <tr> <td style="text-align: center; background-color: green;">i.O.</td> <td style="text-align: center; background-color: green;">i.O.</td> </tr> </tbody> </table>			Einzelwiderstände	Spannungsteiler	i.O.	i.O.										
Einzelwiderstände	Spannungsteiler																					
i.O.	i.O.																					
Einzelwiderstände	Spannungsteiler																					
i.O.	i.O.																					

WÄRMEMANAGEMENT

Allgemeine Einführung

Möglichkeiten auf Leiterplattenbasis

- Entwärmung über Vias
- Wärmespreizung über Masseflächen und aufgeklebte Kühlkörper (Heatsink)

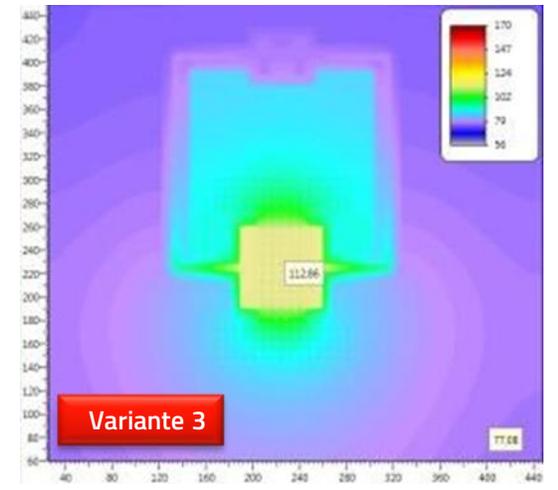
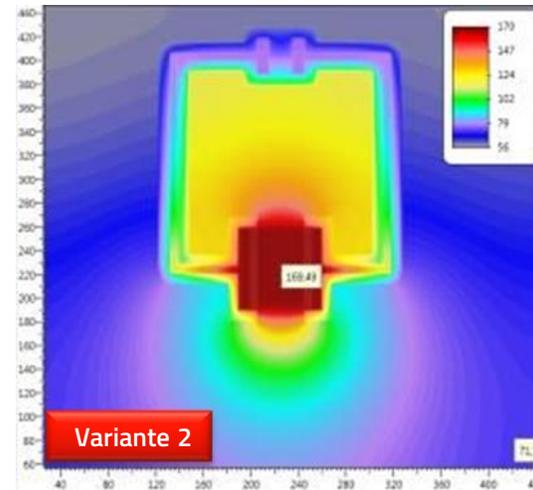


Ziele

- Absenkung der Temperatur am Bauteil
- Vermeidung von kritischen Temperaturen innerhalb des Bauteils und der Baugruppe
- Verlängerung der Lebensdauer und Sicherstellen der Langzeitzuverlässigkeit der Baugruppe

- Thermische Simulation

Im Grenzbereich ist eine thermische Simulation im Vorfeld dringend zu empfehlen.

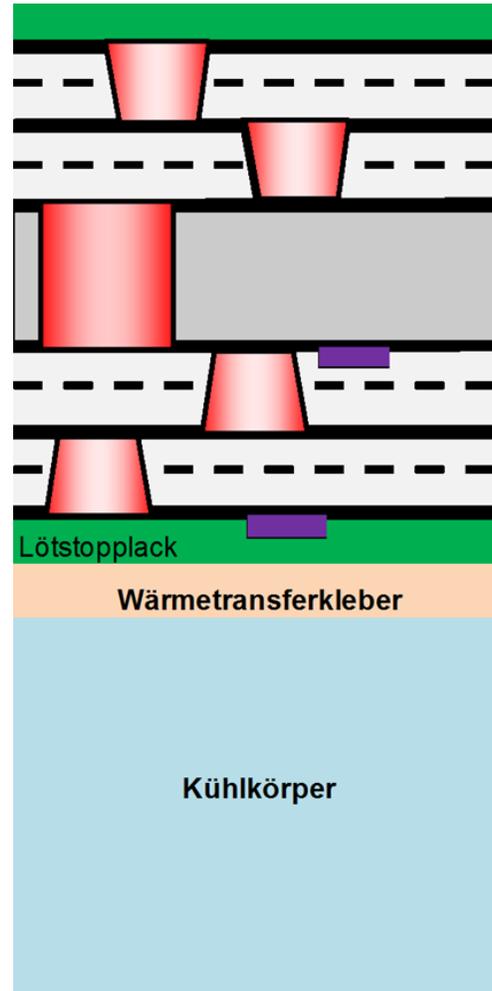


WÄRMEMANAGEMENT

Leiterplattensystem

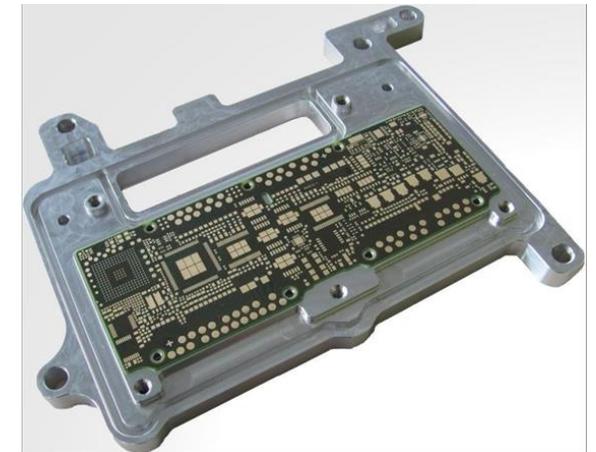
Anforderungen an das System

- Einsatztemperatur
140 °C, kurzzeitig 150 °C
- ALU-Kühlkörper mit hoher
Oberflächengüte
 - Dickdraht bondbar
 - ausreichende Haftfestigkeit
in Verbindung mit
Wärmetransferkleber
- Neue logistische
Herausforderung für
Leiterplatten-Hersteller



Optimiertes Wärmemanagement

- Hohe Anzahl Microvias (direkt in
Lötflächen) und Buried Vias
 - Großer Cu-Querschnitt
 - Geringer Wärmewiderstand
- Dünner Wärmetransferkleber
50 µm, EmbR sehr nahe an
Wärmesenke (Kühlkörper)



WÄRMEMANAGEMENT

Haftverbund

Nachweis der Haftung Leiterplatte auf ALU Kühlkörper

Ziel: ca. 0,60 N/mm²

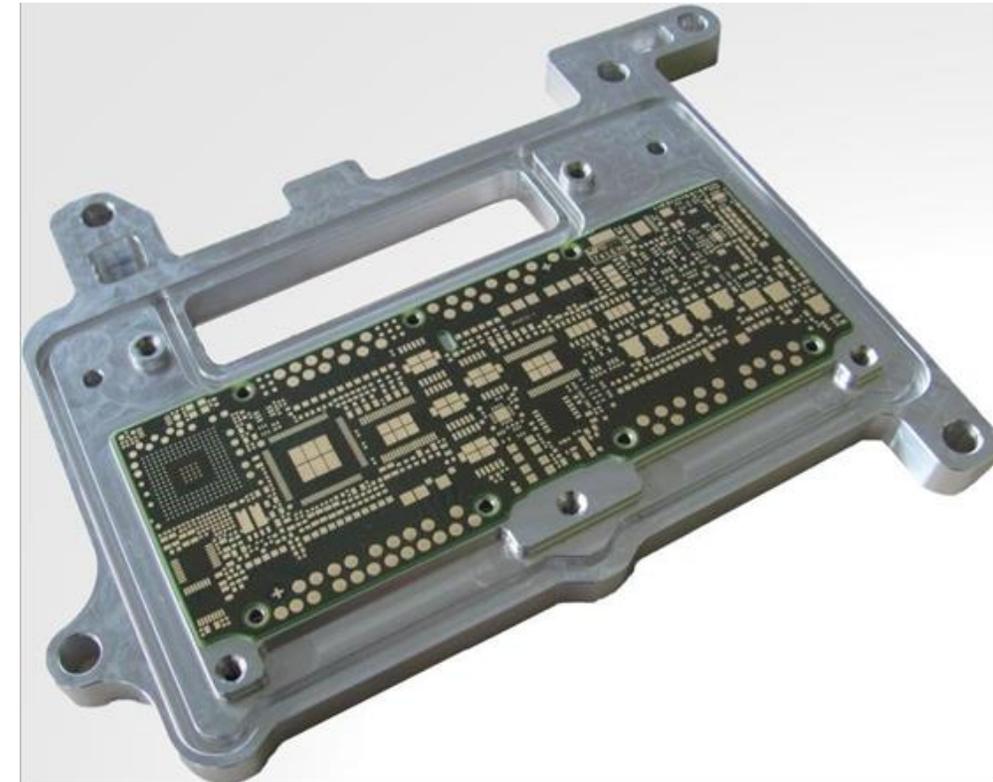
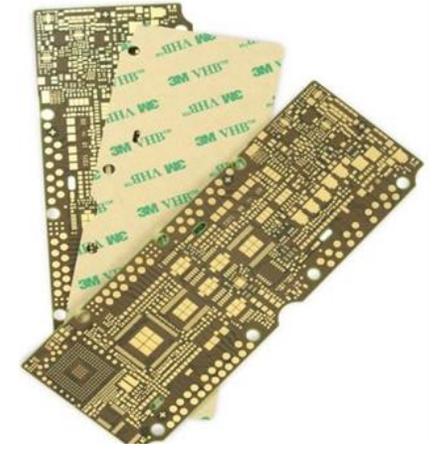
Vorbehandlung

- TWT (-40 °C / +155 °C) 1.000 Zyklen
- Klimalagerung 1000 h (85 °C / 85 % Luftfeuchtigkeit)
- Hochtemperaturlagerung (HTE Test) 1000 h im Ofen / 155 °C

Ergebnis

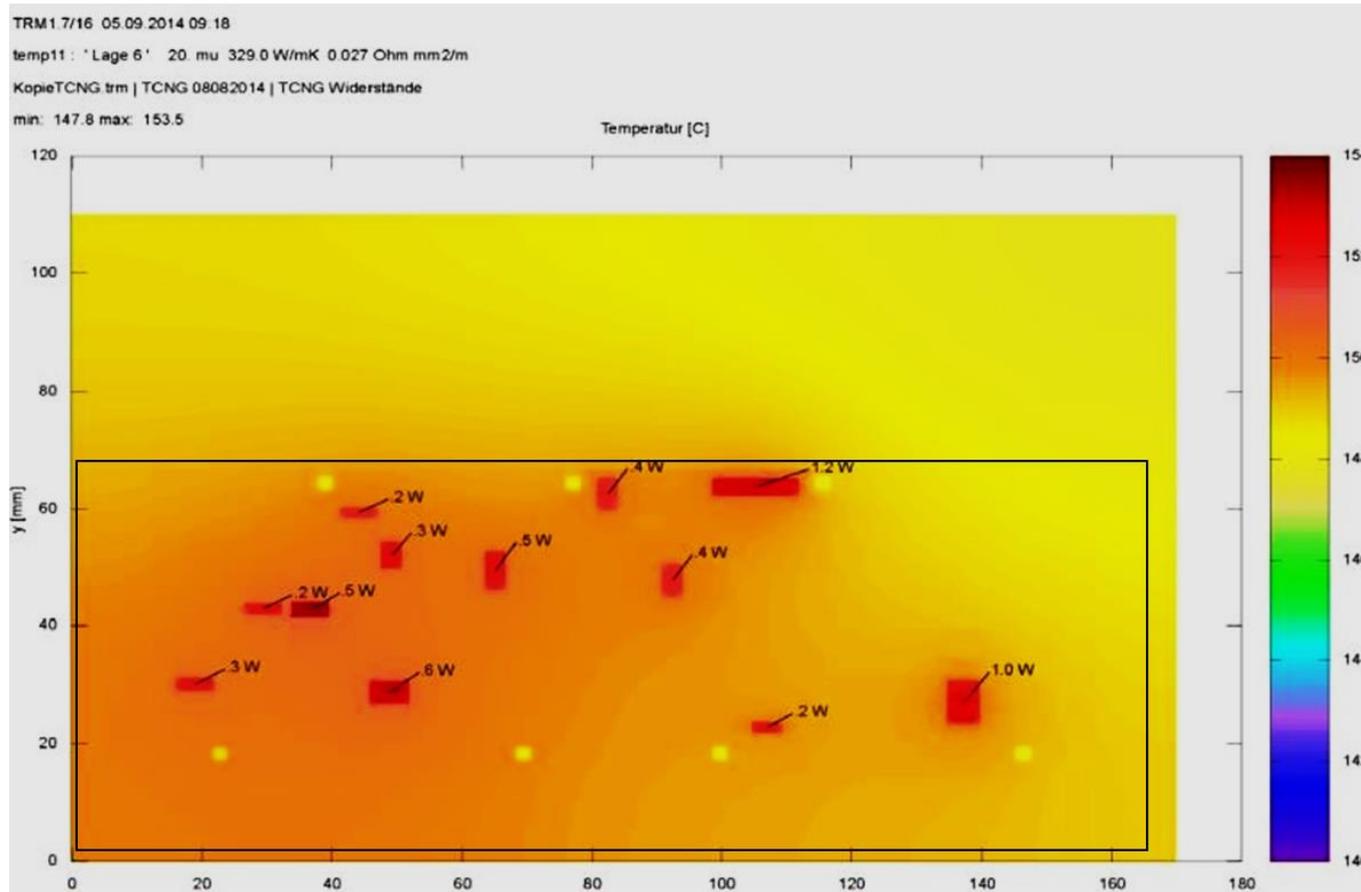
Für einen guten Haftverbund sind erforderlich:

- Verklebung unter Berücksichtigung von definierten Druck-, Temperatur- und Zeitparametern
- Oberflächenspannung ALU min. 38 mN/m



WÄRMEMANAGEMENT

Simulation PCB Unterseite



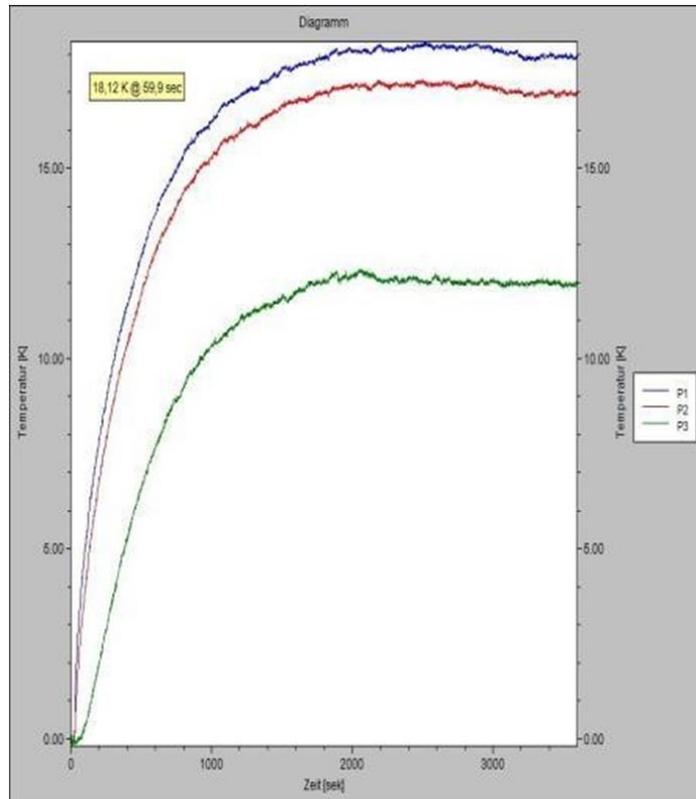
- Umgebungstemperatur: 140°C
- Maximale Temperatur am Widerstand: 153,5 °C
- Leistungen gemäß Kundenspezifikationen

Thermische Simulation - Würth Elektronik CBTProduktmanagement

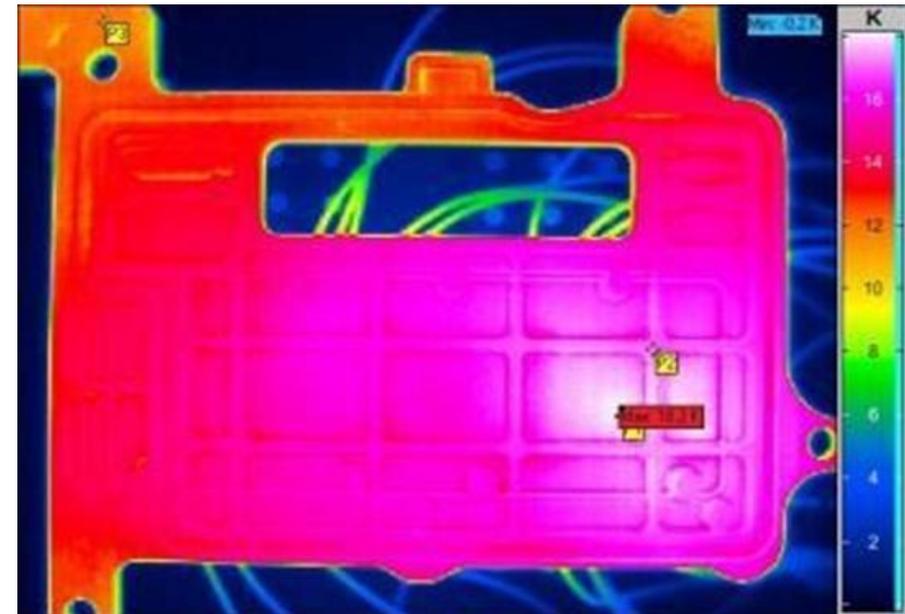
WÄRMEMANAGEMENT

Thermographie-Messung Unterseite

- Umgebungstemperatur 140 °C
- Widerstände bestromt mit 5-30 V (HTOL Test)
- Messung nach 60 Minuten



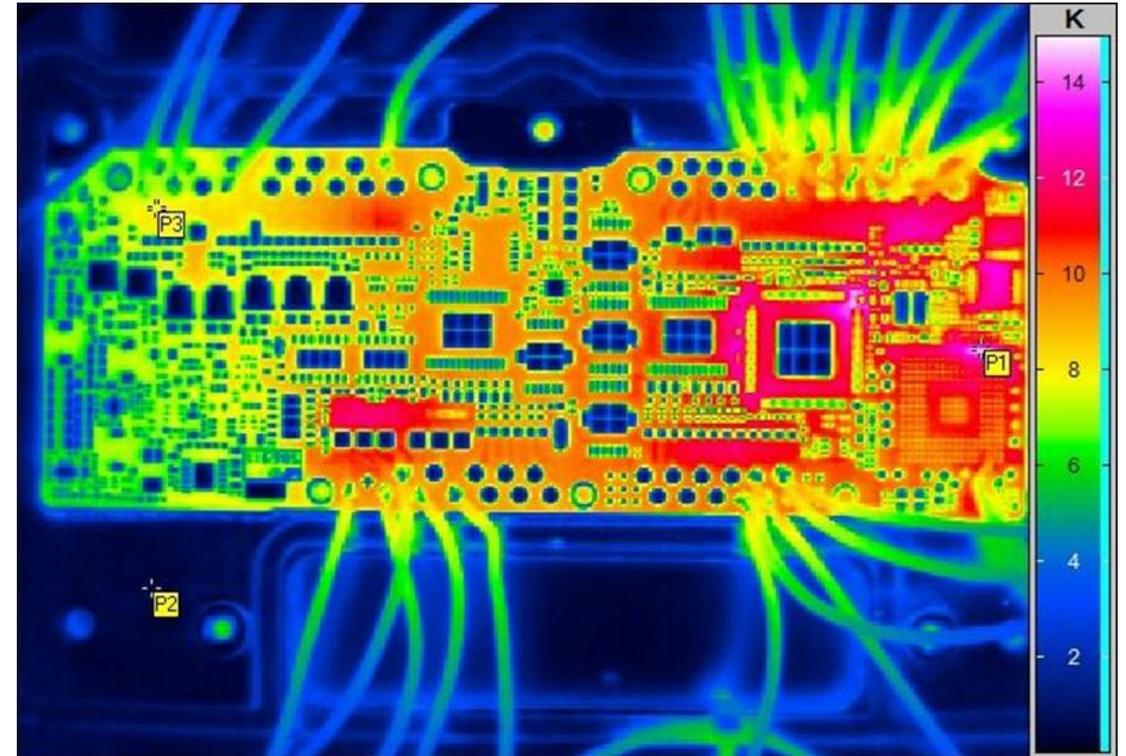
- Die Thermographie-Messungen bestätigen im wesentlichen die Ergebnisse der Simulation.
- Da diese Messungen sehr aufwändig sind, kann immer nur eine begrenzte Anzahl von Widerständen untersucht werden.



WÄRMEMANAGEMENT

Thermographie-Messung Oberseite

- Umgebungstemperatur 140 °C
 - Widerstände bestromt mit 5-30 V (HTOL Test)
 - Messung nach 60 Minuten
-
- Die Thermographie-Messungen zeigen, dass auch auf der Leiterplattenoberseite durch die Belastung der Widerstände keine kritischen Hotspots auftreten



KOSTENVERGLEICH

Hoch zuverlässige Leiterplatten und Baugruppen in der Automobilelektronik

Keramik



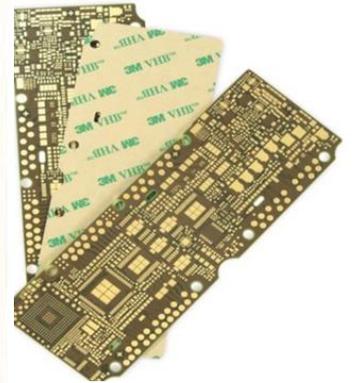
- Hohe Temperaturbeständigkeit



FR4



- Hohe Funktionalität
- Höchste Packungsdichte
- Kostengünstig



KOSTEN – LEITERPLATTE ALLGEMEIN

Hoch zuverlässige Leiterplatten und Baugruppen in der Automobilelektronik

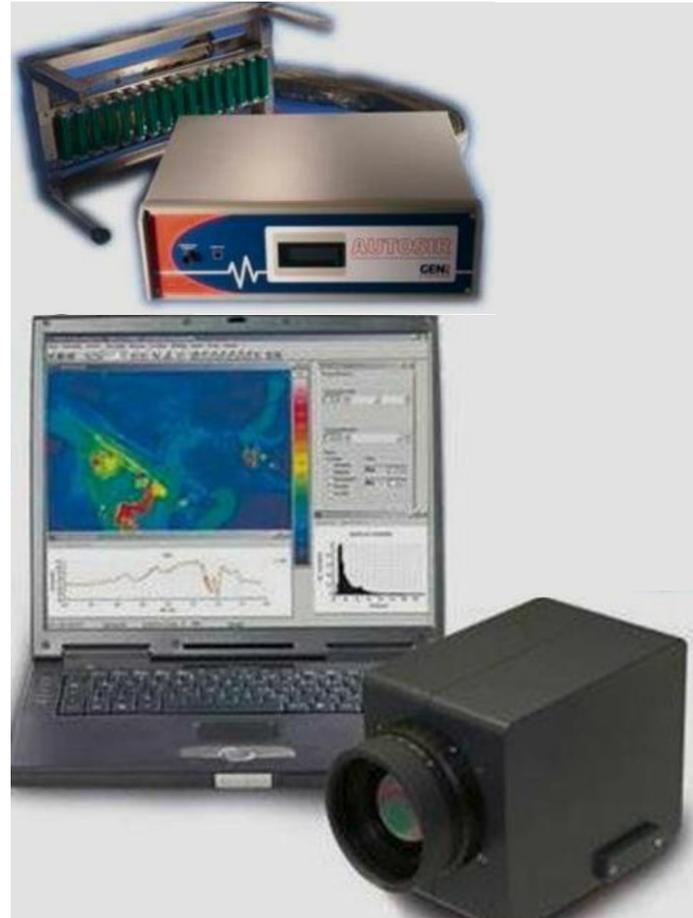
- Hauptvorteil FR4 Leiterplatte: Fertigung im „großen“ Fertigungspanel

Kostentreiber Leiterplatte		FR4-System
Leiterplattengröße	+	Relativ klein
Ungünstiger Liefervorteil / X-Out	++	Einzel-Leiterplatte
Komplexer Lagenaufbau	≈	Zweifachverpressung
Materialkosten	++	Nur ein Kern, vier Prepregs Tg 170°C
Mechanisch gebohrte Vias	++	Nur Buried Vias im dünnen Kern
Anzahl Galvanikschritte	≈	Nur drei „einfache“ DK-Prozesse
Aufwändige Konturbearbeitung	+	Einfache Fräskontur

ANFORDERUNG AN LEITERPLATTENHERSTELLER

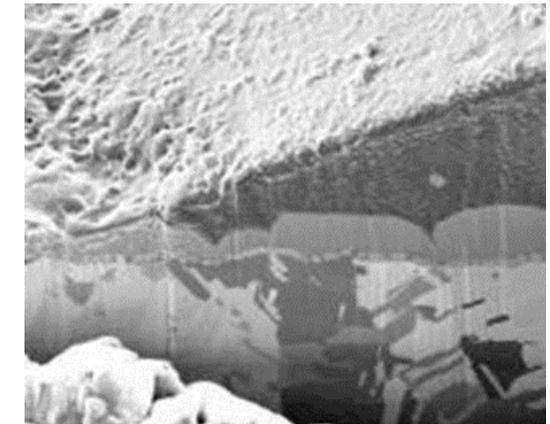
Hoch zuverlässige Leiterplatten und Baugruppen in der Automobilelektronik

- Metallurgische Schlifferstellung
- Prüfung nach IPC-6012 Klasse 3
- Stereo/Lichtmikroskopie (VIS/UV)
- IR Kamera
- Ionograph, CAF Messung
- Klimaschrank
- Temperaturwechseltest TWT
- Stromstoßtest
- Pressure Cooker Test
- XRF
- IST
- Thermosimulation
- Testequipment für
 - HTOL
 - Power Derating



Zusammenarbeit mit Instituten

- REM/EDX (Uni Basel, EMPA Zürich)
- XPS (IGB Stuttgart)
- Benetzungstests (ISIT Itzehoe)
- Ultraschallmikroskopie (ISIT Itzehoe)
- FIB (Uni Basel, EMPA Zürich)



ZUSAMMENFASSUNG

Hoch zuverlässige Leiterplatten und Baugruppen in der Automobilelektronik

- Miniaturisierung durch
 - HDI Technologie
 - Gedruckte Widerstände (Printed Polymer)
- Höchste Zuverlässigkeit durch dünnen HDI Lagenaufbau ohne PTH Vias
- Eine Technologiekombination aus
 - HDI
 - Gedruckten Widerständen
 - Optimiertem Wärmemanagement

kann die kosteneffektive Substitution einer Keramik Lösung durch eine FR4 Leiterplatte ermöglichen.

- Ein kompetenter, breit aufgestellter Leiterplattenhersteller kann eine solche Aufgabenstellung umsetzen.
- Systemlösungen werden zukünftig ein wesentlicher Teil der Zusammenarbeit / des Leistungsspektrums sein.

VIELEN DANK FÜR IHRE AUFMERKSAMKEIT

High Performance Leiterplattensystem
Miniaturisierung: HDI & Wärmemanagement & Printed Polymer