



CONEXÃO EFICIENTE DE FILTROS

Oscar González
Engenheiro de Aplicações (FAE)

WÜRTH ELEKTRONIK MORE THAN YOU EXPECT

AGENDA

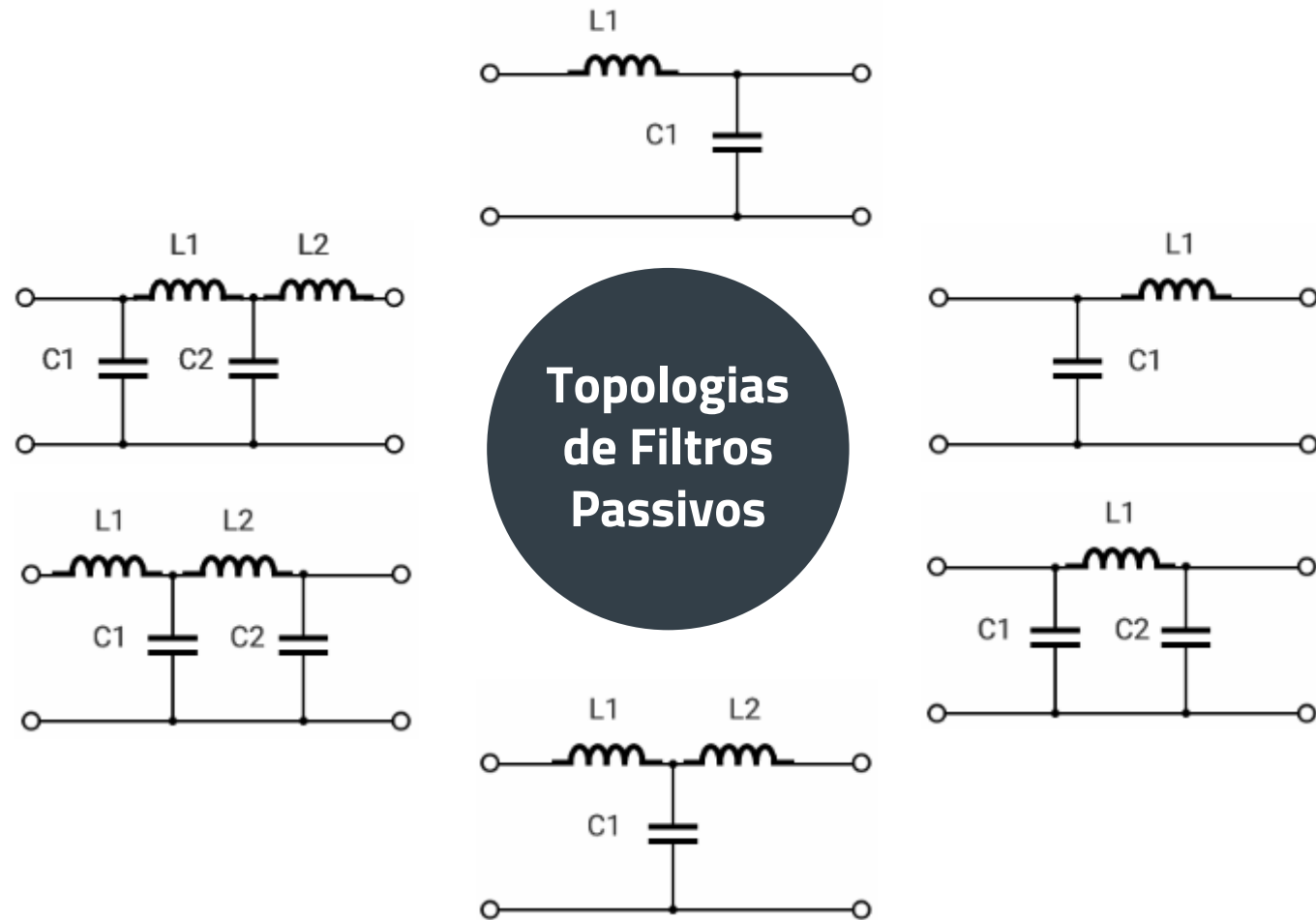
- Efeitos parasitas dos componentes.
- Ideal vs Real.
- Impacto do layout, tamanho e vias GND.
- Diferentes posicionamentos de vias GND.
- Efeitos de DC Bias



EFEITOS PARASITAS DOS COMPONENTES

EFEITOS PARASITAS DOS COMPONENTES

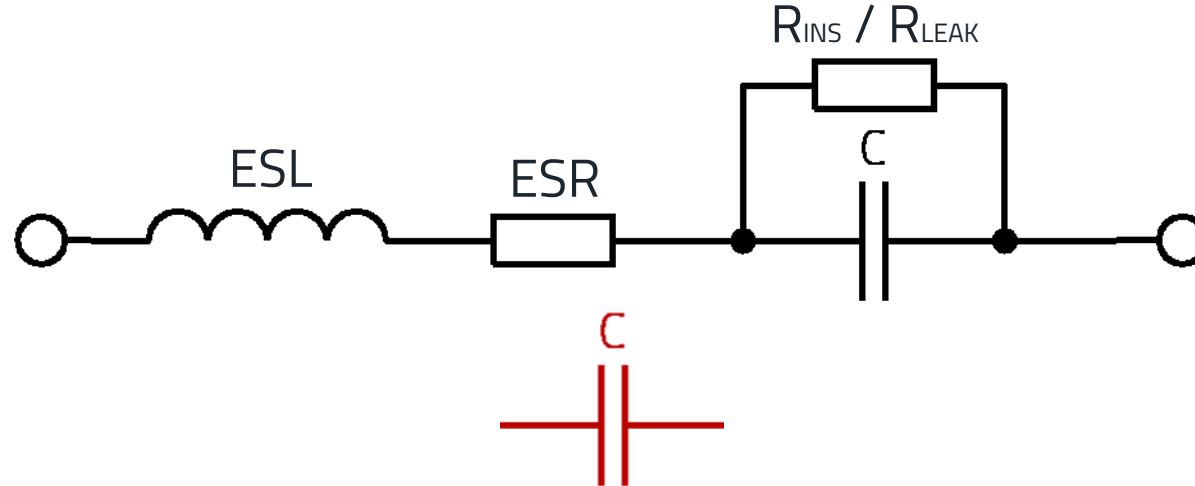
Componentes de um filtro diferencial passivo



Todas essas topologias utilizam capacitores e indutores.

EFEITOS PARASITAS DOS COMPONENTES

Capacitores



ESL

Influenciado pela construção interna e terminais.

ESR

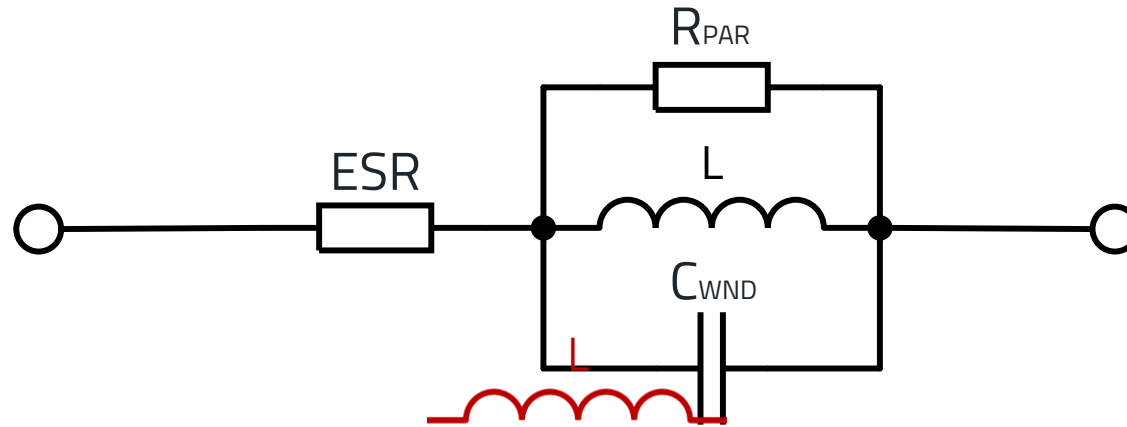
Autoaquecimento do componente por correntes de ripple.

R_{INS}

Resistência de isolamento entre os eletrodos.
Corrente de fuga.

EFEITOS PARASITAS DOS COMPONENTES

Indutores / Ferrites



ESR

Resistência em série da
terminação e do
enrolamento.

R_{PAR}

Depende do material e da
frequência.
Amortecimento na SRF.

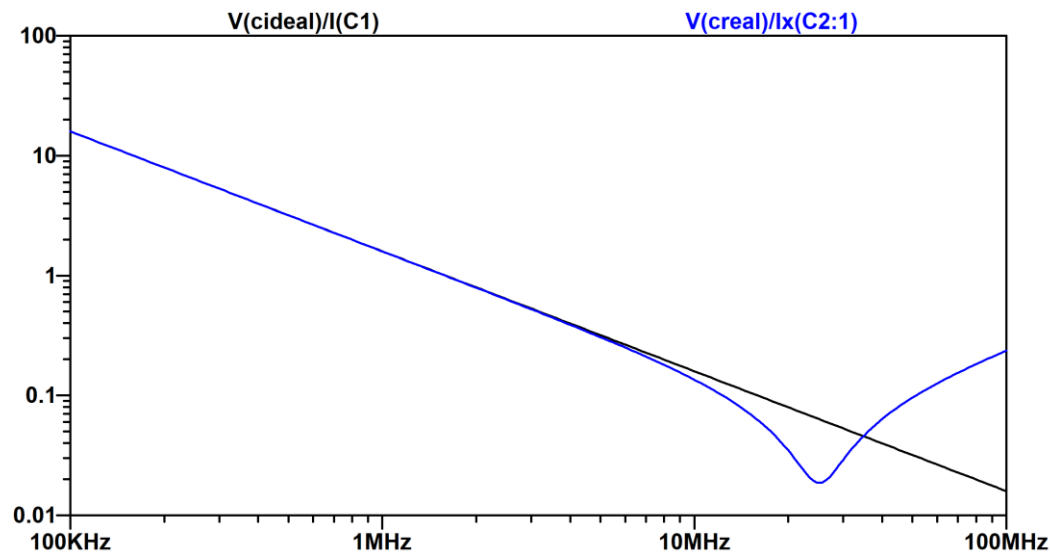
C_{WND}

Capacitância intra-
enrolamento, depende da
estrutura interna.

IDEAL VS REAL

IDEAL VS REAL

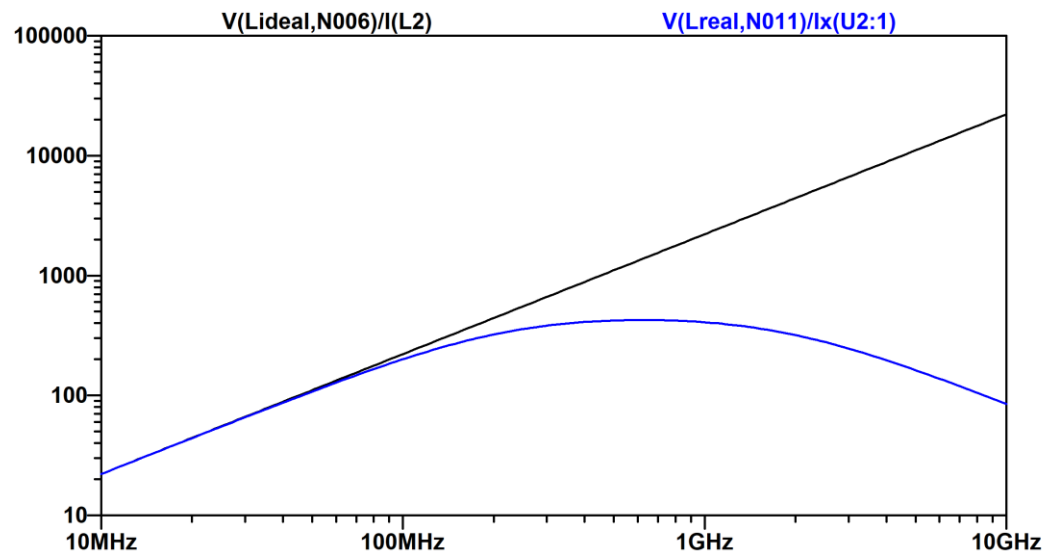
Comparação Ideal vs Real de um Capacitor



- MLCC 885012207098.
 - 100 nF.
- Acima do SRF, a indutância parasitária se torna predominante sobre a capacitância do componente.

IDEAL VS REAL

Comparação Ideal vs Real de um Indutor

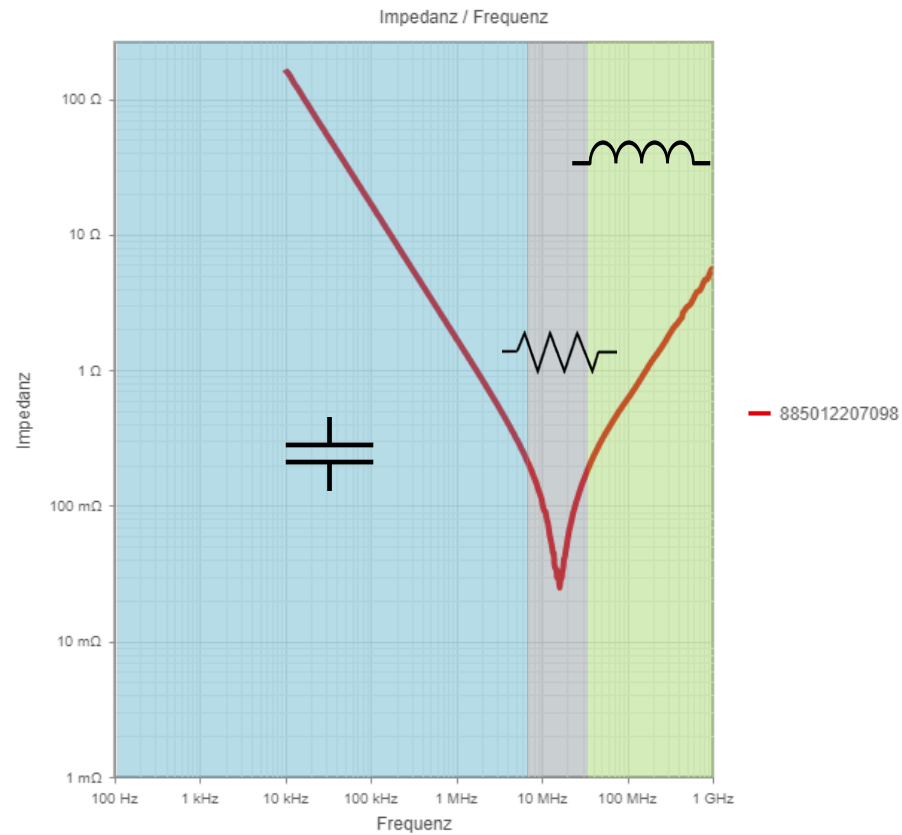


- Ferrite 742863122.
 - 220 Ω @ 100 MHz (350 nH).
- Acima do SRF, a capacitância parasitária se torna predominante sobre a indutância do componente.

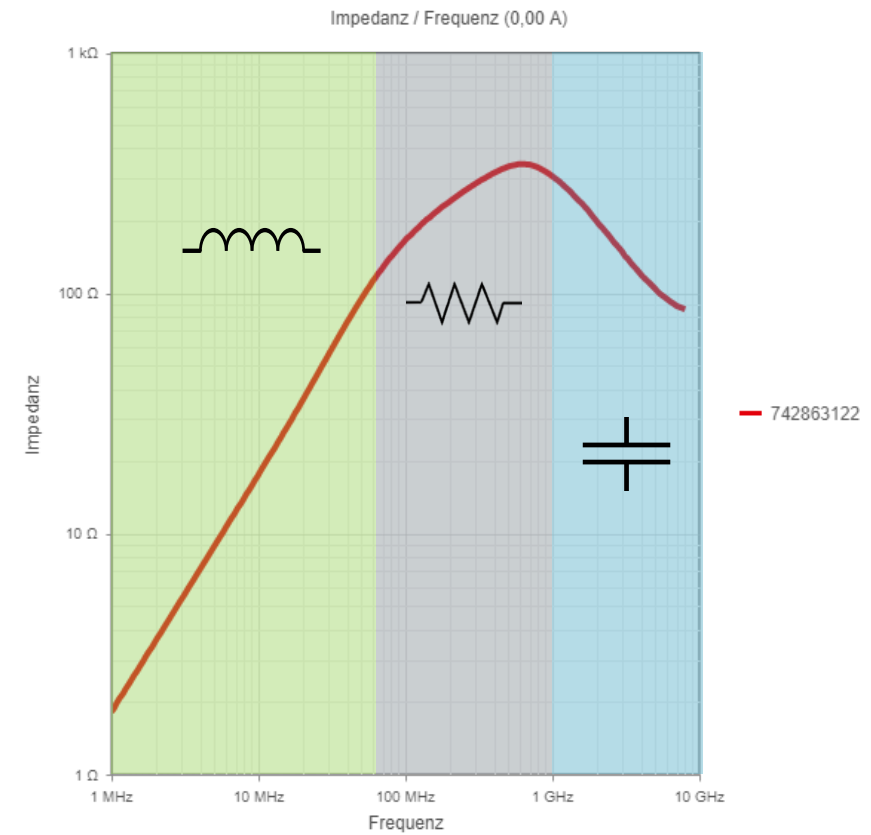
IDEAL VS REAL

Dados no RED EXPERT

Capacitor 100 nF



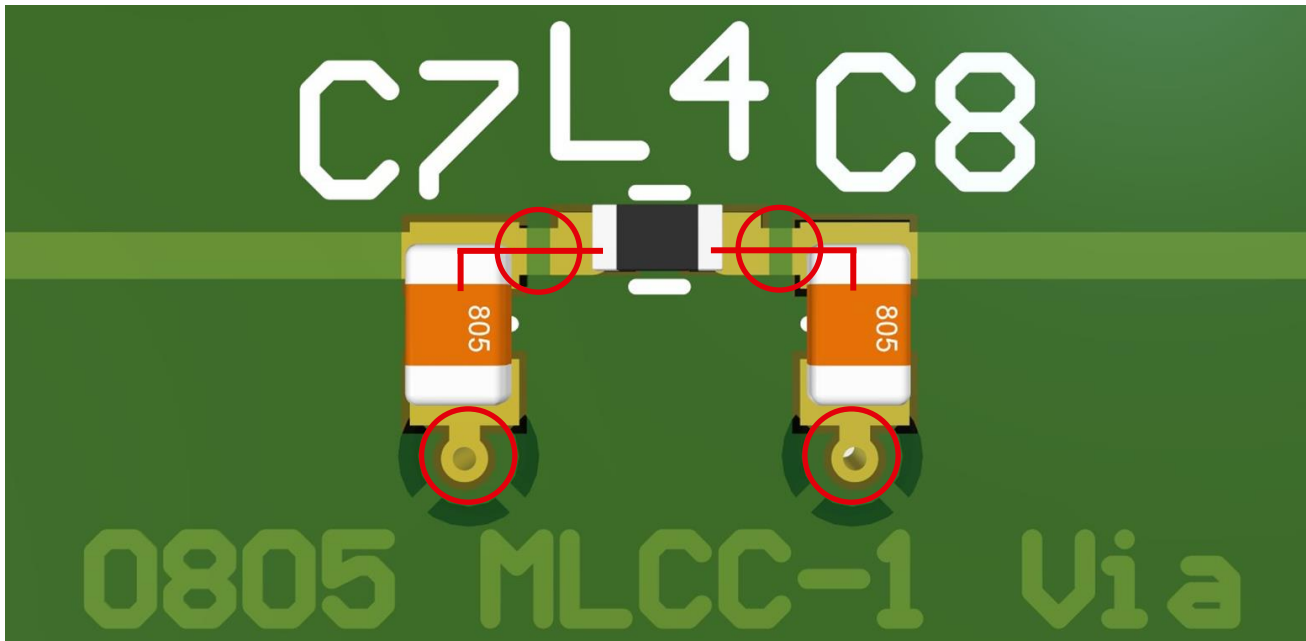
Ferrite 220 Ω @ 100 MHz



IMPACTO DO LAYOUT, TAMANHO E VIAS GND

IMPACTO DO LAYOUT, TAMANHO E VIAS GND

Layout recomendado da placa

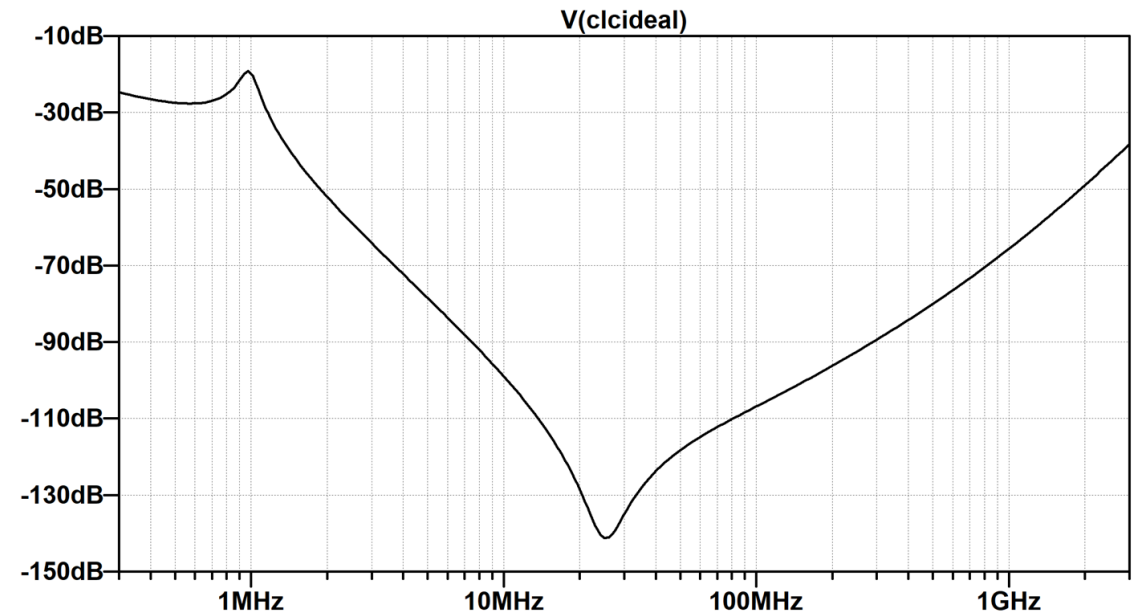
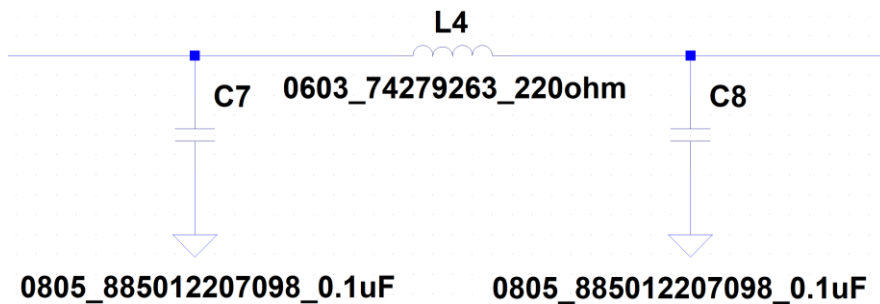


- ✓ Trilhas mais curtas possíveis.
- ✓ Evitar colocar os componentes em paralelo.
- ✓ Pelo menos uma via GND por componente conectado ao GND.

IMPACTO DO LAYOUT, TAMANHO E VIAS GND

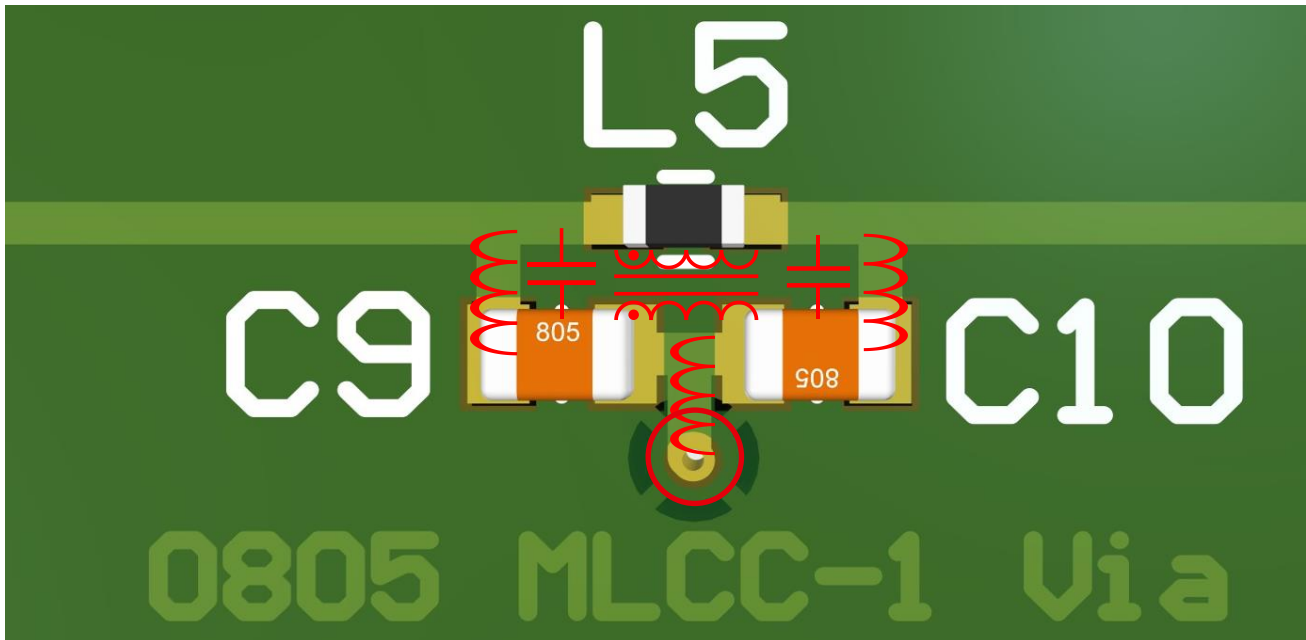
Layout recomendado da placa – Simulação

- Simulação ideal: **sem** efeitos parasitas da placa, só dos componentes.



IMPACTO DO LAYOUT, TAMANHO E VIAS GND

Layout não recomendado da placa

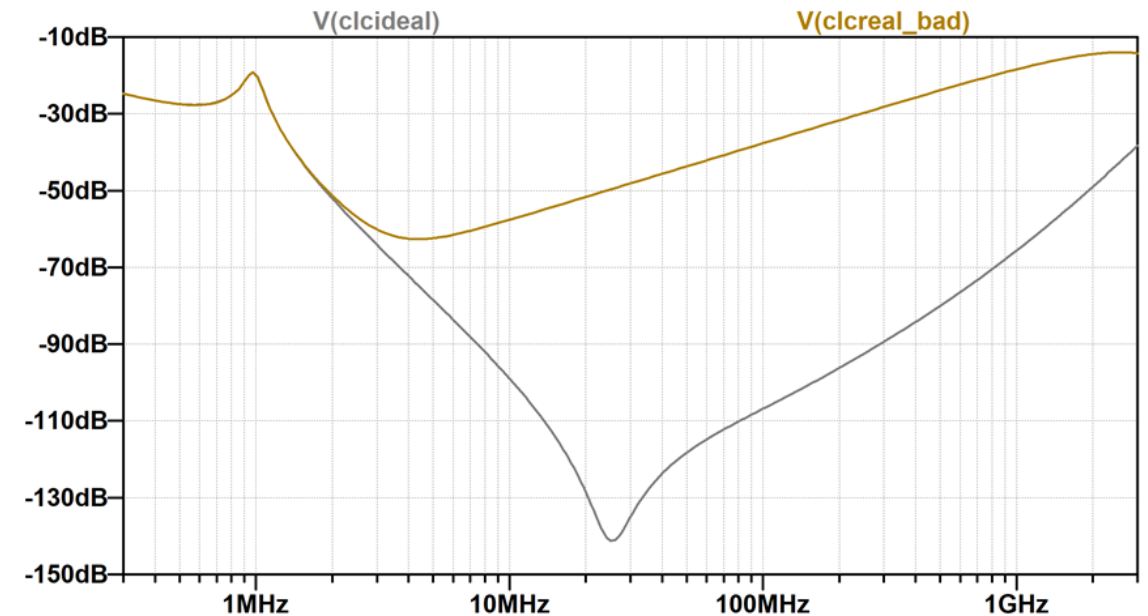
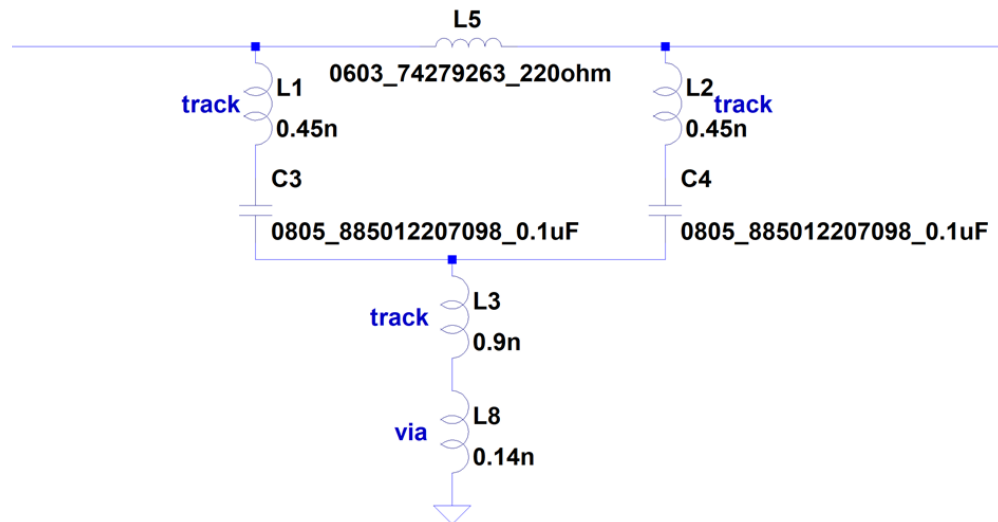


- × Trilhas longas – Indutância parasitária adicional.
- × Colocação em paralelo – Acoplamentos parasitas indutivos e capacitivos.
- × Só uma via GND para os dois capacitores.

IMPACTO DO LAYOUT, TAMANHO E VIAS GND

Layout não recomendado da placa - Simulação

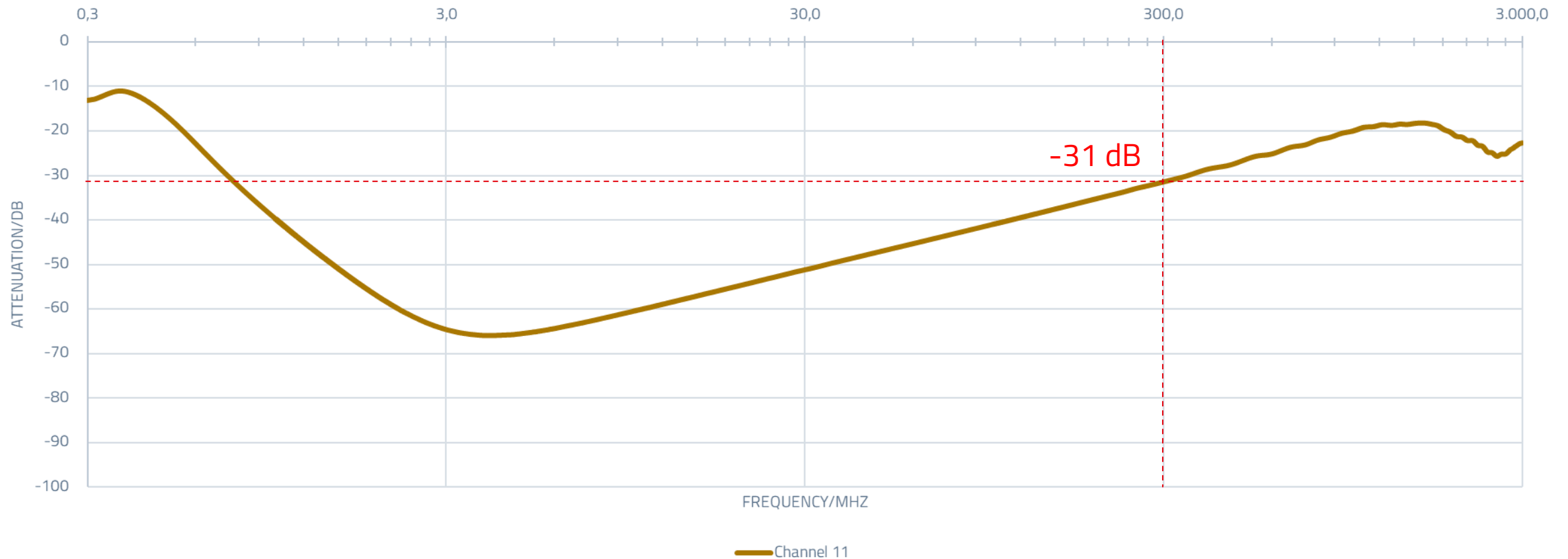
- Simulação real: **com** efeitos parasitas da placa, **sem** acoplamento devido à complexidade.



IMPACTO DO LAYOUT, TAMANHO E VIAS GND

Layout não recomendado da placa - Medição

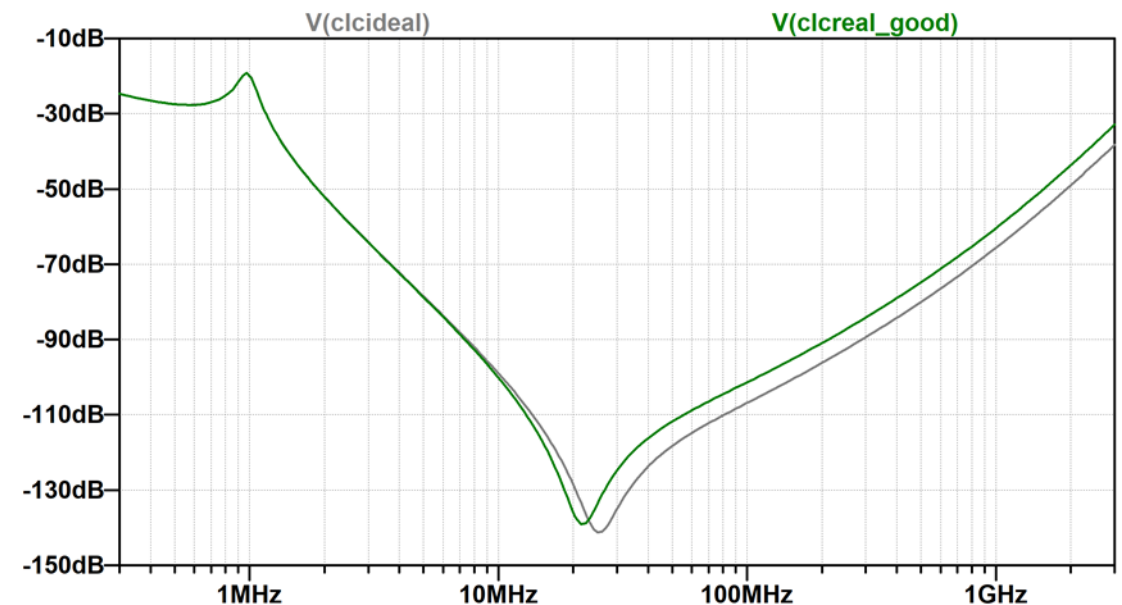
S21 Insertion Loss (R&S ZNB20 VNA)



IMPACTO DO LAYOUT, TAMANHO E VIAS GND

Layout recomendado da placa – Simulação

- Simulação real: **com** efeitos parasitas da placa (só indutância parasitária das vias GND).



IMPACTO DO LAYOUT, TAMANHO E VIAS GND

Layout recomendado da placa – Medição

S21 Insertion Loss (R&S ZNB20 VNA)



IMPACTO DO LAYOUT, TAMANHO E VIAS GND

Layout recomendado da placa com componentes menores



- Mudamos o tamanho dos capacitores: 0805 → 0603
 - 0805: 2.00 x 1.25 x 1.25 mm
 - 0603: 1.60 x 0.80 x 0.80 mm
- Se esperam menos efeitos dos componentes parasitas.

IMPACTO DO LAYOUT, TAMANHO E VIAS GND

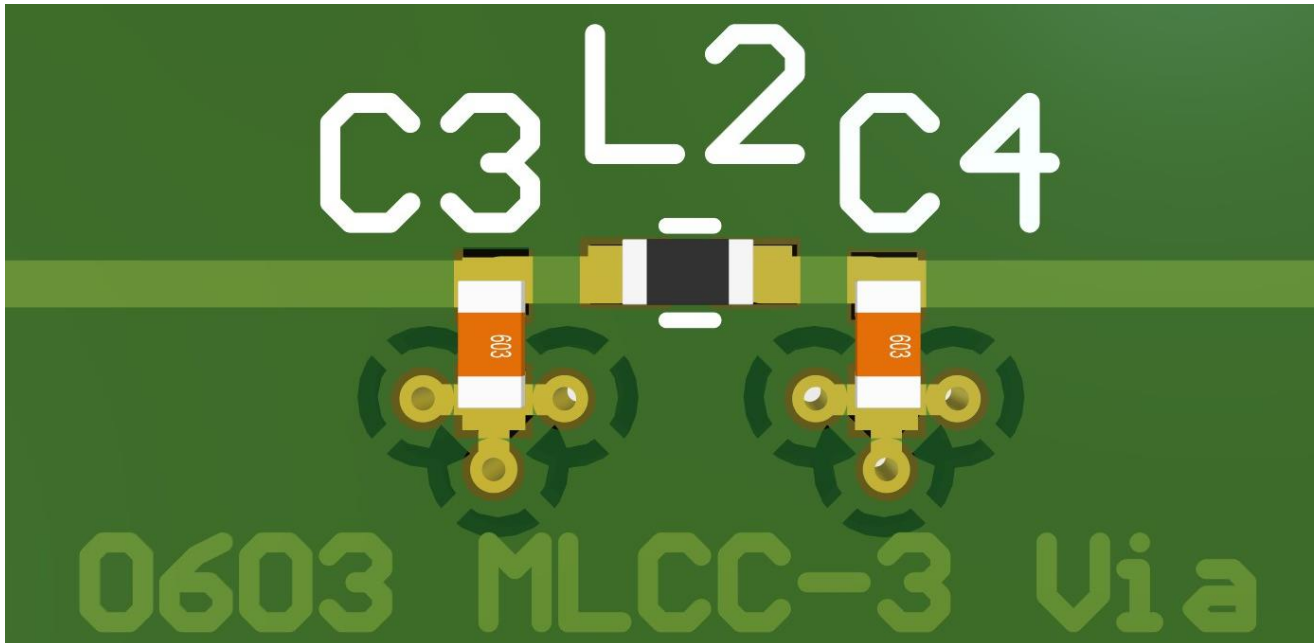
Layout recomendado da placa com componentes menores - Medição

S21 Insertion Loss (R&S ZNB20 VNA)



IMPACTO DO LAYOUT, TAMANHO E VIAS GND

Melhor layout da placa com 3 vias GND

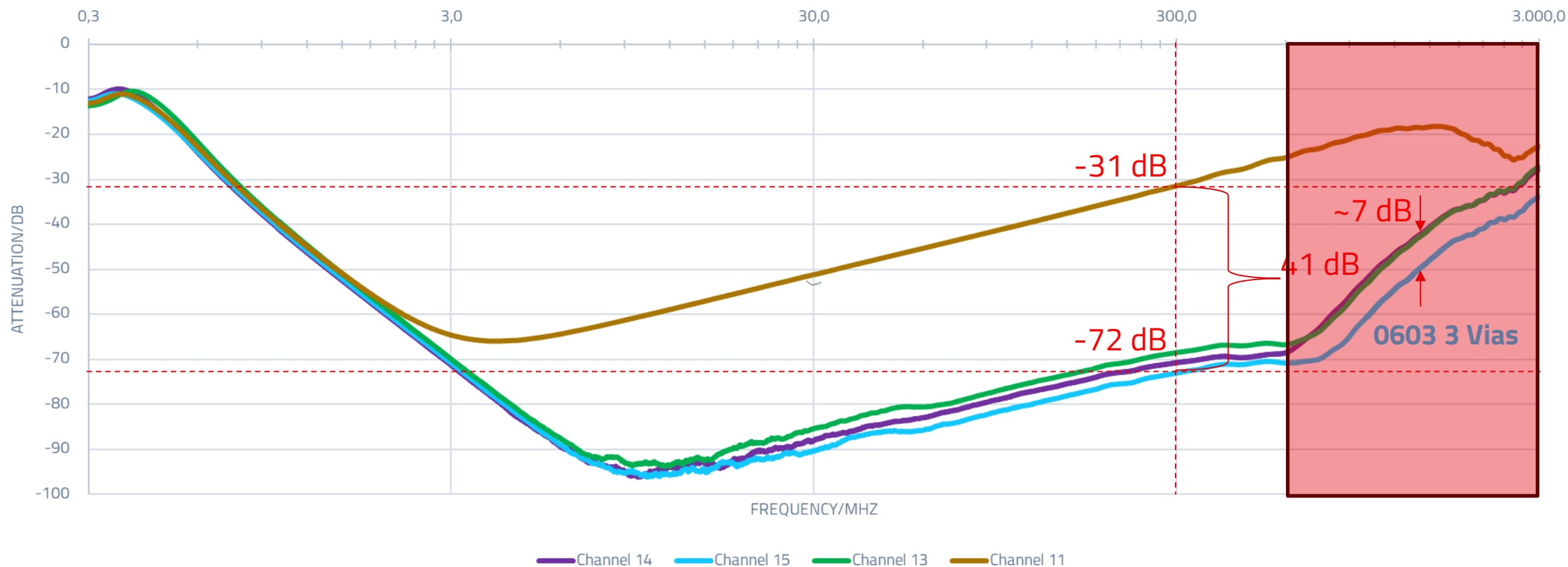


- Ao aumentar o número de vias GND, se espera ter uma menor impedância a GND.
- Melhor desempenho da curva de atenuação.

IMPACTO DO LAYOUT, TAMANHO E VIAS GND

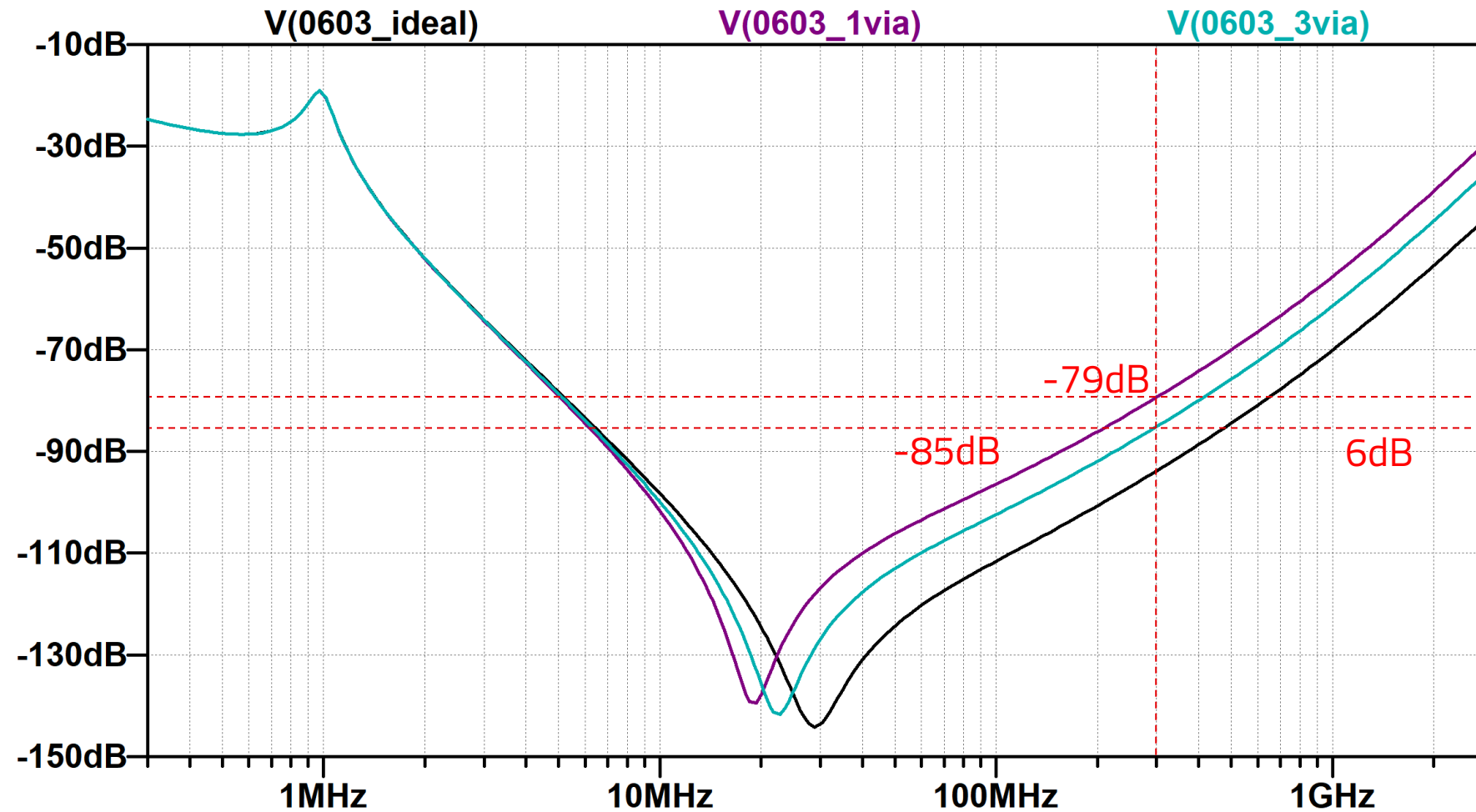
Melhor layout da placa com 3 vias GND – Medição

S21 Insertion Loss (R&S ZNB20 VNA)



IMPACTO DO LAYOUT, TAMANHO E VIAS GND

Simulação em LTspice



DIFERENTES POSICIONAMENTOS DE VIAS GND

DIFERENTES POSICIONAMENTOS DE VIAS GND

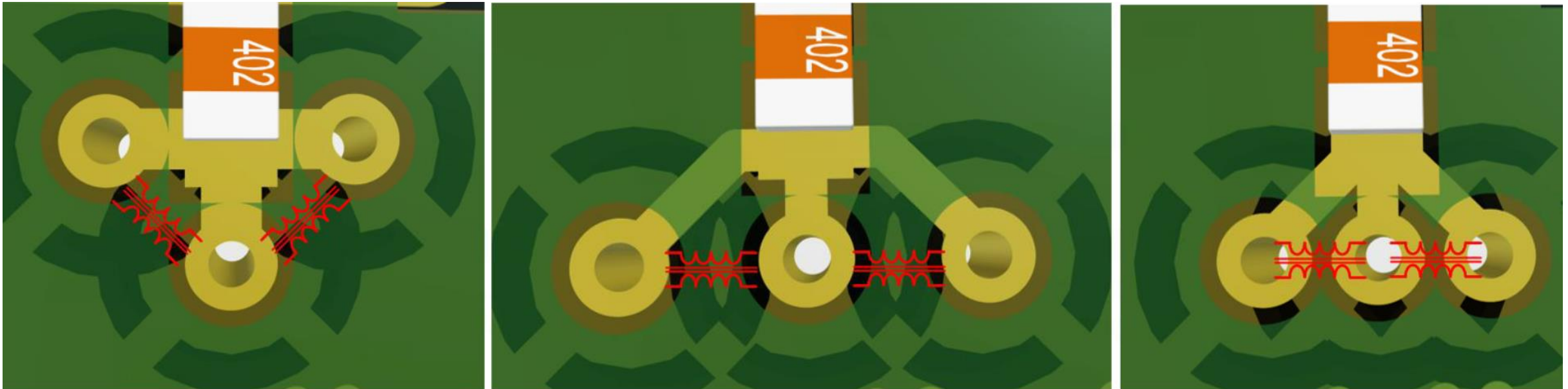
Efeitos



- **Indutância mutua:**
As vias influenciam-se mutuamente por indução.
- **Indutância das trilhas:**
Indutância parasitária das trilhas da placa, entre o capacitor e cada via GND.

DIFERENTES POSICIONAMENTOS DE VIAS GND

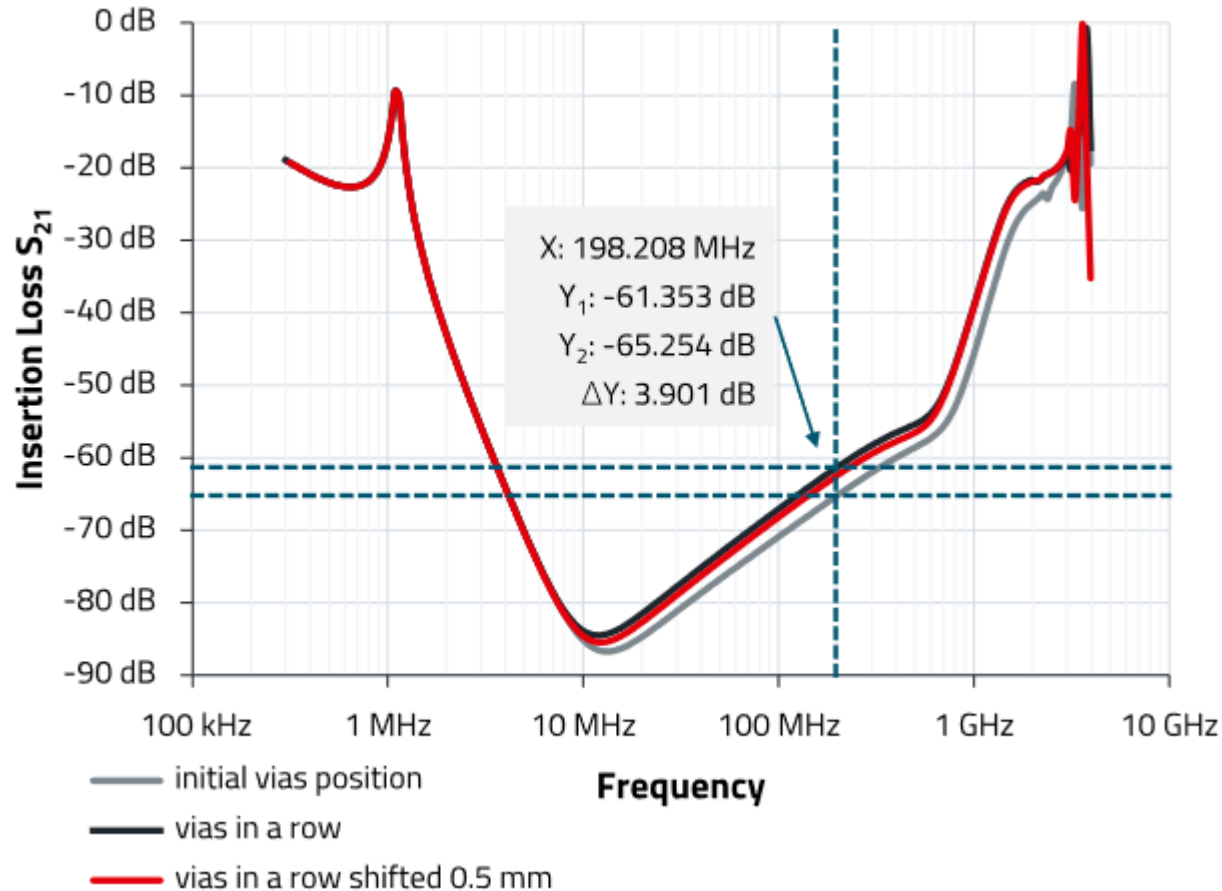
Configurações



- Vias colocadas a 90° ao redor do pin GND.
- Vias posicionadas em uma linha com um espaço de 5 mm.
- Vias posicionadas em uma linha muito próximas umas das outras.

DIFERENTES POSICIONAMENTOS DE VIAS GND

Configurações – Resultados da simulação



- A 200 MHz, há uma diferença de 4 dB de atenuação.
- Melhor distribuição: Vias colocadas a 90°.

DIFERENTES POSICIONAMENTOS DE VIAS GND

Conclusões

Evite a colocação paralela dos componentes.

Trilhas curtas

Use até 3 vias GND por cada conexão a GND.

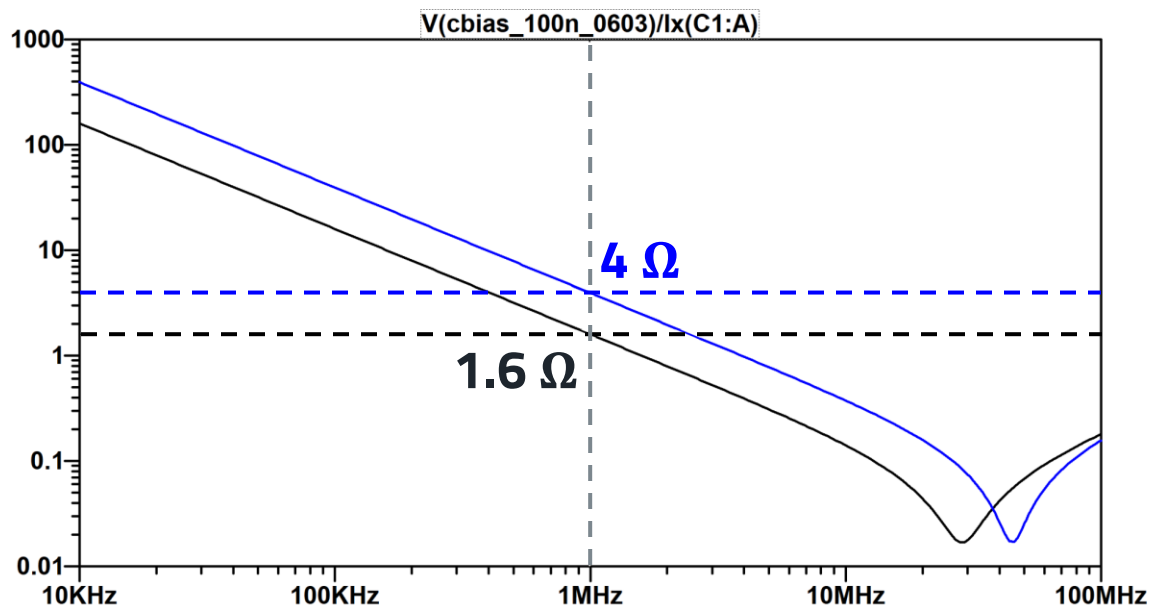
As vias GND devem ser separadas, porém perto ao pad do capacitor.

Com um layout recomendado da placa, pode obter até 40 dB mais de atenuação.

EFEITOS DE DC BIAS

EFEITOS DE DC BIAS

Efeito de DC bias no capacitor



- Capacitor 885012206095 – 100 nF

- Preto – Sem DC bias
- Azul – 50V DC bias

- Cálculo de capacitância:

$$C = 1 / (2 * \pi * f * Z)$$

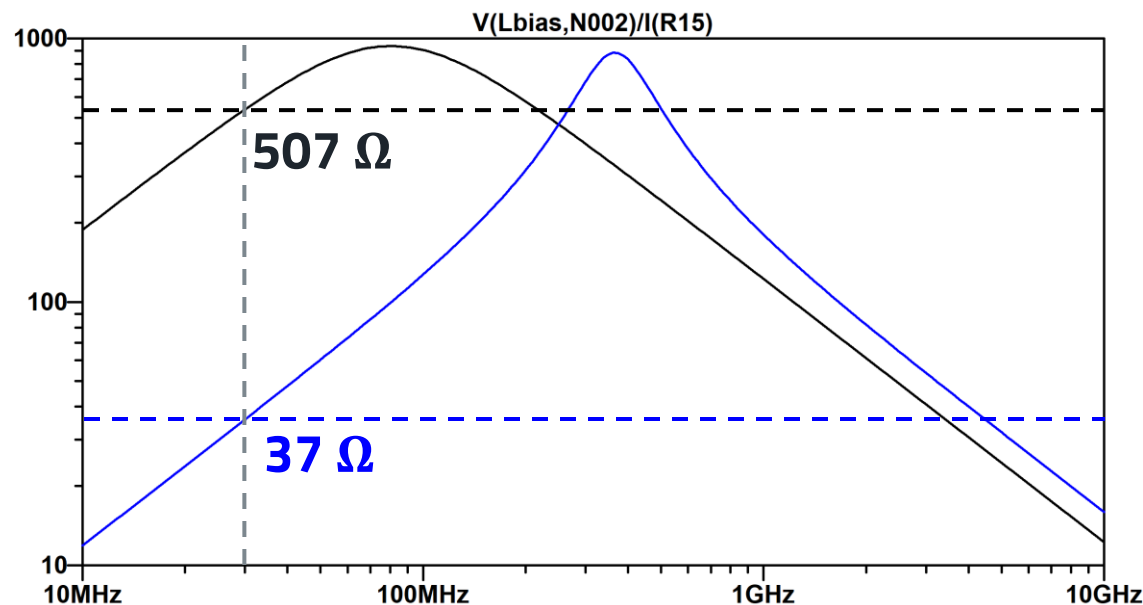
$$\Delta C = -60.6\%$$

- $C = 1 / (2 * \pi * 1\text{MHz} * 1.6\Omega) = 99\text{nF}$
- $C = 1 / (2 * \pi * 1\text{MHz} * 4\Omega) = 39\text{nF}$



EFEITOS DE DC BIAS

Efeito de DC bias no ferrite



- Ferrite 74279246 – 1 kΩ @ 100 MHz

- Preto – Sem DC bias
- Azul – 1A DC bias

- Cálculo de indutância:

$$L = Z / (2 * \pi * f)$$

$$\Delta L = -92.7\%$$

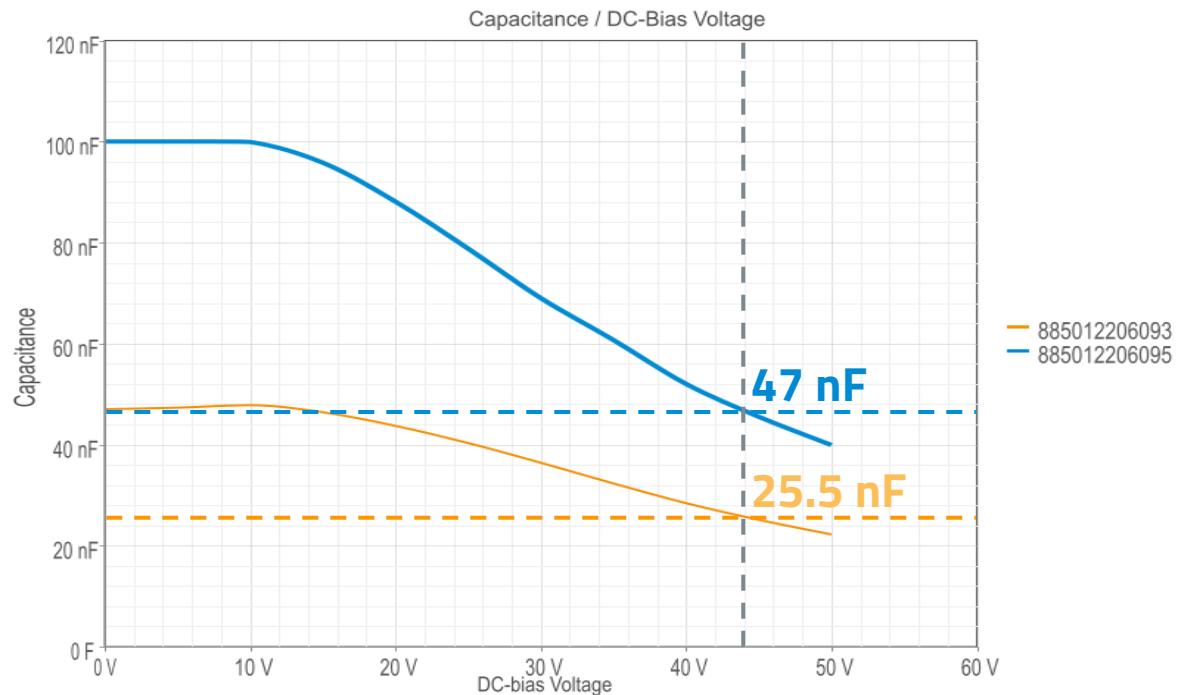
- $L = 507\Omega / (2 * \pi * 30\text{MHz}) = 2.69 \mu\text{H}$

- $L = 37\Omega / (2 * \pi * 30\text{MHz}) = 0.196 \text{ nH}$



EFEITOS DE DC BIAS

REDEXPERT – C vs DC bias do capacitor



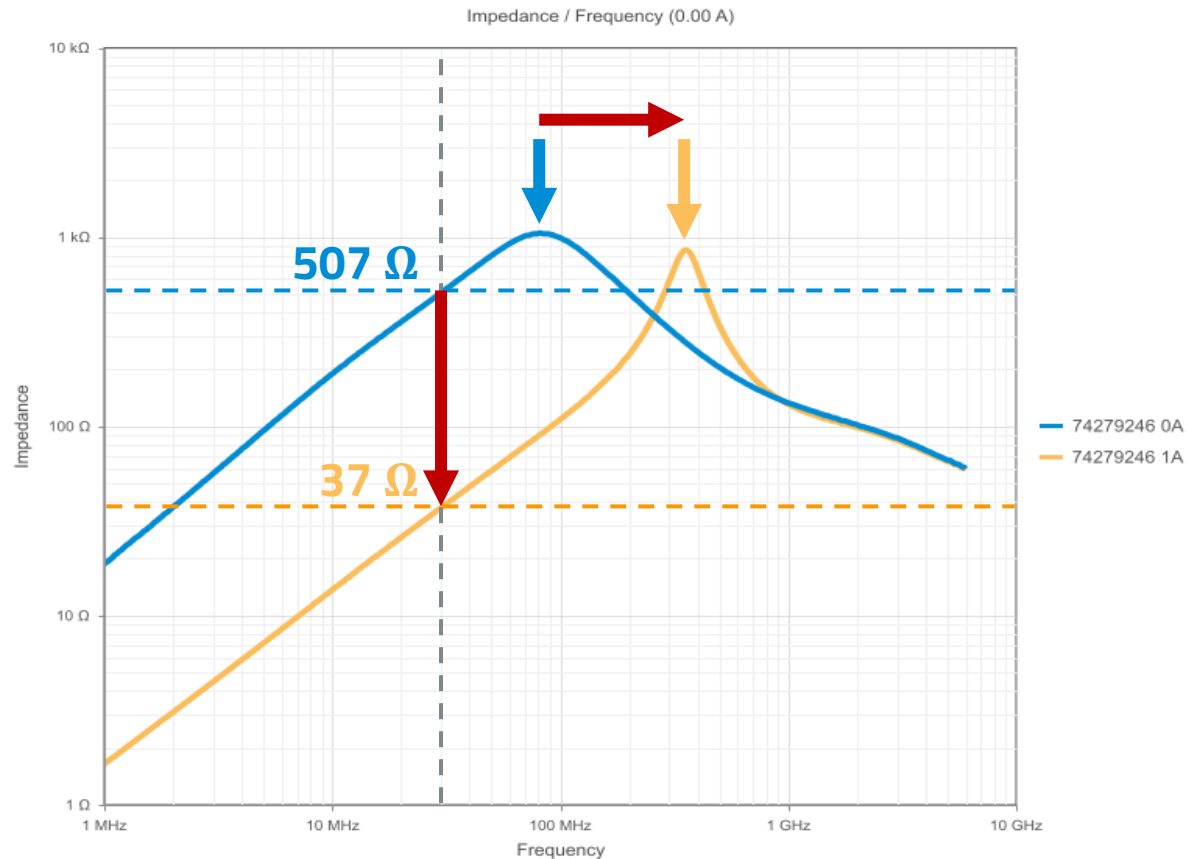
REDEXPERT mostra C vs DC Bias.

Se precisa de um capacitor 47 nF @ 48 V:

- Capacitor **47 nF** inicial
× 25.5 nF @ 48 V
- Capacitor **100 nF** inicial
✓ 47 nF @ 48 V

EFEITOS DE DC BIAS

REDEXPERT – Z vs F com DC bias do ferrite



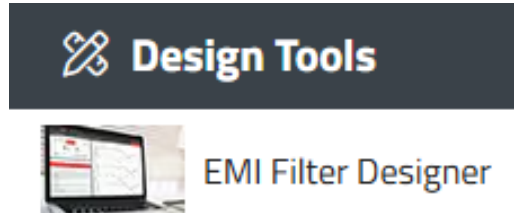
REDEXPERT mostra Z vs F com diferentes valores de DC bias.

- Efeitos de DC Bias no ferrite:
 - Impedância menor
 - SRF maior

EFEITOS DE DC BIAS

REDEXPERT – Projeto do filtro considerando o DC bias

- Visite **REDEXPERT**: redexpert.we-online.com



- Cálculo rápido e seleção de capacitores e indutores para um filtro diferencial passivo.

Relevante para DC Bias dos componentes
Relevante para a impedância do filtro
Relevante para o ordem e corte do filtro

Project's Title:

Title
EMI Filter Project

Input parameters:

Operating voltage 12.0 V	Operating current 500 mA
Load / LISN impedance 100 Ω	Noise source impedance 100 m Ω

Cut-off frequency
☒ 30 kHz

Attenuation
☒ 60 dB

at Frequency
300 kHz

Topology:

☐ LC

☐ CL

☒ **RECOMMENDED** Pi

☐ T-Filter

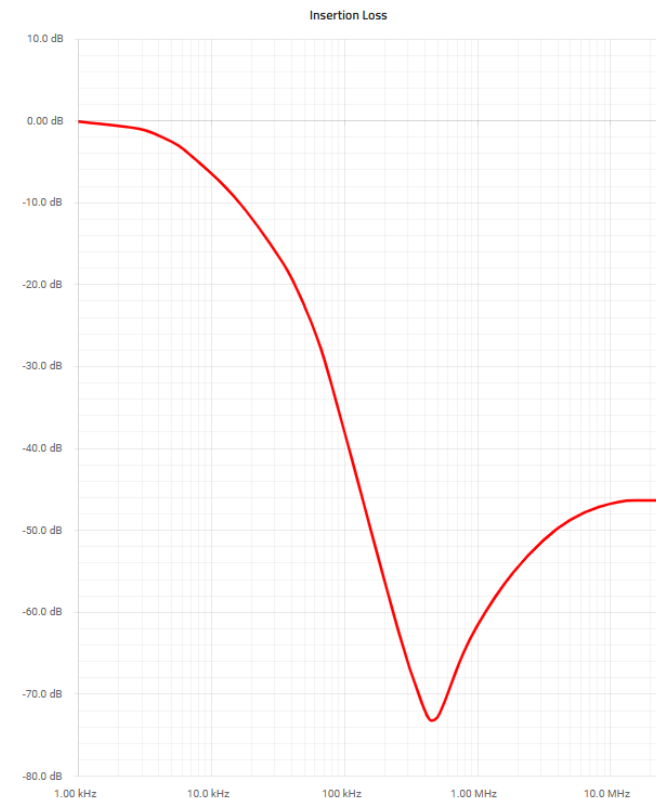
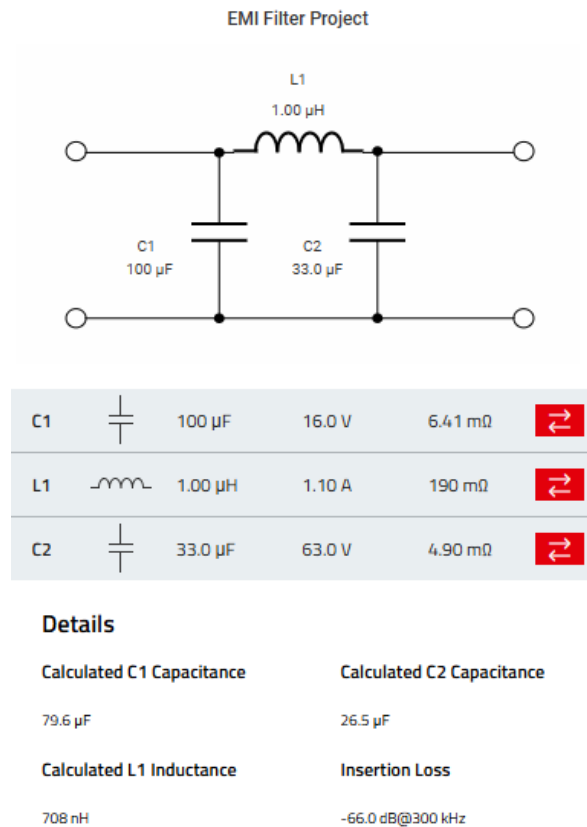
☐ 4th-Order LC-LC

☐ **RECOMMENDED** 4th-Order CL-CL

EFEITOS DE DC BIAS

REDEXPERT – Projeto do filtro considerando o DC bias

- REDEXPERT considera o DC bias na seleção dos componentes.





Presentation Feedback





OBRIGADO PELO SEU VALIOSO TEMPO

Oscar Gonzalez
Engenheiro de Aplicações (FAE)

WÜRTH ELEKTRONIK MORE THAN YOU EXPECT