



Hechinger

Weller®

LÖT-WORKSHOP  
MÄRZ 2026 IN DAUCHINGEN

Michael Matthes | Specialist Layout and Measurement

WÜRTH ELEKTRONIK MORE THAN YOU EXPECT

# WELTWEITE STANDORTE



STANDORT VERTRIEBSGESELLSCHAFT  
**STANDORT PRODUKTION**  
STANDORT KOMPETENZZENTRUM  
LÄNDER MIT DIREKTVERTRIEB



Niedernhall



Mysore



Rot am See



Longgang



Partner in Asien

## UNSER PORTFOLIO

Große Technologievielfalt

- Zink
- Fine Lineungen
- Mikrovia HDI
- Wärme management
- Hochfrequenz (HFR) PCB
- Dünnschicht Polymer
- Durchdrungen
- Embedding Technologie
- Customized Schaltungsdesign

Wenig Muster wie unserem Online-Shop für  
Ihre Ideen - auch als Einzelstücke.

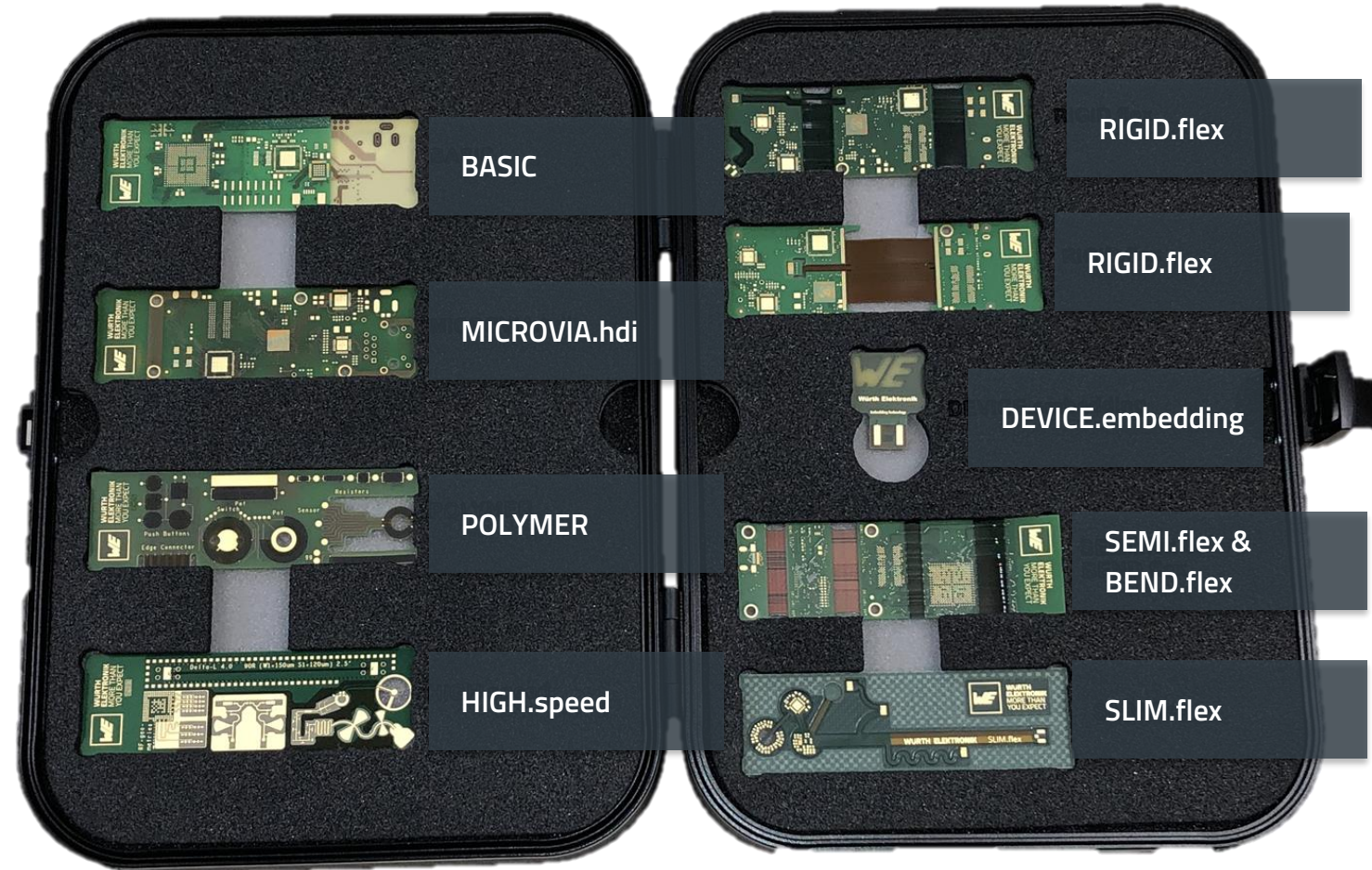
**FÜR JEDE**  
**HERAUSFORDERUNG**  
**DIE RICHTIGE LÖSUNG.**

# UNSER PORTFOLIO

## Große Technologie-Vielfalt

- Basic
- Flex-Lösungen
- Microvia HDI
- Wärmemanagement
- Hochstrom
- Printed Polymer
- Highspeed
- Drahtbonden
- Embedding Technologie

Vom Muster aus unserem Online-Shop bis zur Großserie aus Asien – auch als Eildienste





**VON DER IDEE**  
**ZUM PRODUKT.**

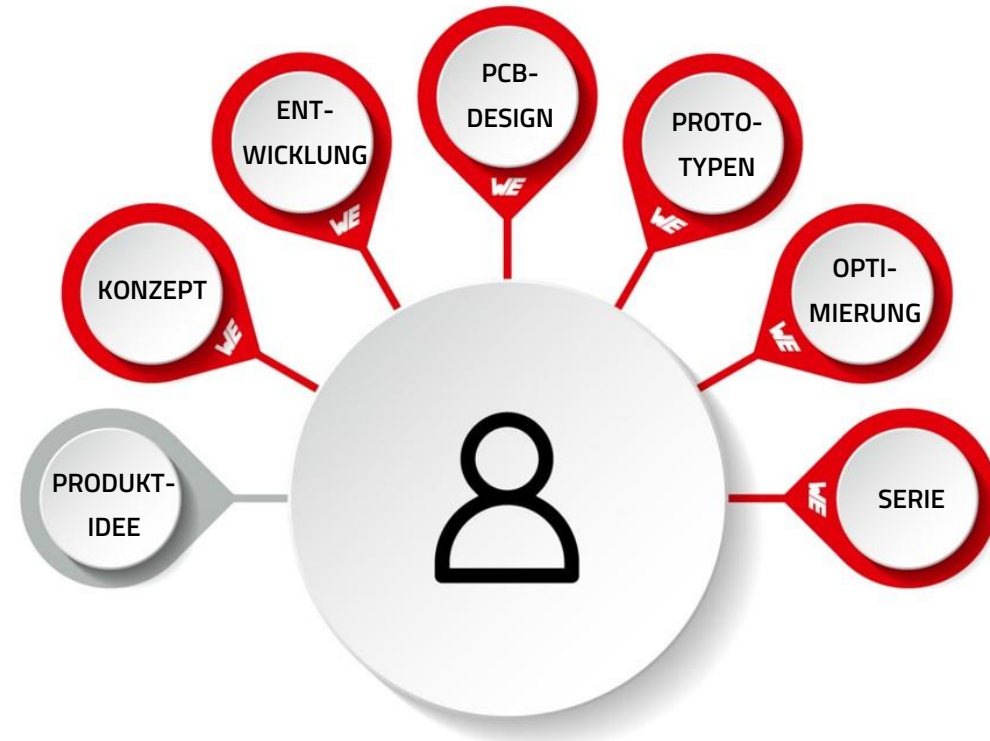
WIR SIND IHR PARTNER. VON ANFANG AN.

# VON DER IDEE ZUM PRODUKT

Technische Beratung ist bei uns nicht nur eine Worthölse.

Sie stehen bei uns im Mittelpunkt. Sie entwickeln die beste Lösung mit unseren Experten in enger Zusammenarbeit – je früher, desto besser.

Wir betrachten die Leiterplatte nicht nur als Bauteilträger. Wir haben Ihr Gesamtsystem im Blick. Unser Know-how – Ihr Profit!



# WIR SIND FÜR SIE DA!

## **Außendienst**

Ihr persönlicher  
Ansprechpartner – direkt  
bei Ihnen vor Ort.



## **Online-Shop**

Leiterplatten schnell  
und einfach kalkulieren  
und bestellen.

## **Innendienst-Support**

Unsere Spezialistinnen  
und Spezialisten im  
Innendienst haben immer  
ein offenes Ohr für Sie!



## **Technisches Projektmanagement**

Unterstützung bereits in der  
Entwicklungsphase.

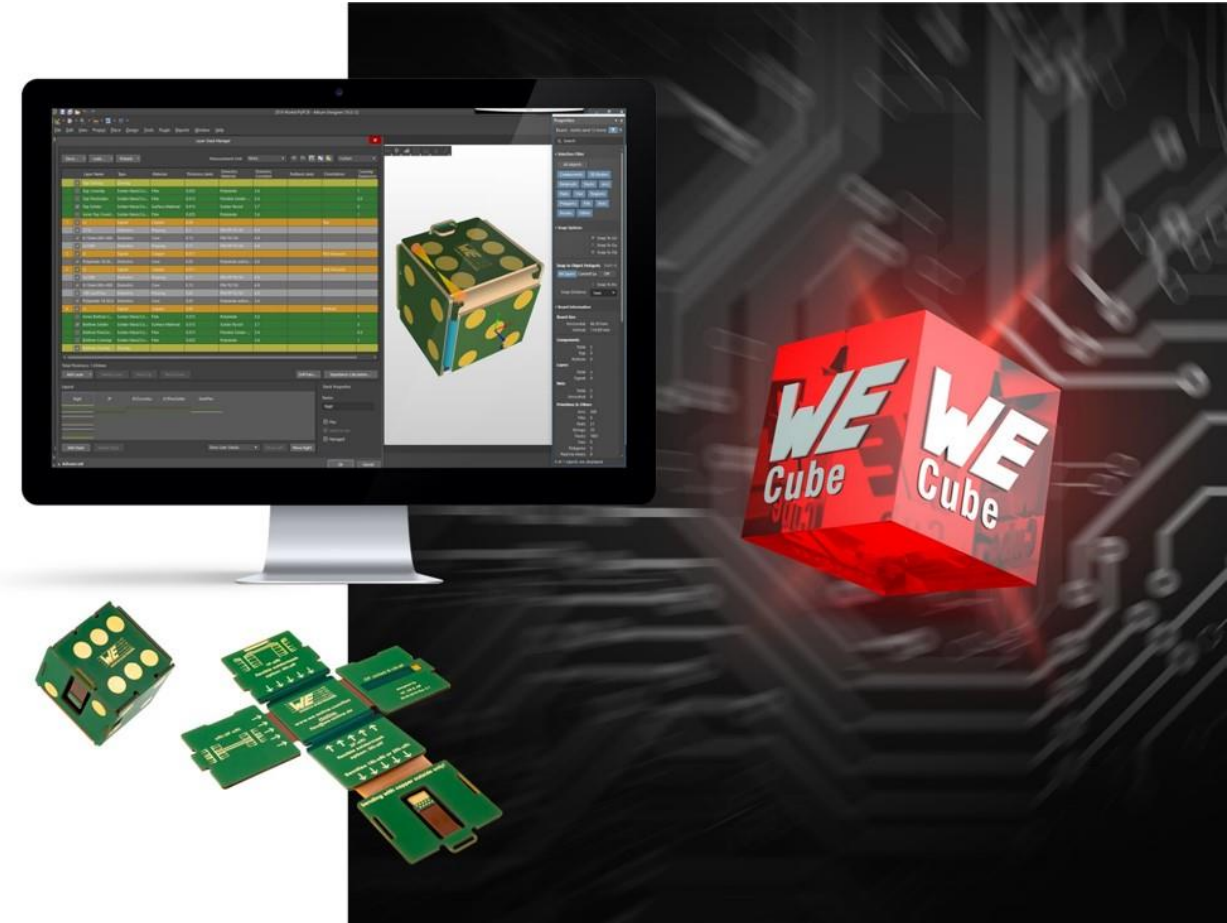




MORE  
THAN YOU EXPECT.

## MORE THAN YOU EXPECT

- **WEdesign – Dienstleistungsangebot**  
Fertigungsoptimierte Layouterstellung,  
unterstützende Services mit aktuellen  
Design-, Simulations- und Testwerkzeugen
- **Digitale Lagenaufbauten**  
Schneller starten, Fehler vermeiden  
und Produktivität erhöhen
- **Individuelle Logistiklösungen**  
Auf Ihre Bedürfnisse zugeschnitten
- **Handmuster**  
Technologien greifbar machen
- **EDI-Lösungen**  
Zeit und Prozesskosten sparen dank  
elektronischem Datenaustausch



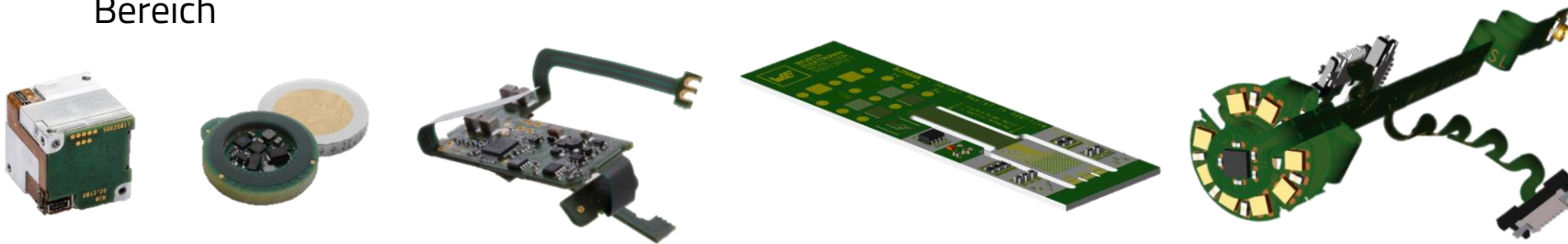
# ZUR PERSON

- Studium Elektrotechnik (Telekommunikation / Nachrichtenübertragung) an der FH-Darmstadt
- 2001 bis 2022 in unterschiedlichen BUs der WITTENSTEIN SE in Igersheim, in der Entwicklung von Antriebstechnik, Sensorik oder auch Implantaten tätig
- Senior Expert bei WSE für die Bereiche „neuer Elektroniktechnologien“ und „EDA-Systeme“
- seit 1.4.2022 Specialist Layout and Measurement bei Würth Elektronik GmbH & Co. KG Circuit Board Technology und Leitung der Abteilung **WE**design (Design/Simulation)
- Bis 9'2023 Leiter der FED-Regionalgruppe Stuttgart, stellvertretender Leiter des Arbeitskreises 3D-Elektronik im FED e.V., seit dem Mitglied im Vorstand des FED e.V.
- aktiv in den unterschiedlichen Programmen zur Nachwuchsförderung im E-technischen Bereich



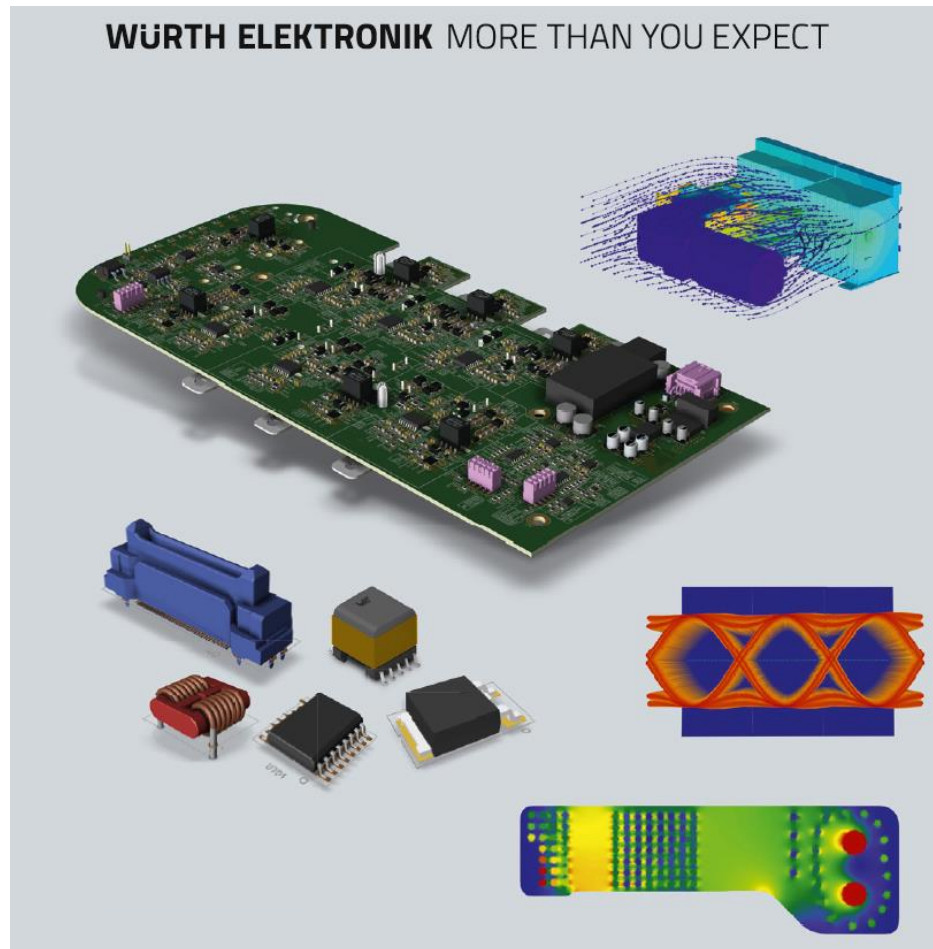
**Michael Matthes**

WEdesign / Specialist Layout and Measurement



# WEDESIGN

## Design- und Simulationsdienstleistung

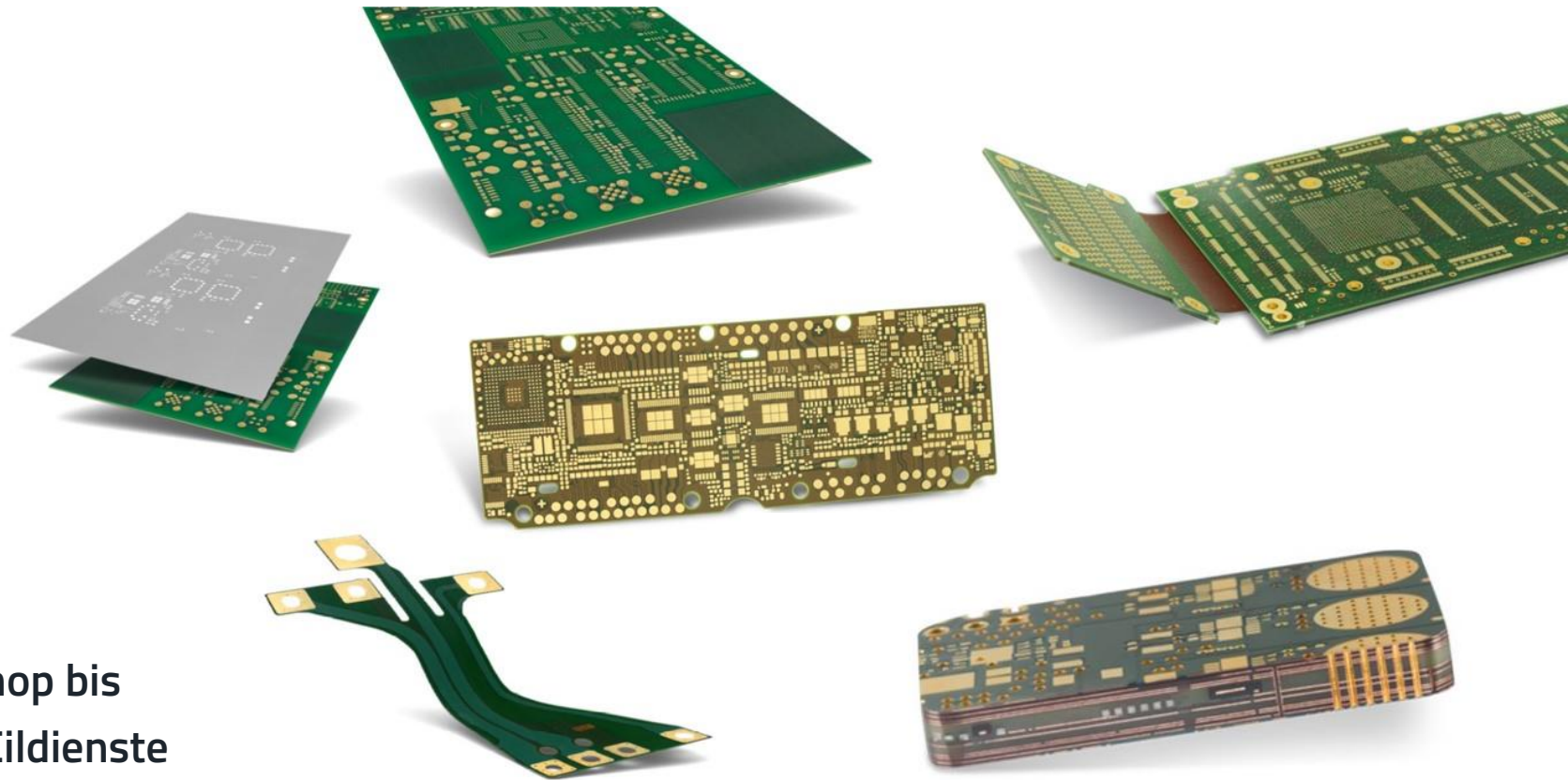


# UNSER PORTFOLIO

## Große Technologie-Vielfalt

- Basic
- Flex-Lösungen
- Microvia HDI
- Wärmemanagement
- Printed Polymer
- Drahtbonden
- Embedding Technologie

Vom Muster aus unserem Online-Shop bis zur Großserie aus Asien – auch als Eildienste



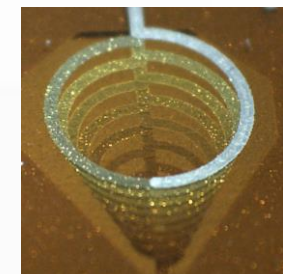
# FED Arbeitskreis 3D-Elektronik

## Klassifizierung additiver Technologien

Die Klassifizierung soll ein Ordnungsmodell für die verschiedenen Facetten der teil- oder volladditiv gefertigten 3D-Elektronik ermöglichen. Dies geschieht im hier beschriebenen Modell auf einer vereinfachten Basis, in 5 Klassen gegliedert.

Klasse 1	vorhandener Träger - planar starr oder flexibel,	Additiv aufgebrachte Funktionsschichten (z.B. Lötstopmmaske, Lötpasten, Oberflächenbeschichtung)	2D Daten
Klasse 2	vorhandener 3D-Träger starr oder flexibel,	Additiv aufgebrachte Funktionsschichten (z.B. Lötstopmmaske, Oberflächenbeschichtung, Isolation)	2D / 3D Daten
Klasse 3	Träger gedruckt (2,5D & 3D)	Additiv hergestellte Funktionsträger, additiv aufgebrachte Funktionsschichten	3D Daten, STEP, „sliced“
Klasse 4	Träger gedruckt (2,5D & 3D)	Additiv hergestellte Funktionsträger und Schichten und eingebettete Bauteile (SMD u.a.)	3D Daten, STEP, „sliced“
Klasse 5	4D-Druck & gedruckt mechanischer Funktion	3D-Design leitende und nicht leitende Schichten, eingebettete Komponenten, mechanische Funktion	3D Daten, STEP, „sliced“

**26-seitiges Whitepaper auf [fed.de/3d-elektronik/](http://fed.de/3d-elektronik/) downloadbar**



© by FED Arbeitskreis 3D-Elektronik, 2023



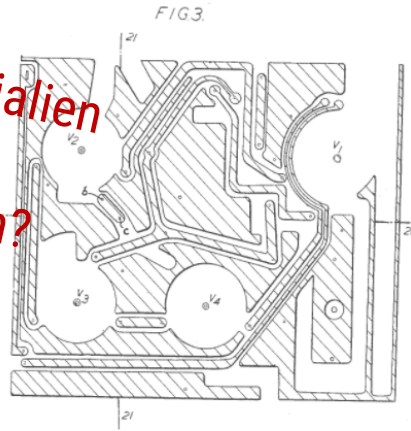
# AGENDA

## Was haben Design und Leiterplatte mit Lötstellen und –prozessen zu tun?

- Historie der Leiterplatte -> Bauteileträger / Kabelersatz
- Fertigungsoptimierte Layouterstellung
- Fehlermechanismen
- Handlötungen und mögliche Gefahren
- Smarte Hochstrom-Multilayer-Leiterplatten
- Zukunftstechnologien
  - s.mask
  - 3D

# HISTORIE: DIE LEITERPLATTE

Aus welchen Materialien bestehen heute die meisten Leiterplatten?



## Erste Prototypen:

Gestanzte Leiterzüge, als Träger dient Papier

Quelle:

FED-Seminar: Inboarding – Embedding im PCB-Design

[https://en.wikipedia.org/wiki/Paul\\_Eisler](https://en.wikipedia.org/wiki/Paul_Eisler)

Patent: 639,178 „Manufacture of Electric Circuits and Circuit Components



## 1943 : Patent von Paul Eisler

London

Die gedruckte Schaltung ist patentiert.



*Bis heute: Identischer Prozess!*

## ~1950: Chemische Serienfertigung

Bauteilseite/Lötseite – Bauteile bedrahtet

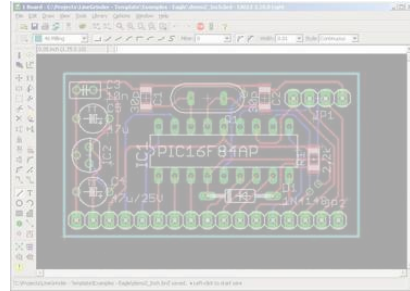
Nur einseitige Leiterplatten möglich.



# ENTWICKLUNG DER LEITERPLATTE

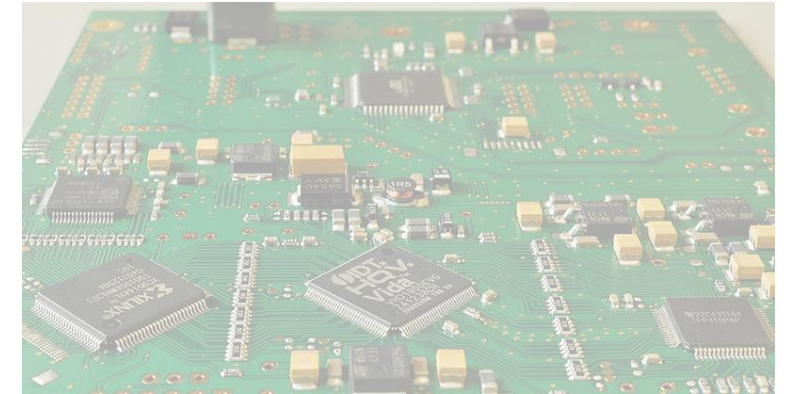
## 1980/1981: EDA

- Electronic Design Automation
- Erste Design-Software wird vorgestellt



## Ab 2000: HDI/Miniaturisierung

- Optimierung von Kühlung
  - Kleinere passive Komponenten
  - Steigerung der Komplexität
  - Kleinere aktive Bauteile
- (kleinere Strukturen auf Wafer/Silizium)



## Mitte 1990: SMD (Surface Mounted Device)

- Doppelseitige Bestückung
- Bessere Ausnutzung

Quelle:

FED-Seminar: Inboarding – Embedding im PCB-Design

<https://de.ifixit.com/Teardown/iPhone+12+und+12+Pro+Teardown/137669>

[https://en.wikipedia.org/wiki/EAGLE\\_\(program\)](https://en.wikipedia.org/wiki/EAGLE_(program))

<https://www.sauter-elektronik.de/ems-dienstleistungen/leiterplattenbestueckung/smd-bestueckung>

# ENTWICKLUNG DER LEITERPLATTE

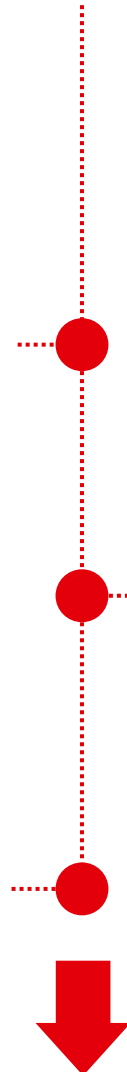
## Ab 2000: 2.5D (o.ä.) Technologie

- Dickenreduktion
- Optimiertes Wärmemanagement



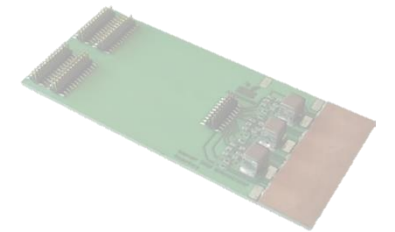
## ~2015: Heterogene Integration

- Silizium + Substrate + PCB beginnen zu verschmelzen



## Ab 2011: Embedding

- Zusätzliche Bestückungslagen
- Verschiedene Prozesse verfügbar



Quelle:

FED-Seminar: Inboarding – Embedding im PCB-Design

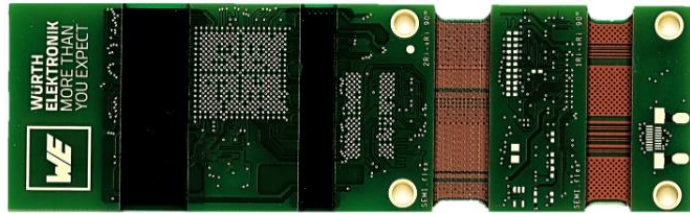
<https://ats.net/de/2019/04/05/ats-demonstriert-effizienz-und-robustheit-der-embedded-power-technologie/>

<https://ats.net/zh/ao-te-si-chan-pin-yu-ji-shu/ao-te-si-ji-shu/2-5d-ji-shu-ping-tai/>

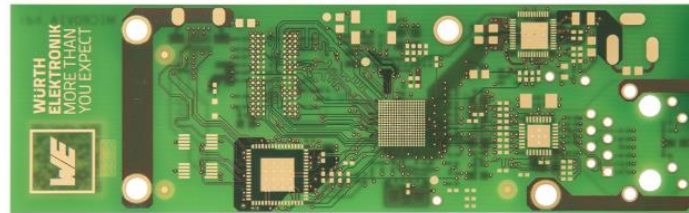
# FERTIGUNGSOPTIMIERTE LAYOUTERSTELLUNG

Layout für alle gängigen Technologien

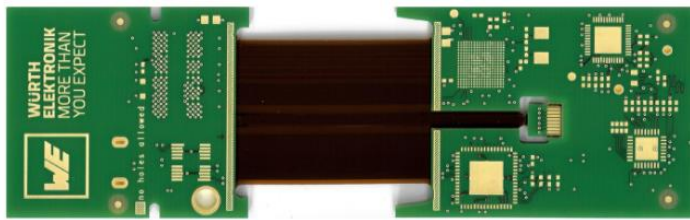
- Multilayer, Starrflex, Highspeed, Highpower, RF, Shielding, ... basierend auf WE-Designrules



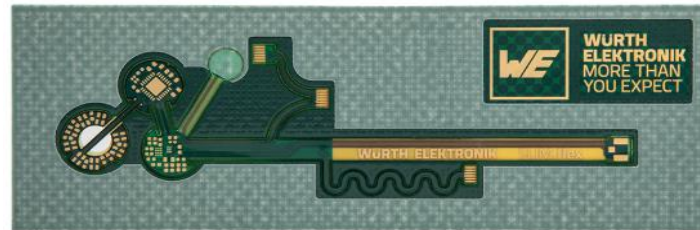
BEND.flex



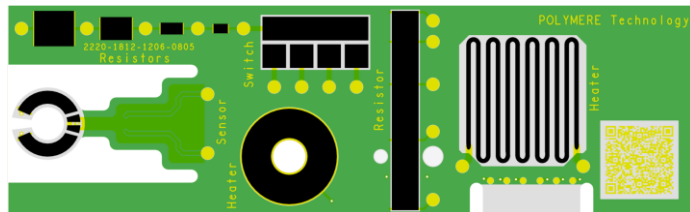
WE.microvia



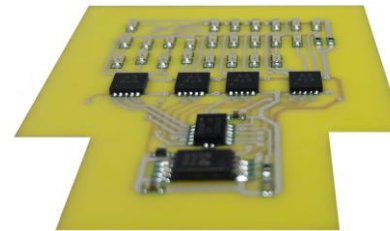
STARR.flex



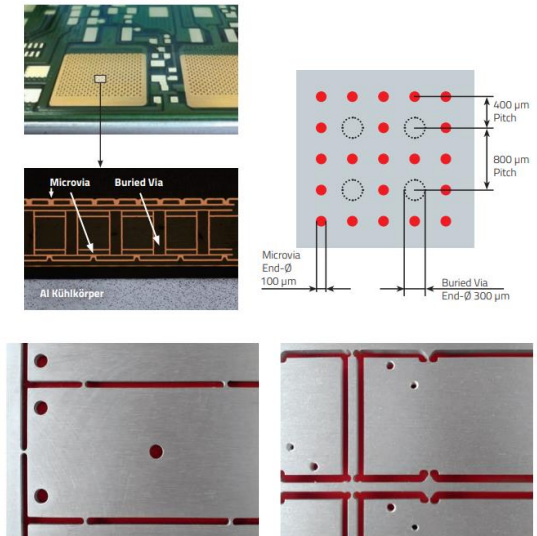
SLIM.flex



POLYMERE.technology



SOLDER.embedding



- MICROVIA.embedding
- FLIP-CHIP.embedding
- COPPER.embedding

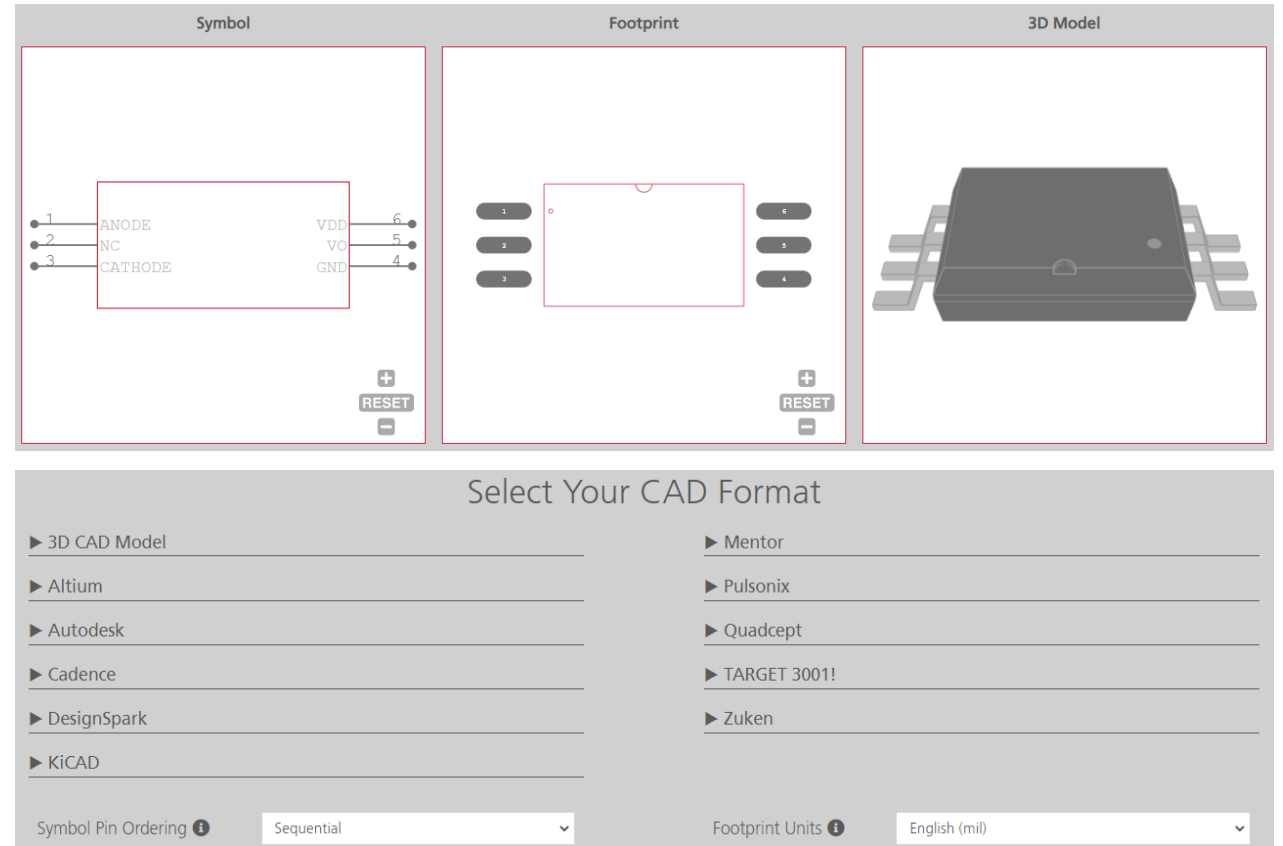
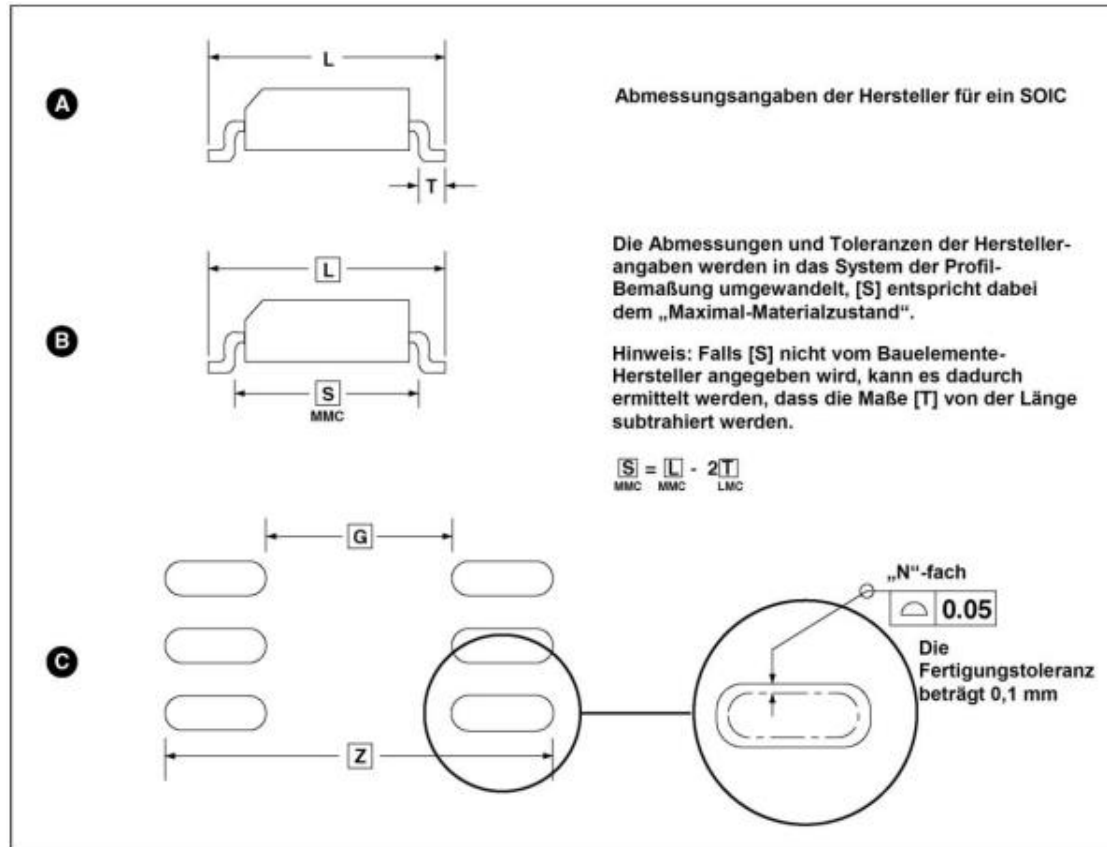
# FERTIGUNGSOPTIMIERTE LAYOUTERSTELLUNG

- Fertigungsgerechte Design Rules / Designregeln
  - während des Designs werden die für die Technologie benötigten Regelwerke (Constraints) direkt im Tool hinterlegt und so auch direkt berücksichtigt
  - produktspezifische Anforderungen wie Normen, Regularien oder spezielle Regeln müssen vom Kunden vorgegeben werden
  - Berücksichtigung der IPC-Klassen aus den Produkthanforderungen
- Verbesserung der Zuverlässigkeit
  - durch die Nutzung bekannter und bewährter Technologien und Lagenaufbauten steigt die Zuverlässigkeit und Qualität der Leiterplatten und Baugruppen
  - Hierdurch kann auch die Qualität der Lötstellen beeinflusst werden

# FERTIGUNGSOPTIMIERTE LAYOUTERSTELLUNG

## Bauteile-/Bibliotheksanlage

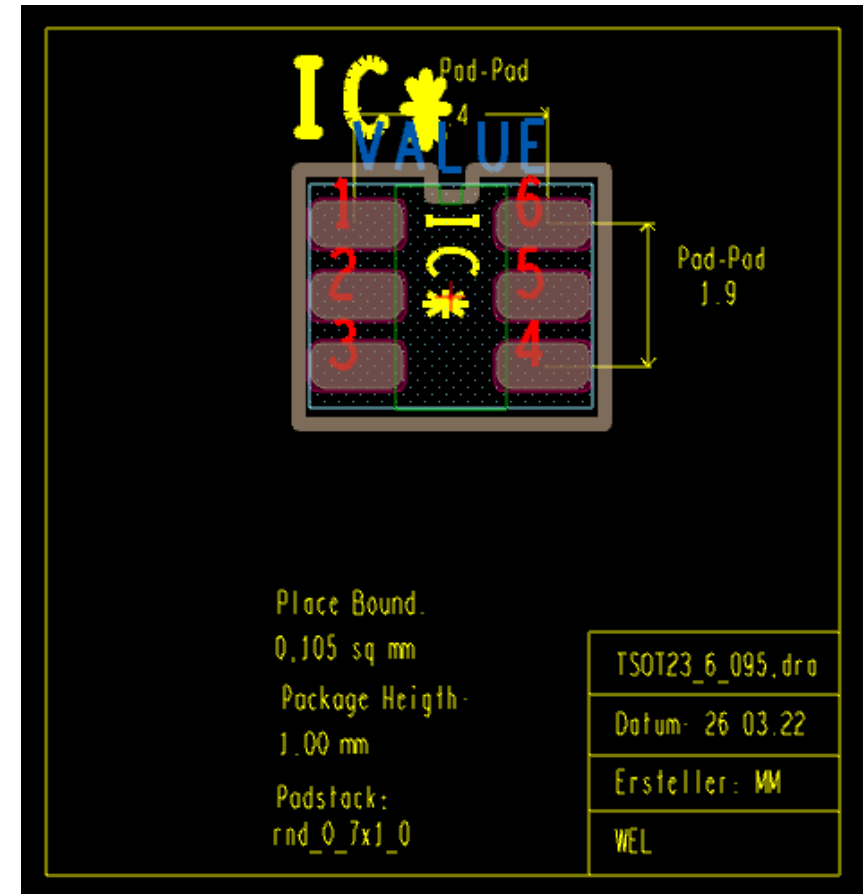
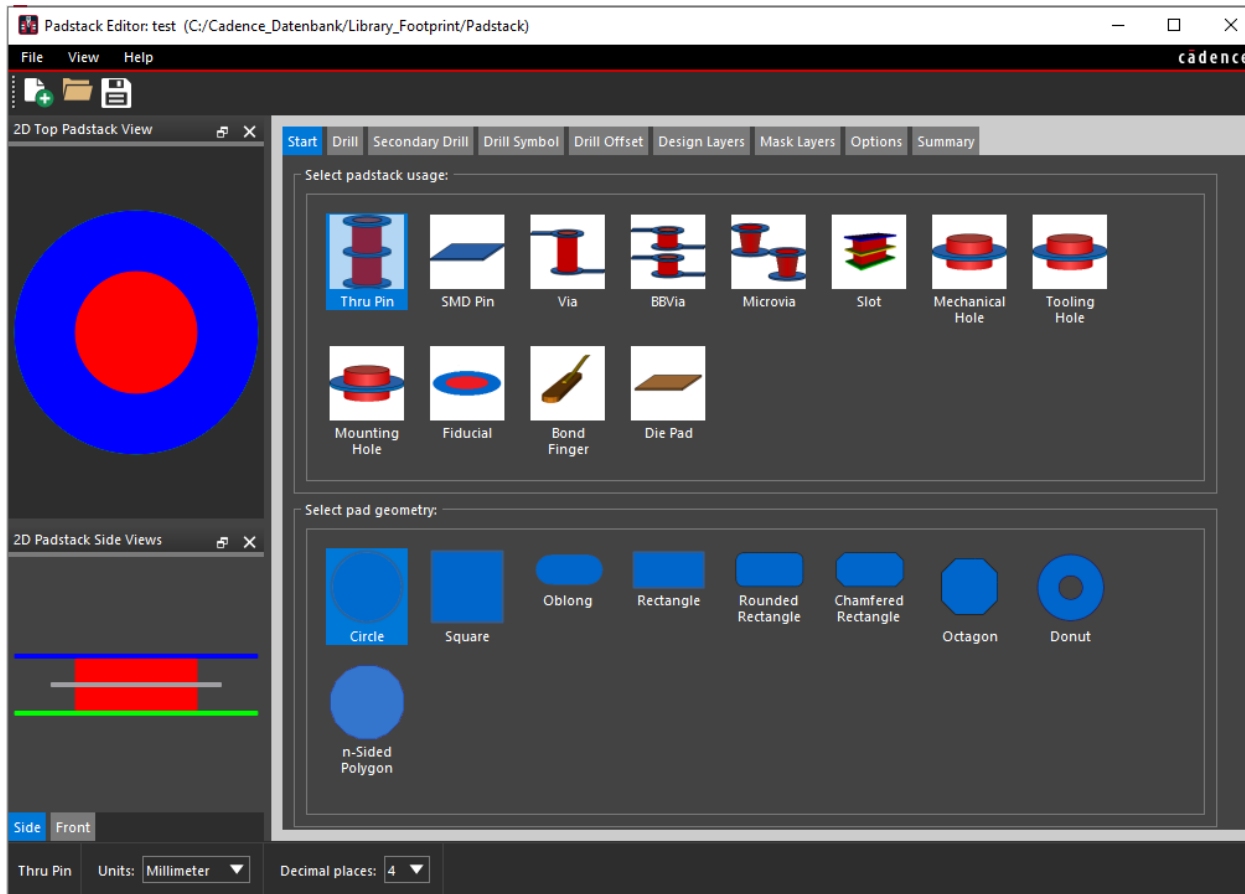
- Z.B. nach IPC-7351, nach dynamischen Parametern oder nach Produkthanforderungen



# FERTIGUNGSOPTIMIERTE LAYOUTERSTELLUNG

## Bauteile-/Bibliotheksanlage

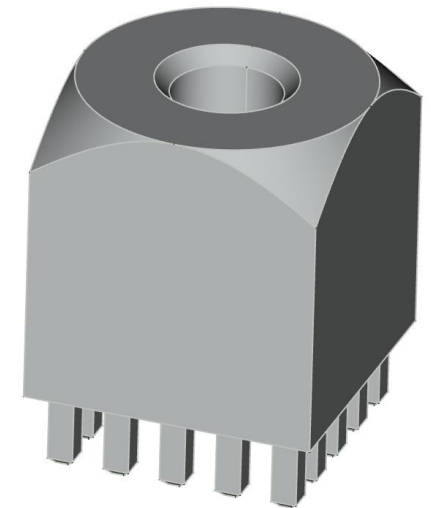
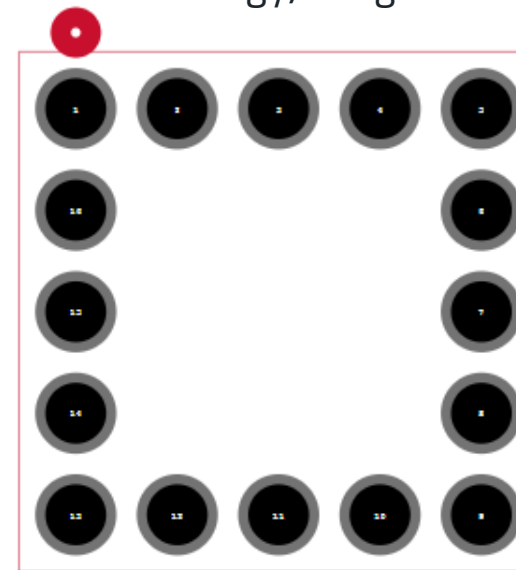
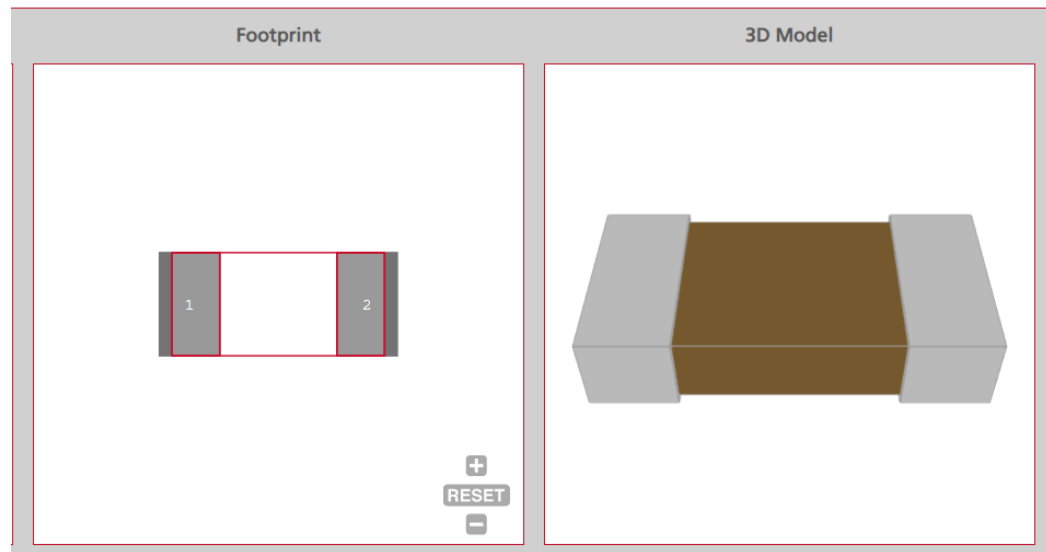
- Erstellung von Footprints und 3D-Modellen für unterschiedliche EDA-Tools



# FERTIGUNGSOPTIMIERTE LAYOUTERSTELLUNG

## Bauteile-/Bibliotheksanlage

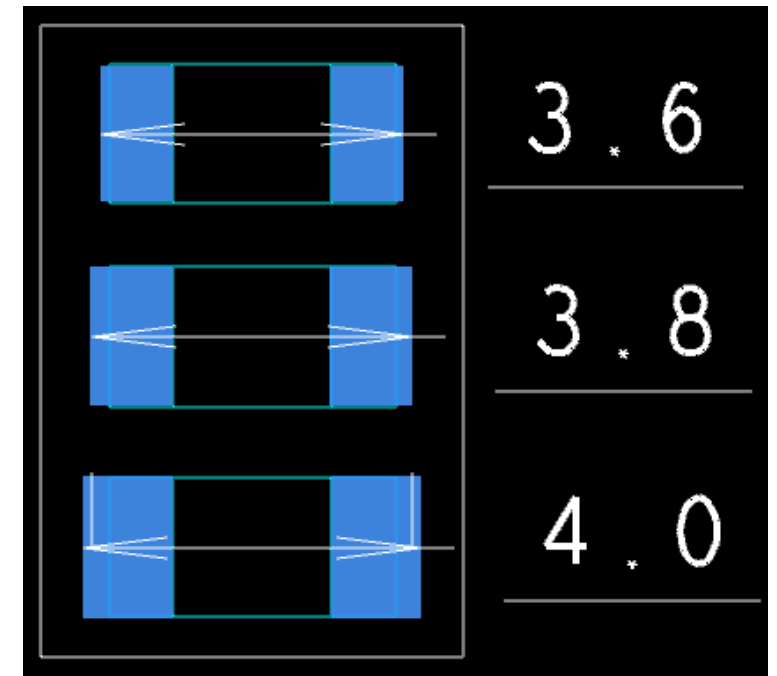
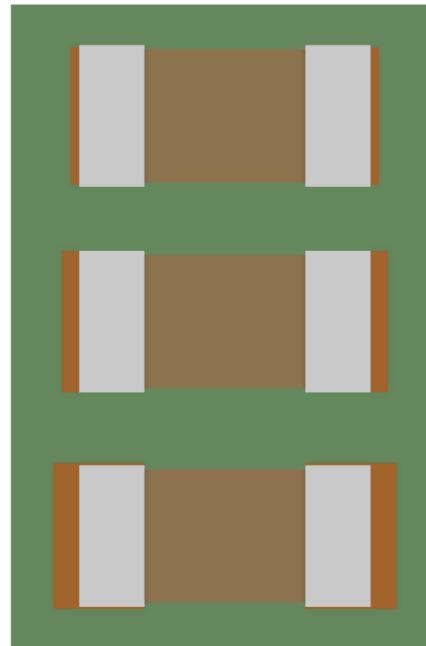
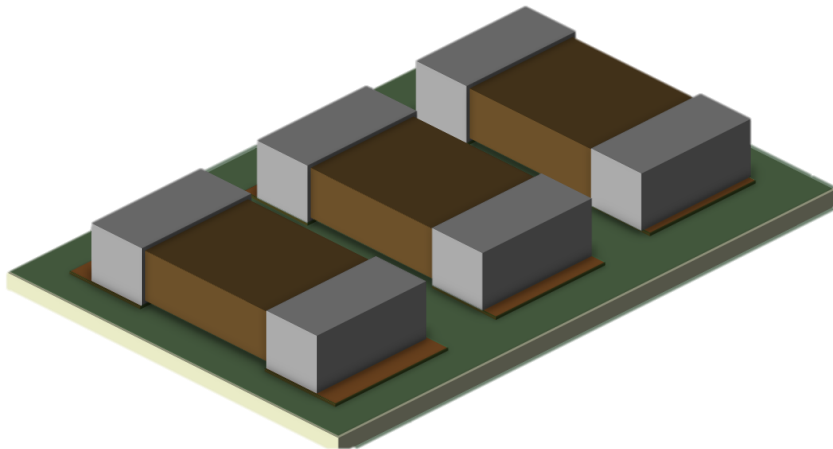
- Der Footprint eines Bauteils ist die Landefläche/Lötfläche für elektronische und elektromechanische Komponenten im Layout. An diesen Stellen werden die Pins der Bauteile meist elektrisch oder auch thermisch leitfähig mit der Leiterplatte verlötet, seltener auch geklebt.
- Ein Footprint besteht gewöhnlich aus mindestens einem Anschluss, kann aber auch schnell komplexere Gestalt annehmen. Dann ist der Aufwand der Erstellung deutlich höher.
- Die Kontaktierungsbereiche sind im Bereich von Kleinsignalen oftmals als SMD-Pads (Surface Mount Technology) bei Leistungselektronik häufig noch als THT-Anschlüsse (Through Hole Technology) ausgeführt.



# FERTIGUNGSOPTIMIERTE LAYOUTERSTELLUNG

## Bauteile-/Bibliotheksanlage

- Je nach Art und Einsatzbereich des Bauteils, also Form und Anzahl der Anschlüsse, benötigte Löttechnologie, thermische Leistungsfähigkeit, Stromtragfähigkeit oder auch Umweltbedingungen usw. können Footprints für das gleiche Bauteile unterschiedlich gestaltet sein.
- Am Beispiel von SMD-Kondensatoren erkennt man den Anforderungen entsprechend unterschiedlich gestaltete Landeflächen, die wiederum unterschiedliche Flächenbedarfe im Design erzeugen. (Least – Normal – Most)



# FERTIGUNGSOPTIMIERTE LAYOUTERSTELLUNG

## Spezifischer Footprint je Löttechnologie

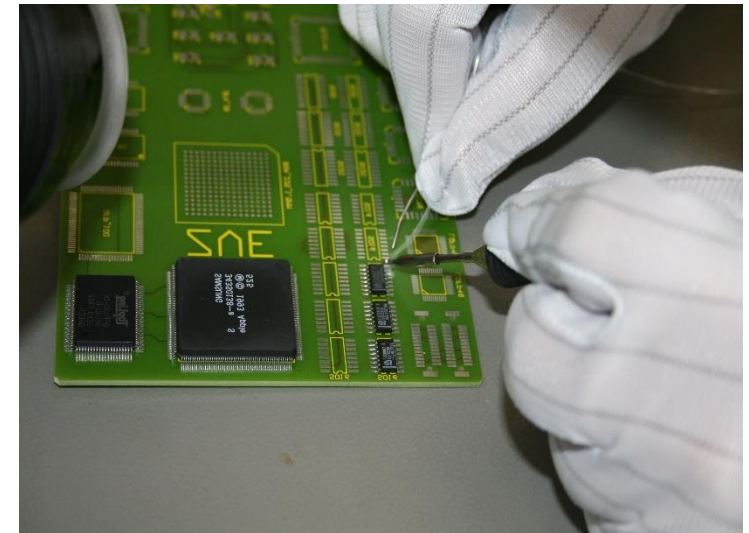
- Die Voraussetzung zur Erstellung eines Footprints ist neben der Technologie die Kenntnis über den späteren Einsatzbereich der Komponente, oder auch eventuelle normative Anforderungen.
- Wird die Baugruppe ausschließlich automatisch Reflow/Dampfphase oder Welle gelötet? Wird selektiv, manuell oder zu einem späteren Zeitpunkt vielleicht auch reparaturgelötet?
- Diese Informationen können einen erheblichen Einfluss auf die Geometrie der Padstacks, aus denen ein jeder Footprint besteht, haben.



<https://www.asscon.de/>



<https://www.kurtzesa.de/>

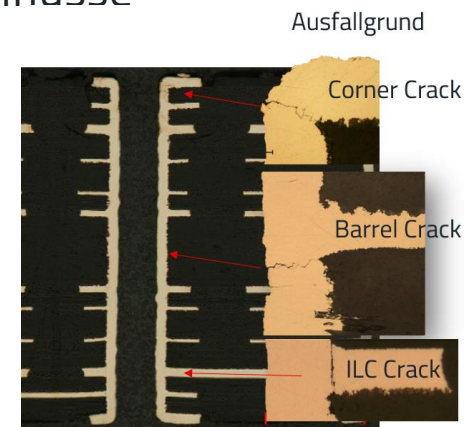
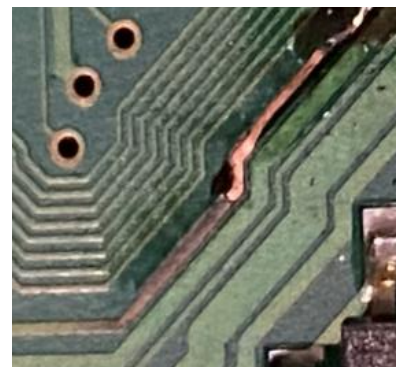
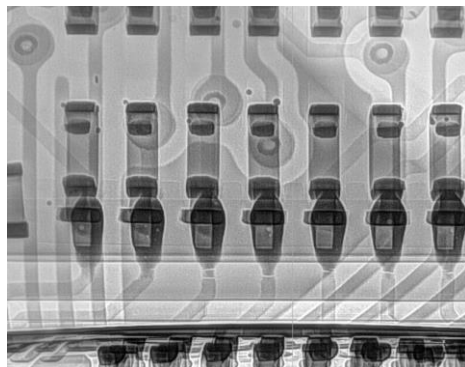
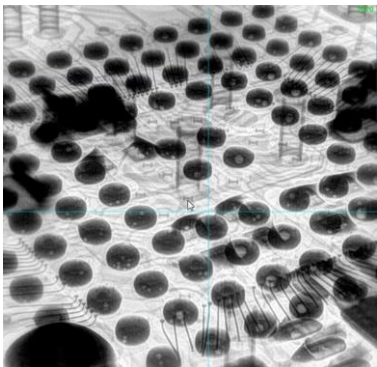


<https://www.academy.fraunhofer.de/>

# FEHLERMECHANISMEN

Reduzierung der Zuverlässigkeit aus Fehlermechanismen der Elektronikentwicklung, –produktion sowie des Einsatzumfeldes

- Ermüdung der Lötstelle durch Temperaturwechsel, Vibrationen und mechanischen Schock
- Ermüdung der Vias auf Leiterplatten durch Temperaturwechsel und elektrischer Überbelastung
- Überlastung von Leiterbahnen durch Falschdimensionierung
- Alterung und Verschleiß von Komponenten durch Elektromigration und weitere Effekte
- Ermüdung elektromechanischer Komponenten durch äußere Einflüsse



# FEHLERMECHANISMEN

Schliffbild des Lotdurchstiegs eines Steckverbinders



- Die IPC-A-610 H definiert spezifische Akzeptanzkriterien für den Lotdurchstieg bei THT-Bauteilen. Je nach IPC-Klasse (1, 2 oder 3) wird der erforderliche Grad der Benetzung/Lotdurchstiegs (mind. 75 % vertikaler Durchstieg für Class 3) festgelegt, um eine zuverlässige, langlebige Lötverbindung zu gewährleisten.

# FEHLERMECHANISMEN

## Öffentlich gemachte Rückrufe vom KBA aus dem KFZ-Bereich (in Verbindung mit Elektronik)



Wir punkten mit Verkehrssicherheit!

KONTAKT DATENSCHUTZ HILFE

### Rückrufdatenbank

Rückrufe werden von Herstellern durchgeführt, um **Produktmängel** zu beseitigen.

Diese Produktmängel können zu **unterschiedlichen Gefährdungen** führen.

Damit **ernsthafte Gefahren** vollständig beseitigt werden, kann dem relevanten Fahrzeughersteller die Nutzung der Halteranschriften aus dem Zentralen Fahrzeugregister (ZFZR) des Kraftfahrt-Bundesamtes auferlegt werden.

Bei weniger schweren, aber dennoch **erheblichen Mängeln für die Verkehrssicherheit und Umwelt** kann ebenfalls die Bereitstellung von Halterdaten aus dem ZFZR erfolgen.

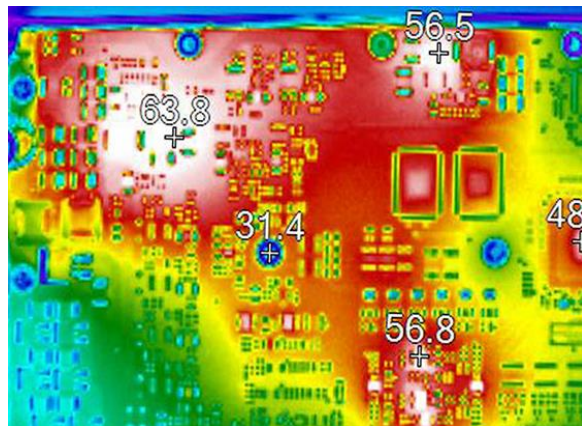
010453	Unter Umständen kann es dazu kommen, dass es in der Folge des Ausfalls einzelner elektrischer Bauteile zu <b>Brandentstehung</b> kommt.
003521	Durch Elektromigration auf der Leiterplatte für die Zusatzkühlmittelpumpe des Abgasturboladers kann es zum Ausfall der Zusatzkühlmittelpumpe und unter Umständen zu einem <b>Schmorbrand</b> kommen. Betroffen sind Fahrzeuge mit 8 und 12 Zylinder-Motoren.
004761	Fehler in Leiterplatten der Getriebe-Bedientasten kann dazu führen, dass das Automatikgetriebe in den Leerlauf schaltet, somit <b>geht der Antrieb verloren</b> .
006851	Nicht korrekt verschraubte Elektroanschlüsse können zum <b>Ausfall der Airbags und/oder des Motors</b> führen.

<https://www.kba-online.de/gpsg/auskunftlisteServlet>

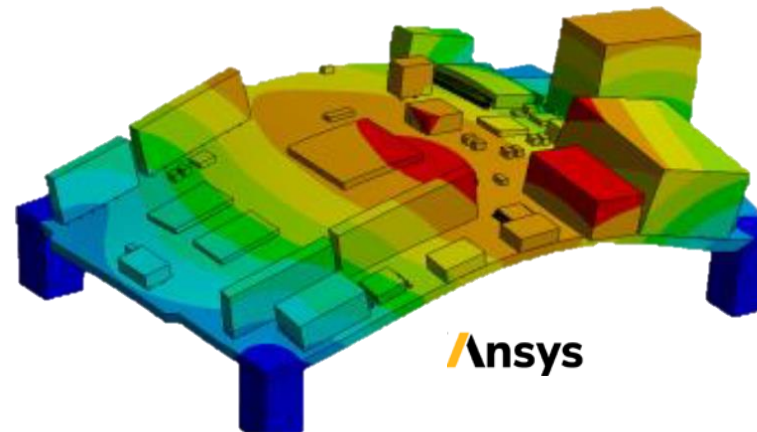
# FEHLERMECHANISMEN

## Fehlervermeidung durch Simulationen

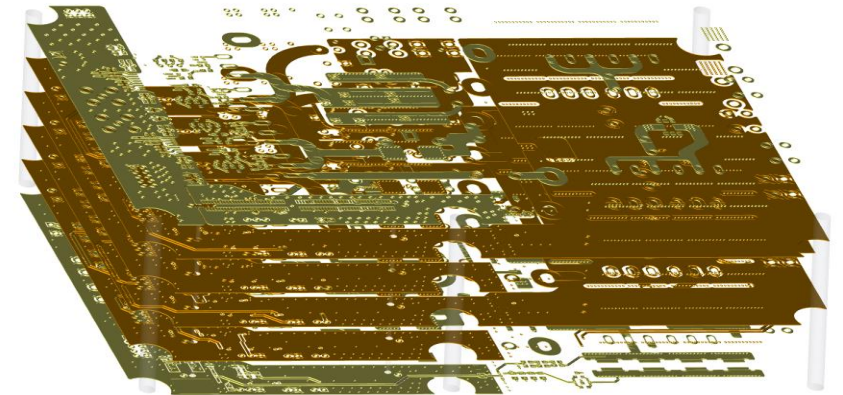
- Als Basis für Simulationen zur elektrischen Funktion aber auch der Vermeidung von Schäden im thermischen und auch mechanischen Bereich werden unterschiedlichste Parameter benötigt.
- Neben äußeren Einflüssen wie dem Einsatztemperaturbereich der Baugruppe, Vibrations- und Schockbelastung sowie chemische Eigenschaften, sind auch Materialparameter der Leiterplatte und der Komponenten essenziell, um eine robuste und zuverlässige Baugruppe zu entwickeln.
- Weitere Parameter, die sich negativ auf die Baugruppe auswirken, können aus dem Design selbst, also aus dem Lagenaufbau der Leiterplatte oder auch der Kupferverteilung in X- und Y-Richtung entstehen.



thermische Simulation/Messung



Vibrations- und Schocksimulation



Lagenaufbau und Kupferverteilung der Leiterplatte

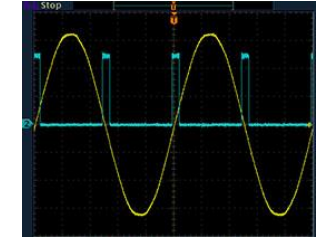
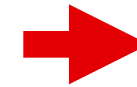
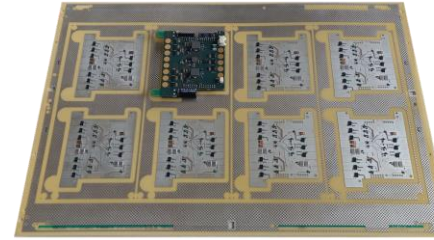
# FEHLERMECHANISMEN

## Beispiele von Tests für elektronische Baugruppen

- **E-Test**

Für E-Tests der Innenlagenbestückung müssen geeignete Teststrukturen geschaffen werden. Diese müssen vor dem weiteren Verpressen zugänglich sein

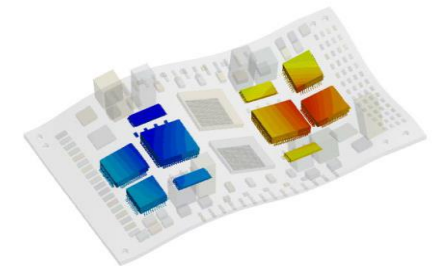
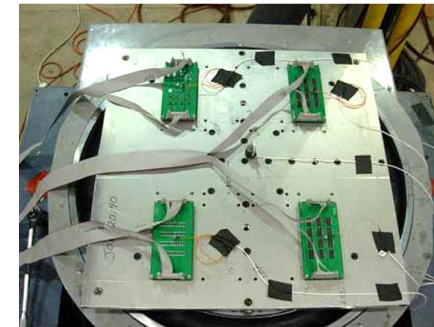
...



- **Schwingungsbelastung**

z.B. Prüfungen von Vibration, Schwingungen oder Schock nach IEC 60068-2-x oder DIN EN

...



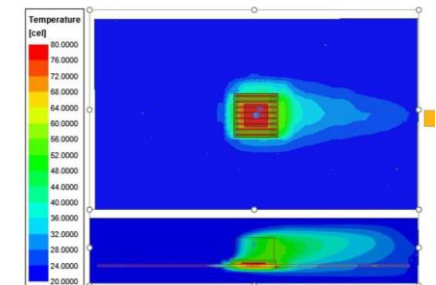
- **HAST Test**

Standard: JEDEC-22 (A110C/A118)

Temperatur: 130°C, Luftfeuchte: 85%(rh)

Test mit od. ohne Spannung möglich

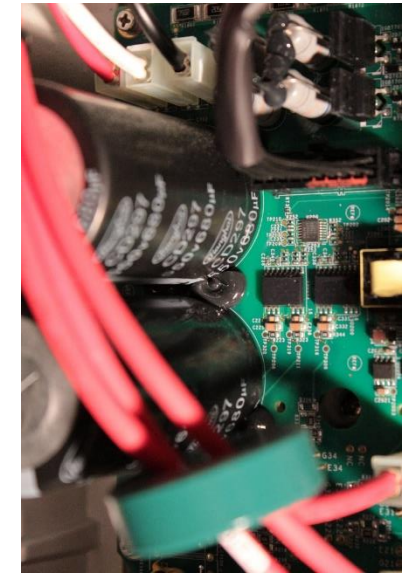
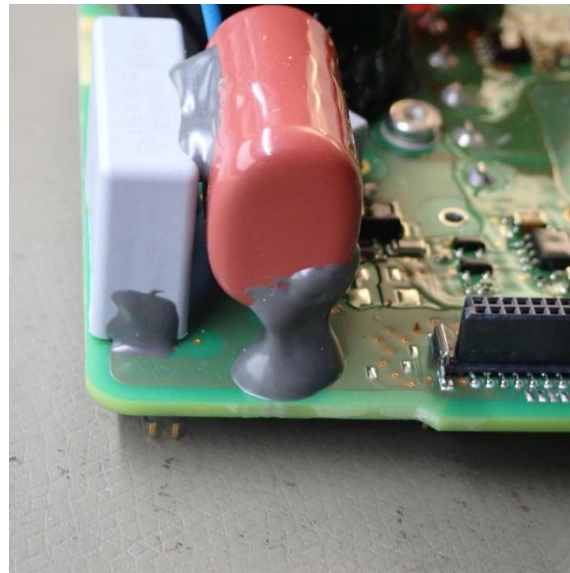
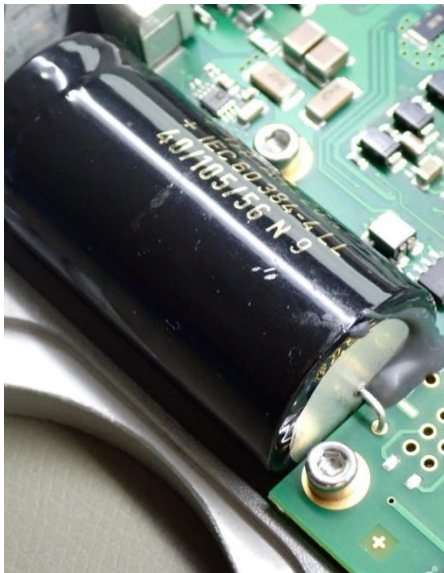
...



# FEHLERMECHANISMEN

## Bestueckung der Baugruppe (Kleben)

- Zur dauerhaften mechanischen Entlastung der Baugruppen können schwere Komponenten verschraubt, geklemmt oder auch verklebt werden. Dies kann bereits vor oder auch nach dem Lötprozess erfolgen.
- Soll der Klebeprozess zum Einsatz kommen ist darauf zu achten, dass
  - der Kleber mit der Oberfläche der Baugruppe kompatibel ist
  - das Design so ausgelegt ist, dass ausreichend Fläche für das Aufbringen der benötigten Klebermenge vorhanden ist
  - der Wärmeausdehnungskoeffizient (CTE) zu den Bauteilen passt



# HANDLÖTUNGEN UND MÖGLICHE GEFAHREN

## Padlifting

- Das Schädigungspotential an der Leiterplatte durch manuelle Lötwärmebelastung wurde für den THT-Lötprozess stellvertretend an Durchkontaktierungen des Komponententyps Stiftleiste (SLY24Z) untersucht.
- Bei dem Laminatmaterial LP-Variante 1 und 2 (2lagig, Tg135, Dicy gehärtet) ist bei einer Lötwärmebelastung von 350°C Lötspitzentemperatur nach 10s Sekunden ein Padlifting und ein Harzrückzug sichtbar. Dies verstärkt sich nach 20s Belastung

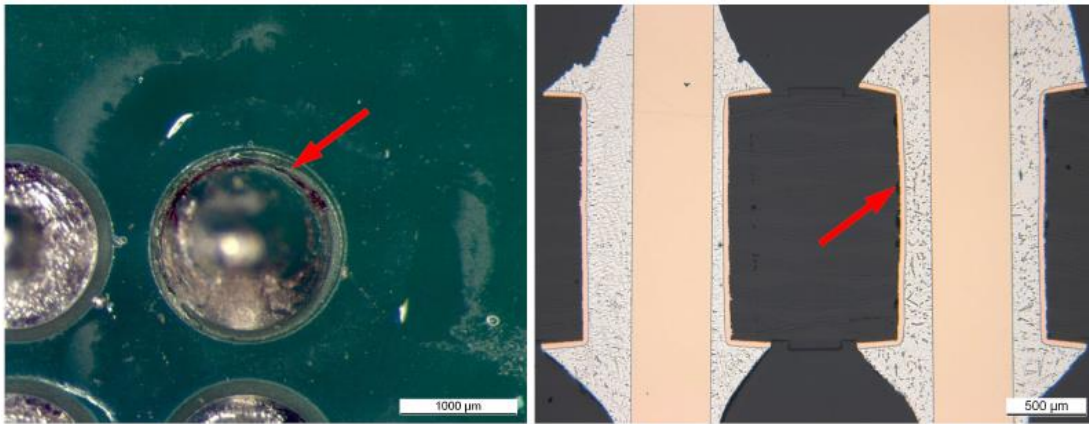


Bild 16a: 2-2I-7, SLY24Z 1

Bild 16b: Pin links unbelastet, Pin rechts  
Lötbelastung 350°C, 10s

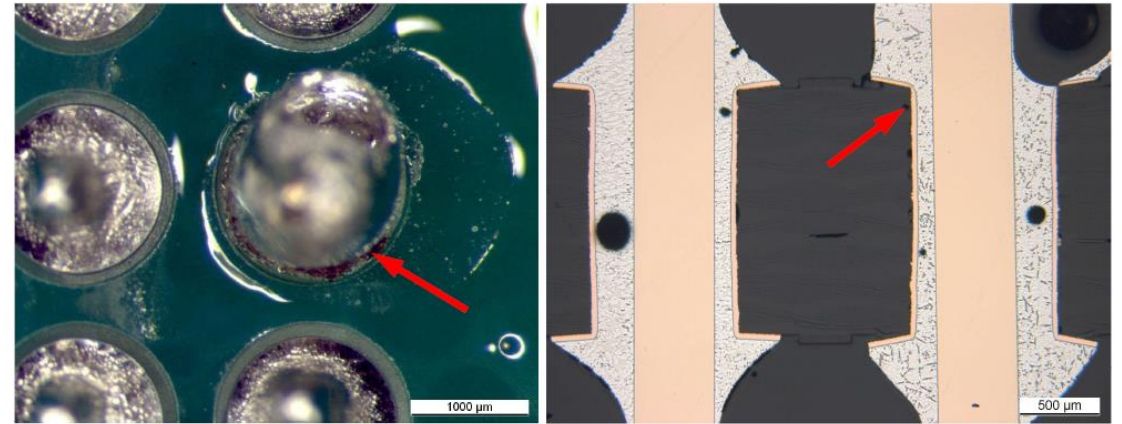


Bild 17a: 2-2I-7, SLY24Z 1

Bild 17b: Pin links unbelastet, Pin rechts  
Lötbelastung 350°C, 20s

Quelle: Schlussbericht des Fraunhofer Institut für Siliziumforschung ISIT zum AIF geförderten Forschungsvorhaben 155.535N Lötwärmebeständigkeit und Zuverlässigkeit neuer Konstruktionen im manuellen Reparaturprozess bleifreier elektronischer Baugruppen

# HANDLÖTUNGEN UND MÖGLICHE GEFAHREN

## Padlifting

- und führt nach 40s Belastung zu einem Schmelzen des Epoxidharzes. Die Bilder 16 – 18 zeigen optische und

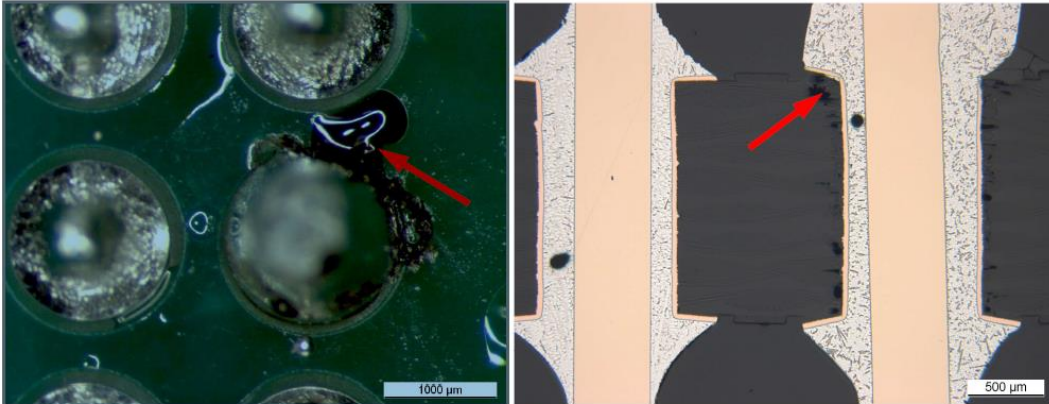


Bild 18a: 2-2I-7, SLY24Z 1

Bild 18b: Pin links unbelastet, Pin rechts  
Lötbelastung 350°C, 40s

Quelle: Schlussbericht des Fraunhofer Institut für Siliziumforschung ISIT zum AIF geförderten Forschungsvorhaben 155.535N Lötwärmebeständigkeit und Zuverlässigkeit neuer Konstruktionen im manuellen Reparaturprozess bleifreier elektronischer Baugruppen

# HANDLÖTUNGEN UND MÖGLICHE GEFAHREN

## Padlifting

- Abhängig vom Basismaterial ist bereits bei geringen Kräften eine deutliche mechanische Schädigung durch den manuellen Lötprozess möglich. Dies geschieht, da oftmals die Lötspitze beim Lötprozess auf das Leiterplattenpad gedrückt wird. So soll eine möglichst gute Wärmebrücke hergestellt werden. Dies ist allerdings der falsche Ansatz. Die gute Wärmebrücke wird über das flüssige Lot oder ggf. das Flussmittel hergestellt. Die mechanische Einwirkung der Lötspitze führt dann insbesondere bei einem Laminat mit niedrigem Tg bereits bei Lötspitzentemperaturen von 350°C zu einer irreversiblen Verformung der Leiterplatte, Bilder 33-35. Das betrifft nicht nur das Leiterplattenpad sondern auch die darunter liegende Harzmatrix.

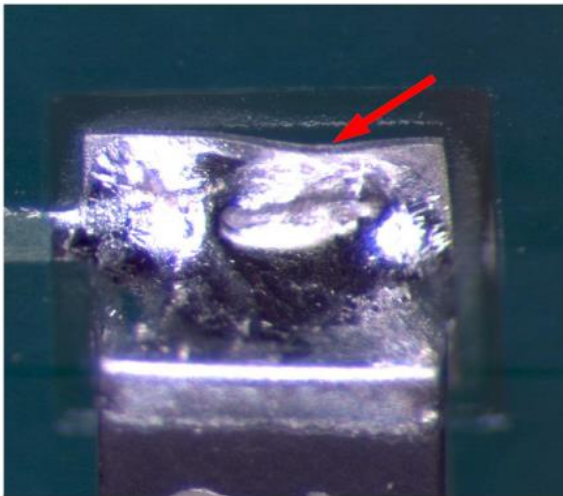


Bild 33:

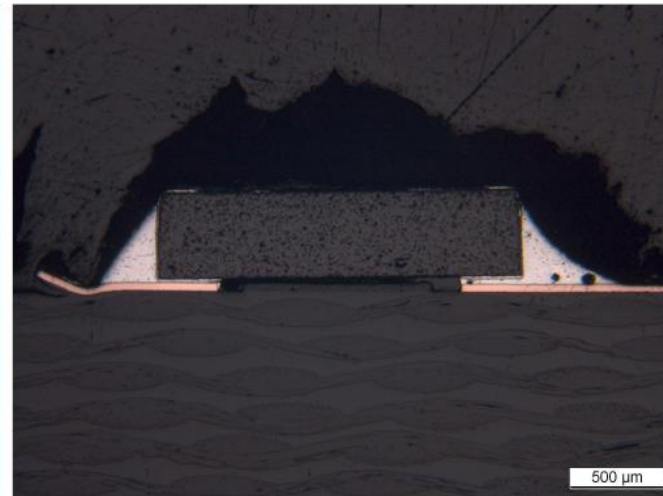


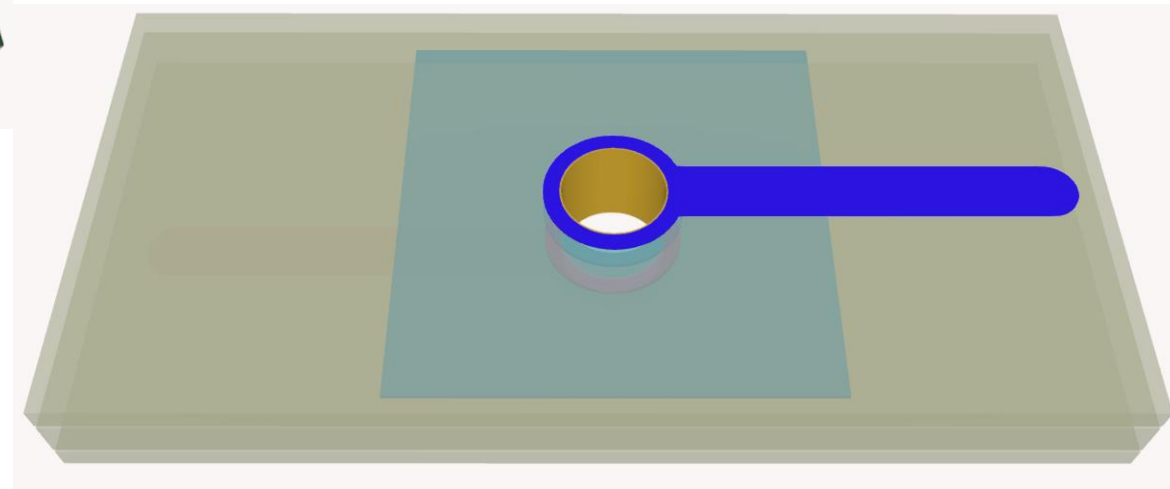
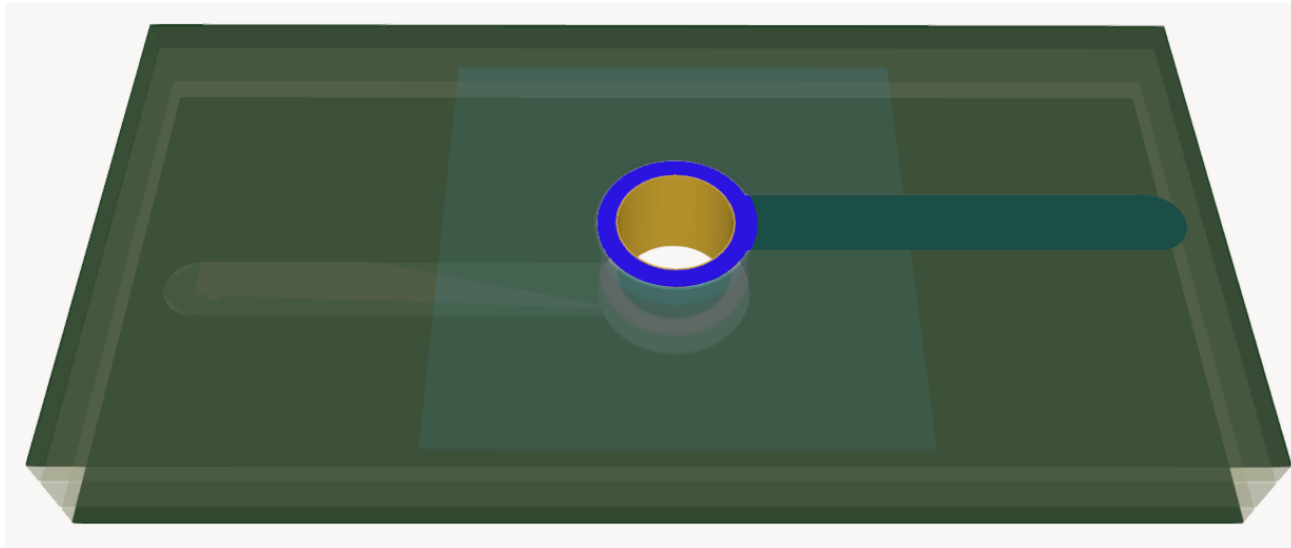
Bild 34:

2-2I-3, R0805, 350°C Lötspitzentemperatur, 3s

Quelle: Schlussbericht des Fraunhofer Institut für Siliziumforschung ISIT zum AIF geförderten Forschungsvorhaben 155.535N Lötwärmebeständigkeit und Zuverlässigkeit neuer Konstruktionen im manuellen Reparaturprozess bleifreier elektronischer Baugruppen

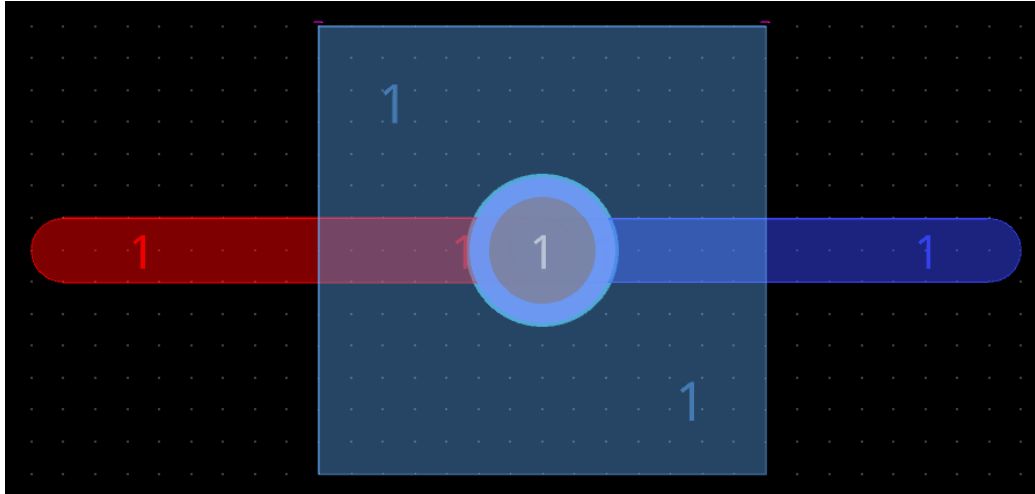
# HANDLÖTUNGEN UND MÖGLICHE GEFAHREN

Anschluss an Powerplanes

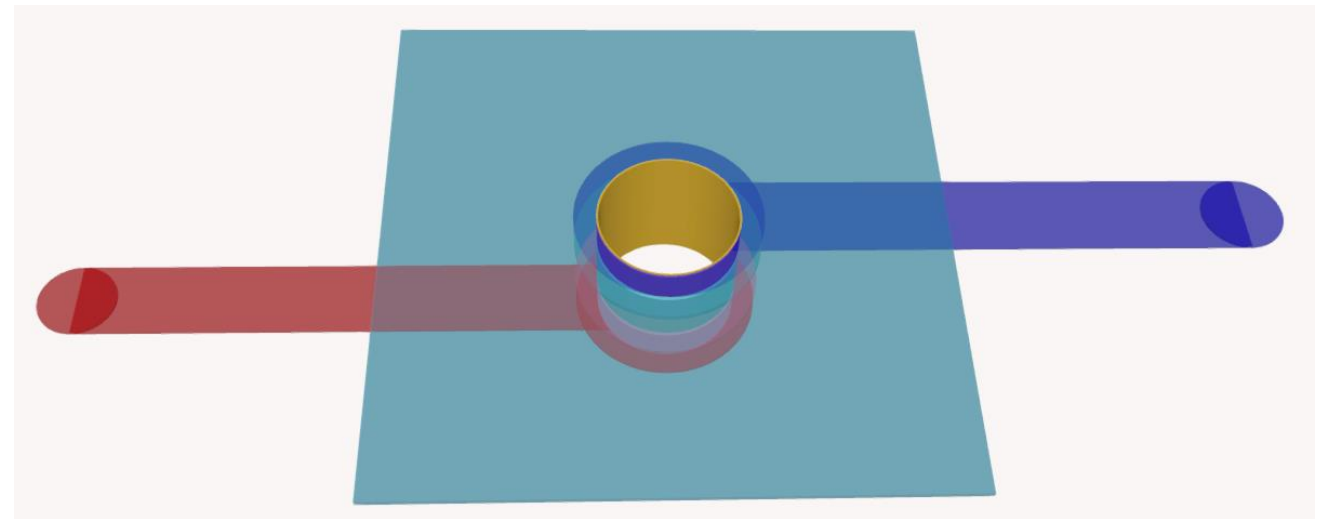


# HANDLÖTUNGEN UND MÖGLICHE GEFAHREN

## Anschluss an Powerplanes

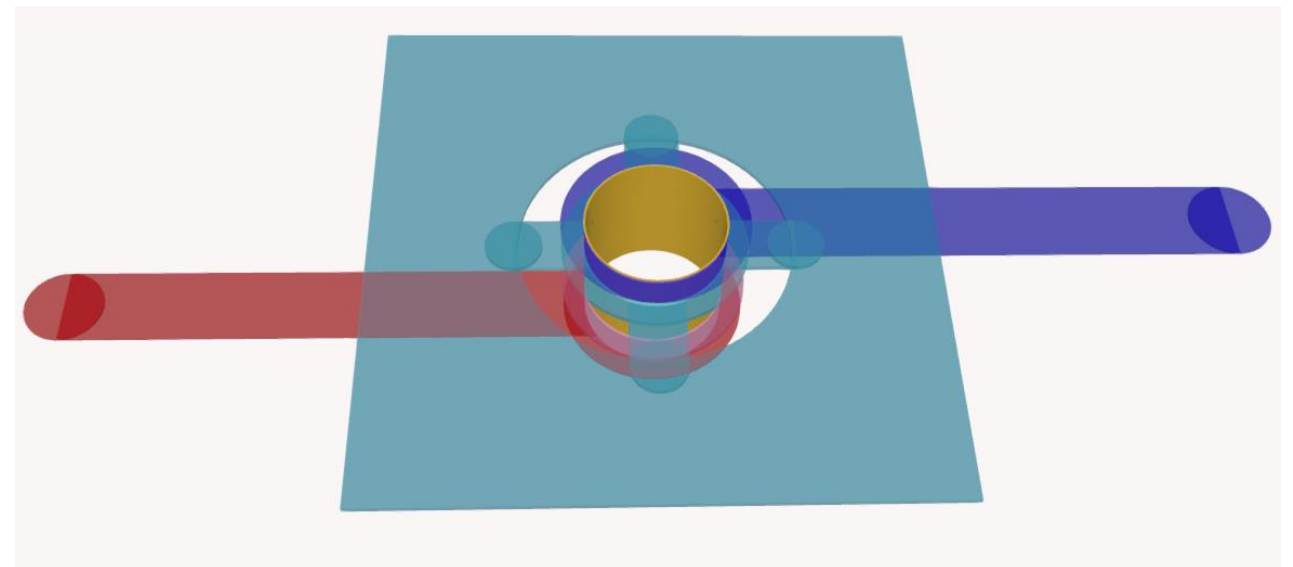
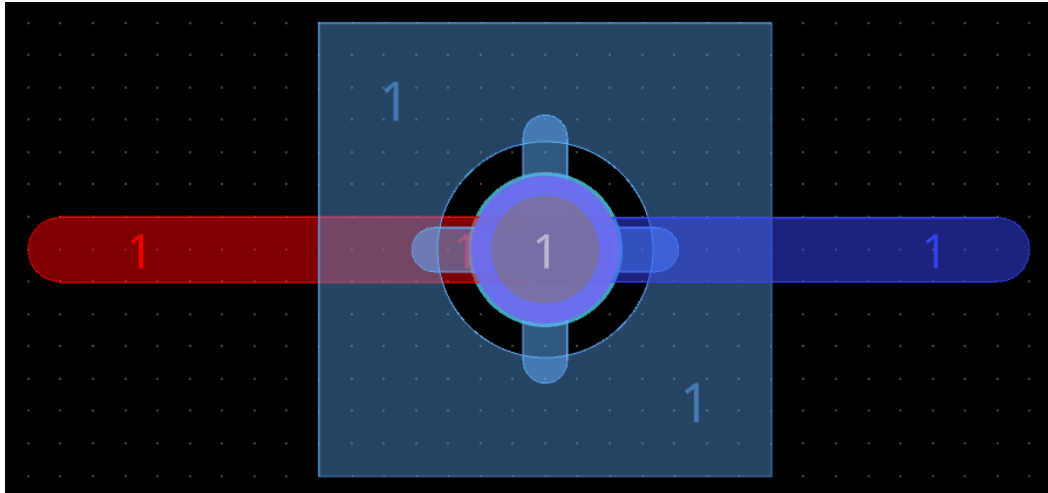


- Vollflächige Anbindung an Powerplane erfordert bei Hand-/ Reparatlötungen einen erhöhten Aufwand und Vorwärmung der Baugruppe.
- Die Gefahr der Beschädigung ist hier relativ hoch.



# HANDLÖTUNGEN UND MÖGLICHE GEFAHREN

## Anschluss an Powerplanes

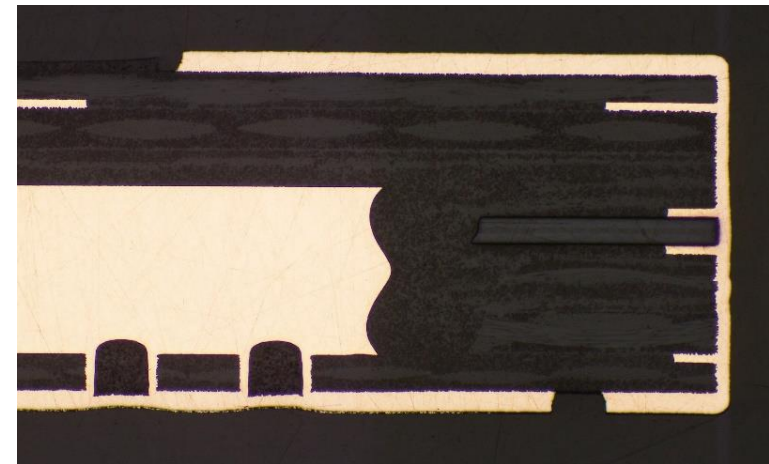


- Durch den Einsatz von Wärmefallen kann die thermische Belastung des Leiterplattenmaterials stark reduziert werden.

# SMARTE HOCHSTROM-MULTILAYER-LEITERPLATTEN

Hochstrom und Logik vereint!

- Geätzte Kupferprofile in nahezu jeglicher Form werden in Multilayer-Aufbauten eingebettet.
- Die Kupferprofile sind standardmäßig in folgenden Dicken erhältlich:
  - 300  $\mu\text{m}$
  - 500  $\mu\text{m}$
  - 800  $\mu\text{m}$
- Die Kontaktierung erfolgt mittels Micro Vias, mechanischen Sacklöchern oder PTH.
- Auf anderen Lagen können feinste Strukturen mit 18  $\mu\text{m}$  Kupfer realisiert werden.



# SMARTE HOCHSTROM-MULTILAYER-LEITERPLATTEN

## Grundbausteine im Lagenaufbau

- Sie haben die Wahl
- 2 x 300 µm

Material	Dicke in µm (kalt » verpresst)	Aufbau	Profildicke in µm
<b>Kupferfolie</b>	<b>35</b>	<b>1</b>	
FR4 Prepreg 1080 TG150	57	2	
FR4 Prepreg 1080 TG150	75 » 69	4	300
Füllkern ohne CU TG150	100	5	
FR4 Prepreg 1080 TG150	75 » 69	6	
FR4 Prepreg 1080 TG150	75 » 69	7	
FR4 Prepreg 1080 TG150	57	8	
FR4 Prepreg 1080 TG150	57	9	
FR4 Kern mit Blindlage beidseitig TG150	18/100/18	10	
FR4 Prepreg 1080 TG150	57	11	
FR4 Prepreg 1080 TG150	57	12	
FR4 Prepreg 1080 TG150	75 » 69	14	300
FR4 Prepreg 1080 TG150	75 » 69	15	
Füllkern ohne CU TG150	100	16	
FR4 Prepreg 1080 TG150	75 » 69	17	
FR4 Prepreg 1080 TG150	57	18	
<b>Kupferfolie</b>	<b>35</b>	<b>19</b>	

- 2 x 500 µm

Material	Dicke in µm (kalt » verpresst)	Aufbau	Profildicke in µm
<b>Kupferfolie</b>	<b>35</b>	<b>1</b>	
FR4 Prepreg 1080 TG150	57	2	
FR4 Prepreg 1080 TG150	75 » 69	4	500
FR4 Prepreg 1080 TG150	75 » 69	5	
FR4 Prepreg 1080 TG150	75 » 69	6	
FR4 Prepreg 1080 TG150	75 » 69	7	
Füllkern ohne CU TG150	100	7	
FR4 Prepreg 1080 TG150	75 » 69	8	
FR4 Prepreg 1080 TG150	75 » 69	9	
FR4 Prepreg 1080 TG150	75 » 69	10	
FR4 Prepreg 1080 TG150	57	11	
FR4 Prepreg 1080 TG150	57	12	
FR4 kern mit Blindlage beidseitig TG150	18/100/18	13	
FR4 Prepreg 1080 TG150	57	14	
FR4 Prepreg 1080 TG150	57	15	
FR4 Prepreg 1080 TG150	75 » 69	17	500
FR4 Prepreg 1080 TG150	75 » 69	18	
FR4 Prepreg 1080 TG150	75 » 69	19	
FR4 Prepreg 1080 TG150	75 » 69	20	
Füllkern ohne CU TG150	100	20	
FR4 Prepreg 1080 TG150	75 » 69	21	
FR4 Prepreg 1080 TG150	75 » 69	22	
FR4 Prepreg 1080 TG150	75 » 69	23	
FR4 Prepreg 1080 TG150	57	24	
<b>Kupferfolie</b>	<b>35</b>	<b>25</b>	

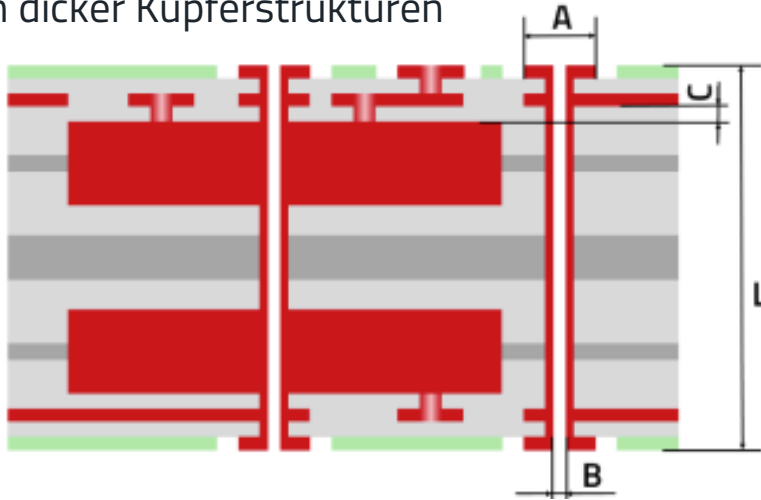
- 2 x 800 µm

Material	Dicke in µm (kalt » verpresst)	Aufbau	Profildicke in µm
<b>Kupferfolie</b>	<b>35</b>	<b>1</b>	
FR4 Prepreg 1080 TG150	57	2	
FR4 Prepreg 1080 TG150	75 » 69	4	800
FR4 Prepreg 1080 TG150	75 » 69	5	
FR4 Prepreg 1080 TG150	75 » 69	6	
FR4 Prepreg 1080 TG150	75 » 69	7	
Füllkern ohne CU TG150	200	8	
FR4 Prepreg 1080 TG150	75 » 69	9	
FR4 Prepreg 1080 TG150	75 » 69	10	
FR4 Prepreg 1080 TG150	75 » 69	11	
FR4 Prepreg 1080 TG150	75 » 69	12	
FR4 Prepreg 1080 TG150	57	13	
FR4 Prepreg 1080 TG150	57	14	
FR4 Kern mit Blindlage beidseitig TG150	18/100/18	15	
FR4 Prepreg 1080 TG150	57	16	
FR4 Prepreg 1080 TG150	57	17	
FR4 Prepreg 1080 TG150	75 » 69	19	800
FR4 Prepreg 1080 TG150	75 » 69	20	
FR4 Prepreg 1080 TG150	75 » 69	21	
FR4 Prepreg 1080 TG150	75 » 69	22	
Füllkern ohne CU TG150	200	23	
FR4 Prepreg 1080 TG150	75 » 69	24	
FR4 Prepreg 1080 TG150	75 » 69	25	
FR4 Prepreg 1080 TG150	75 » 69	26	
FR4 Prepreg 1080 TG150	75 » 69	27	
FR4 Prepreg 1080 TG150	57	28	
<b>Kupferfolie</b>	<b>35</b>	<b>29</b>	

Weitere Lagen darüber, dazwischen und/oder darunter sind möglich. Sprechen Sie uns an!

# HERSTELLUNG DER PCB

hohe Ströme / Leistungsdichte  
durch Integration dicker Kupferstrukturen



Kupferprofildicke 800 µm, embedding von 2 x 800 µm

Material	Dicke in µm (kalt- verpresst)	Aufbau	Profildicke in µm
Kupferfolie	35	1	
FR4 Prepreg 1080 TG150	57	2	
FR4 Prepreg 1080 TG150	75 » 69	4	800
FR4 Prepreg 1080 TG150	75 » 69	5	
FR4 Prepreg 1080 TG150	75 » 69	6	
FR4 Prepreg 1080 TG150	75 » 69	7	
FR4 Prepreg 1080 TG150	75 » 69	8	
FR4 Prepreg 1080 TG150	75 » 69	9	
FR4 Prepreg 1080 TG150	75 » 69	10	
FR4 Prepreg 1080 TG150	75 » 69	11	
FR4 Prepreg 1080 TG150	75 » 69	12	
FR4 Prepreg 1080 TG150	57	13	
FR4 Prepreg 1080 TG150	57	14	
FR4 Kern mit Blindlage beidseitig TG150	18/100/18	15	
FR4 Prepreg 1080 TG150	57	16	
FR4 Prepreg 1080 TG150	57	17	
FR4 Prepreg 1080 TG150	75 » 69	19	800
FR4 Prepreg 1080 TG150	75 » 69	20	
FR4 Prepreg 1080 TG150	75 » 69	21	
FR4 Prepreg 1080 TG150	75 » 69	22	
Füllkern ohne CU TG150	200	23	
FR4 Prepreg 1080 TG150	75 » 69	24	
FR4 Prepreg 1080 TG150	75 » 69	25	
FR4 Prepreg 1080 TG150	75 » 69	26	
FR4 Prepreg 1080 TG150	75 » 69	27	
FR4 Prepreg 1080 TG150	57	28	
Kupferfolie	35	29	

■ Ätzen der Einlegeteile



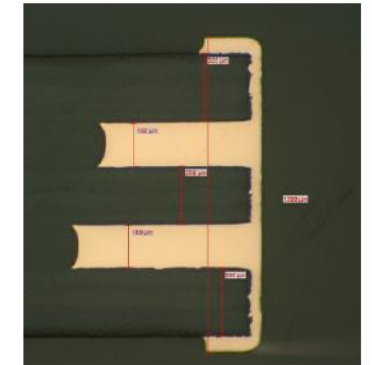
■ Austrennen



■ Verlegen



■ Verpressen



erhöhte Stabilität der Baugruppe durch den Einsatz massiver Kupfereinlegeteile

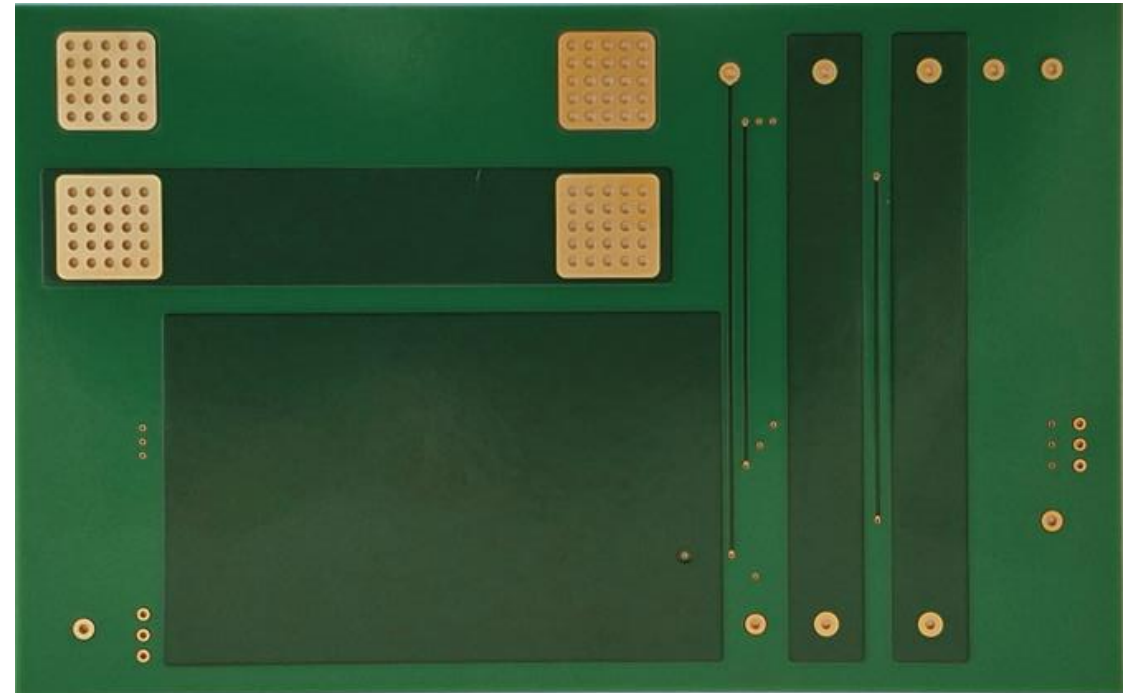
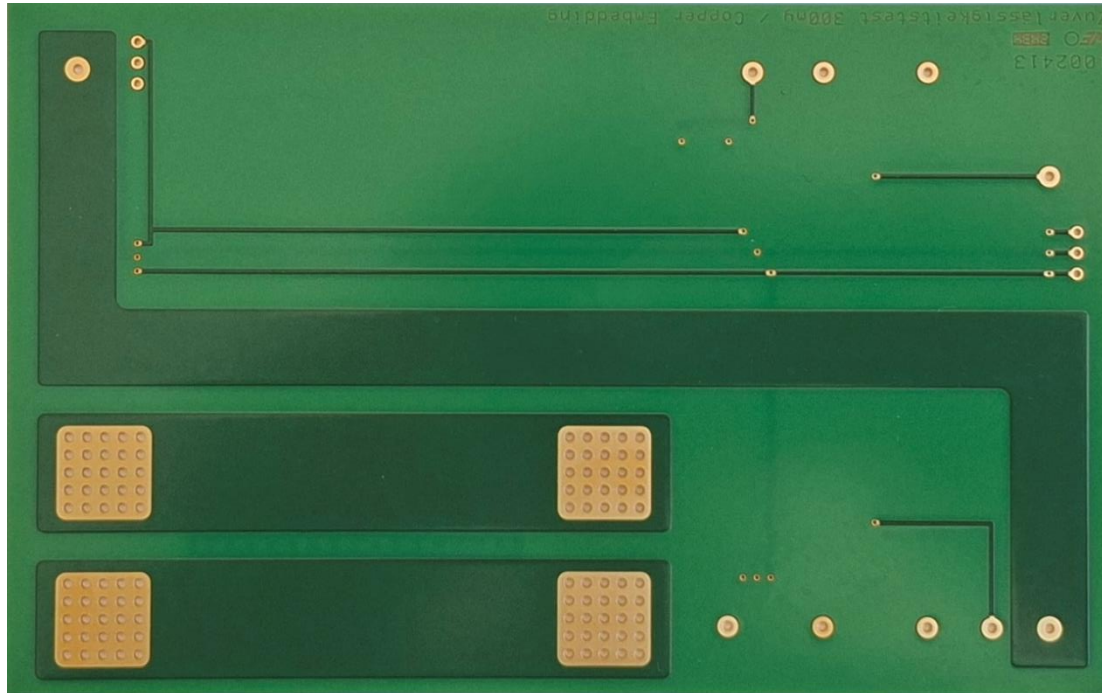
# KUNDENSPEZIFISCHER LAGENAUFBAU

hohe Ströme / Leistungsdichte  
durch Integration dicker Kupferstrukturen

PCB Thickness :		2,574 mm ±10%					
Multilayer Stackup	Profile Thickness [µm]	Material Thickness [µm]	Material description	COPPER.embedding		Flex Bereich	
Soldermask		15					
L1		40	*incl. Plating				
		55	1 x 1080				
L2 Thick copper profile	800	280	4 x 1080				
		250	Core				
		210	3 x 1080				
		250	Core				
		70	1 x 1080				
		110	2 x 1080				
L3	17	17					
	50	50	Polyimide				
L4	17	17					
L5 Thick copper profile	300	110	2 x 1080				
		70	1 x 1080				
		70	1 x 1080				
		100	Core				
		110	2 x 1080				
		110	2 x 1080				
	100	100	Core	PTFE 0,25mm			
L6 Thick copper profile	300	110	2 x 1080				
		110	2 x 1080				
		100	Core				
		110	2 x 1080				
	55	55	1 x 1080				
L7		40	*incl. Plating				
Solder mask		15					

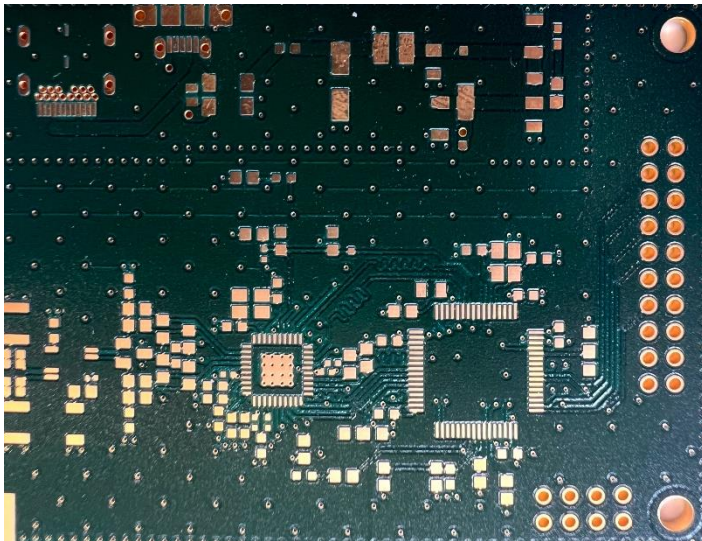
# HOCHSTROM IN UND AUF LEITERPLATTEN

hohe Ströme / Leistungsdichte  
durch Integration dicker Kupferstrukturen

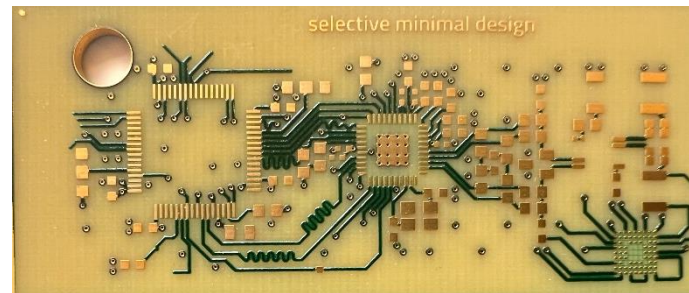


# ZUKUNFTSTECHNOLOGIE DIGITALEN LÖTSTOPPLACK

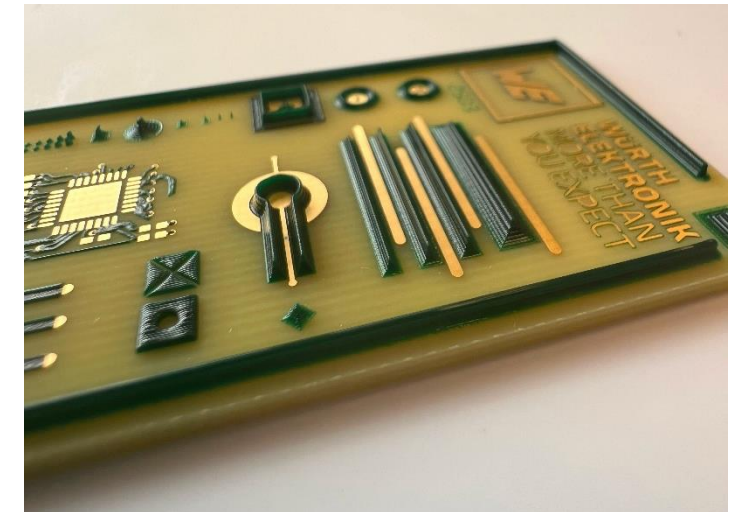
- s.mask Druckstrategien
- GWG (gedruckt wie gegossen)



- selective minimal design



- 3d



# ALLGEMEINES ZUM DIGITALEN LÖTSTOPPLACK

## Entscheidungskriterien

### Vorteile

- Höhere Isolationsspannung / Durchschlagsfestigkeit
- Additive Applikation (z.B. Kantenüberdeckung)
- Ökologischer, da auch nur selektiv auftragbar
- Mechanische Anwendungen möglich (Vergussrahmen, Abstandshalter, ...)
- Designelemente (Logo, Branding, Graubildruck)
- ...
- Messungen von HF-/Highspeedanwendungen in Arbeit

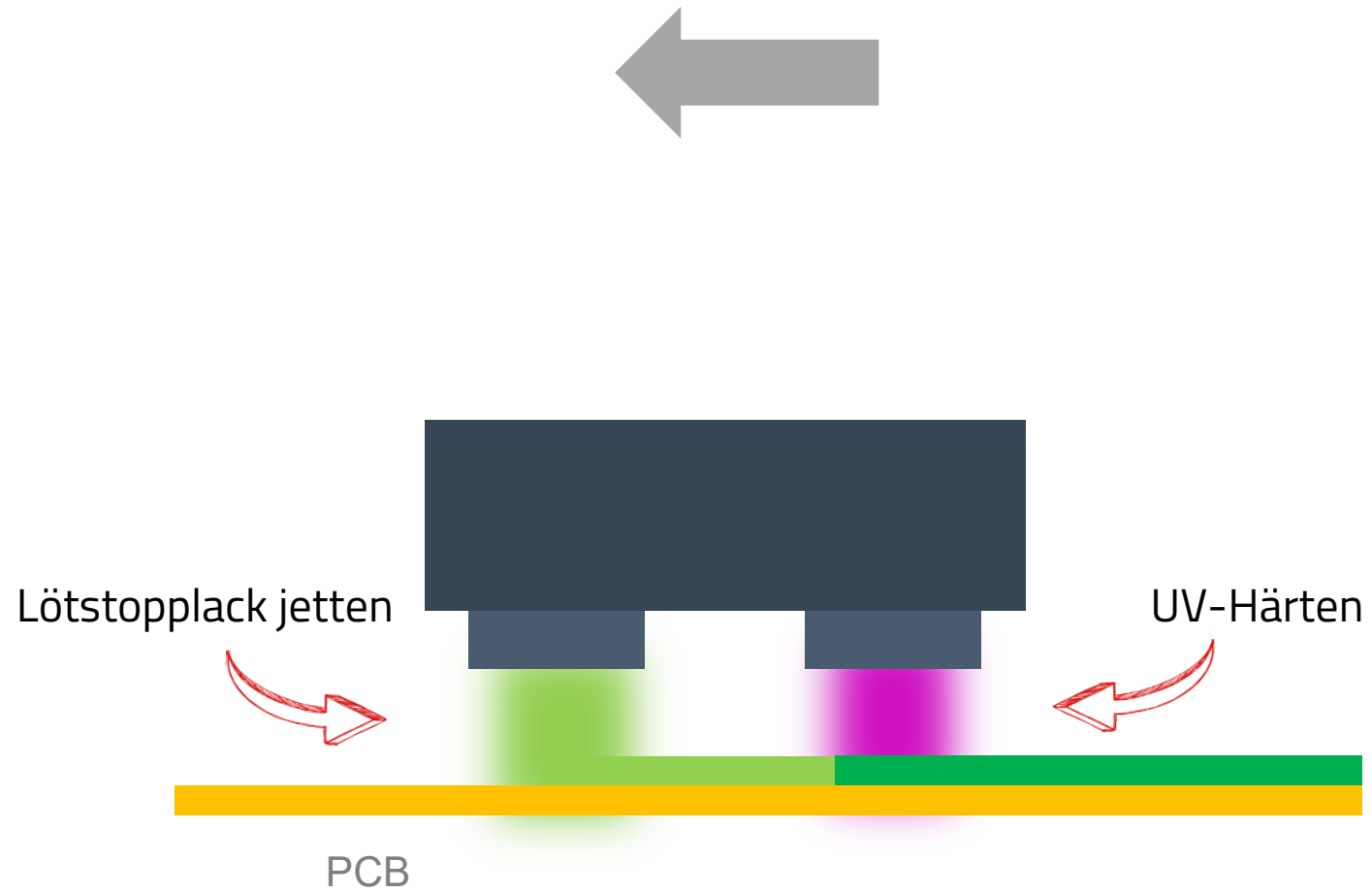
### Herausforderung bei 3D-Druck

- erhöhter Aufwand bei Konturfräsungen und 3D-Strukturen auf der Oberfläche
- 3D-Stufenschablone (Kavitäten auf Unterseite, um Erhöhungen aus Lack zu überdecken)



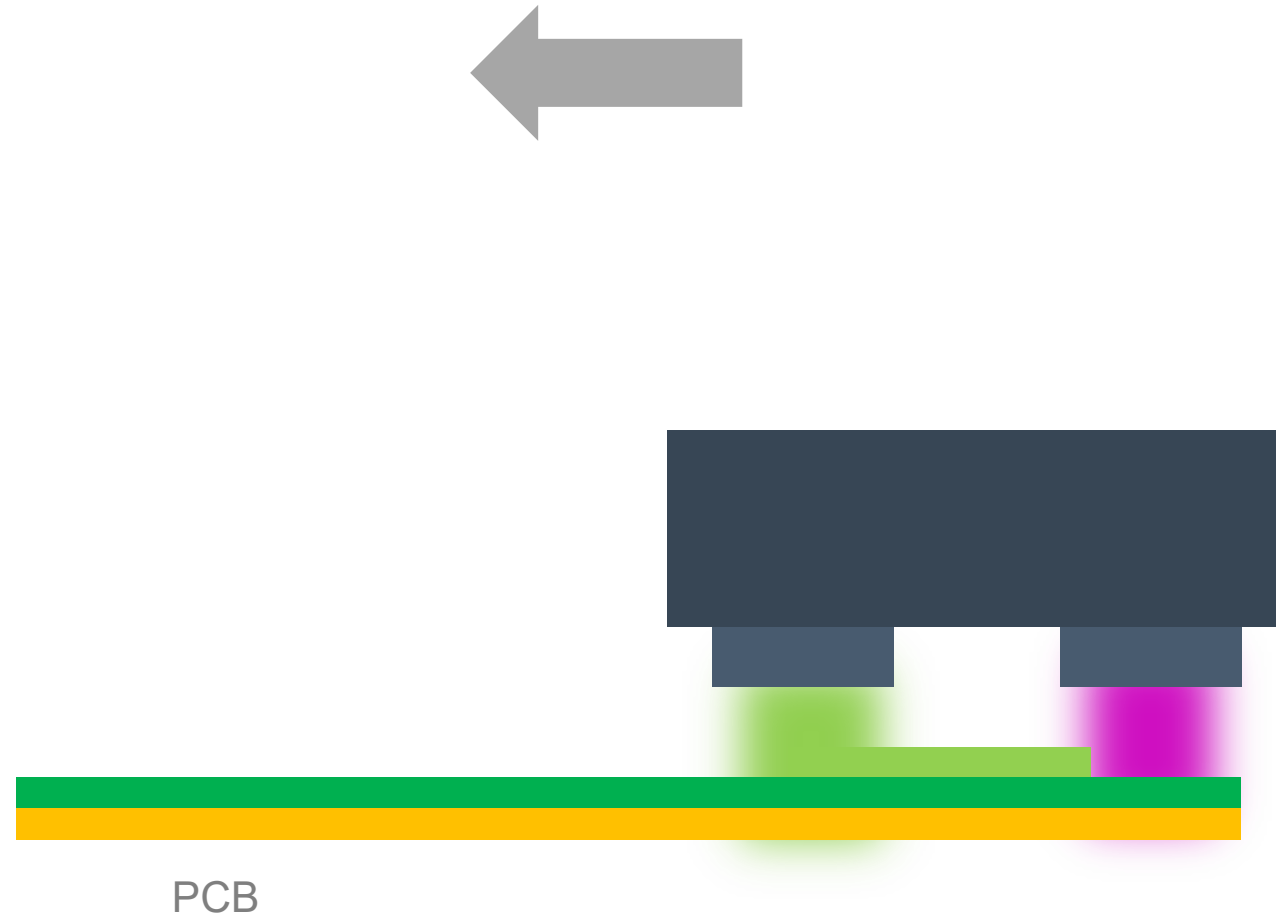
# ALLGEMEINES ZUM DIGITALEN LÖTSTOPPLACK

Druckprinzip



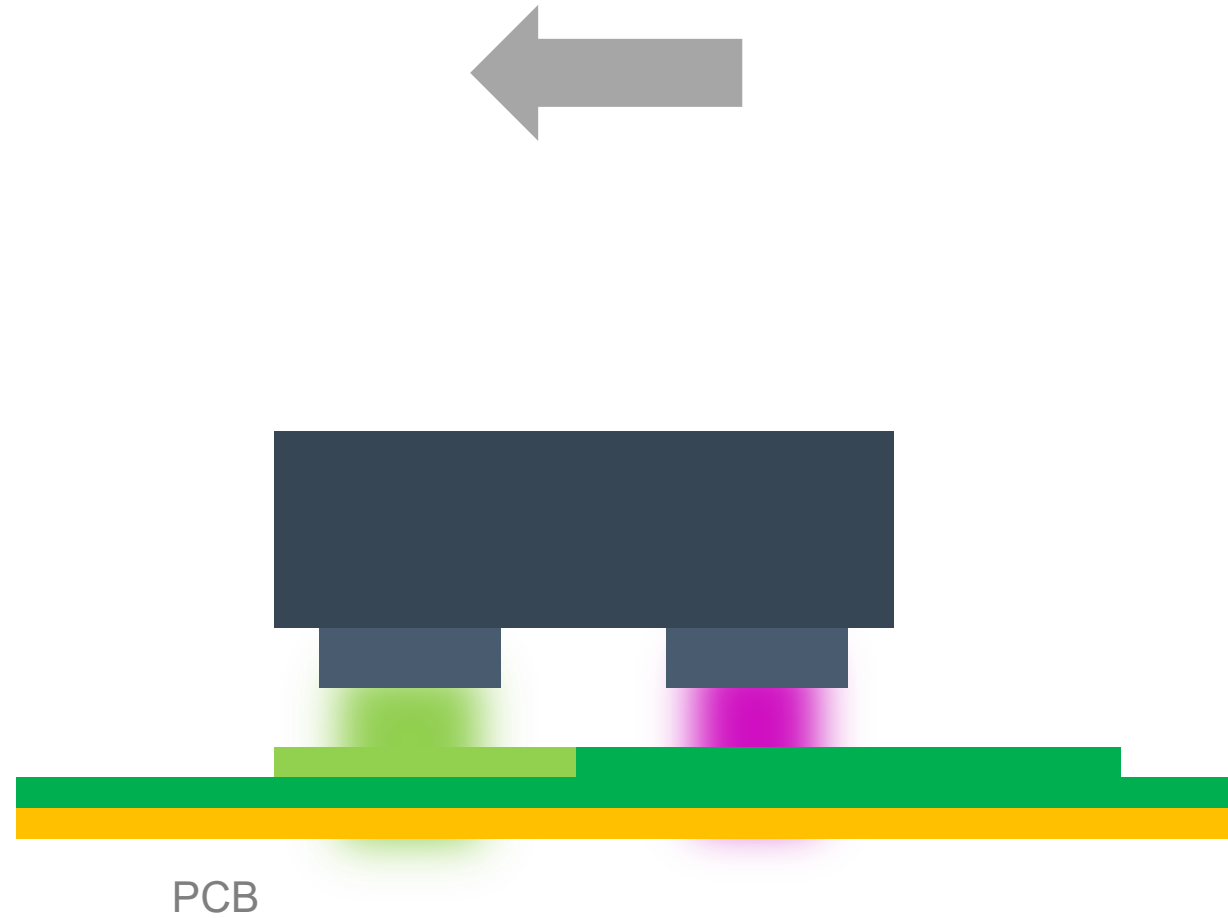
# ALLGEMEINES ZUM DIGITALEN LÖTSTOPPLACK

Druckprinzip



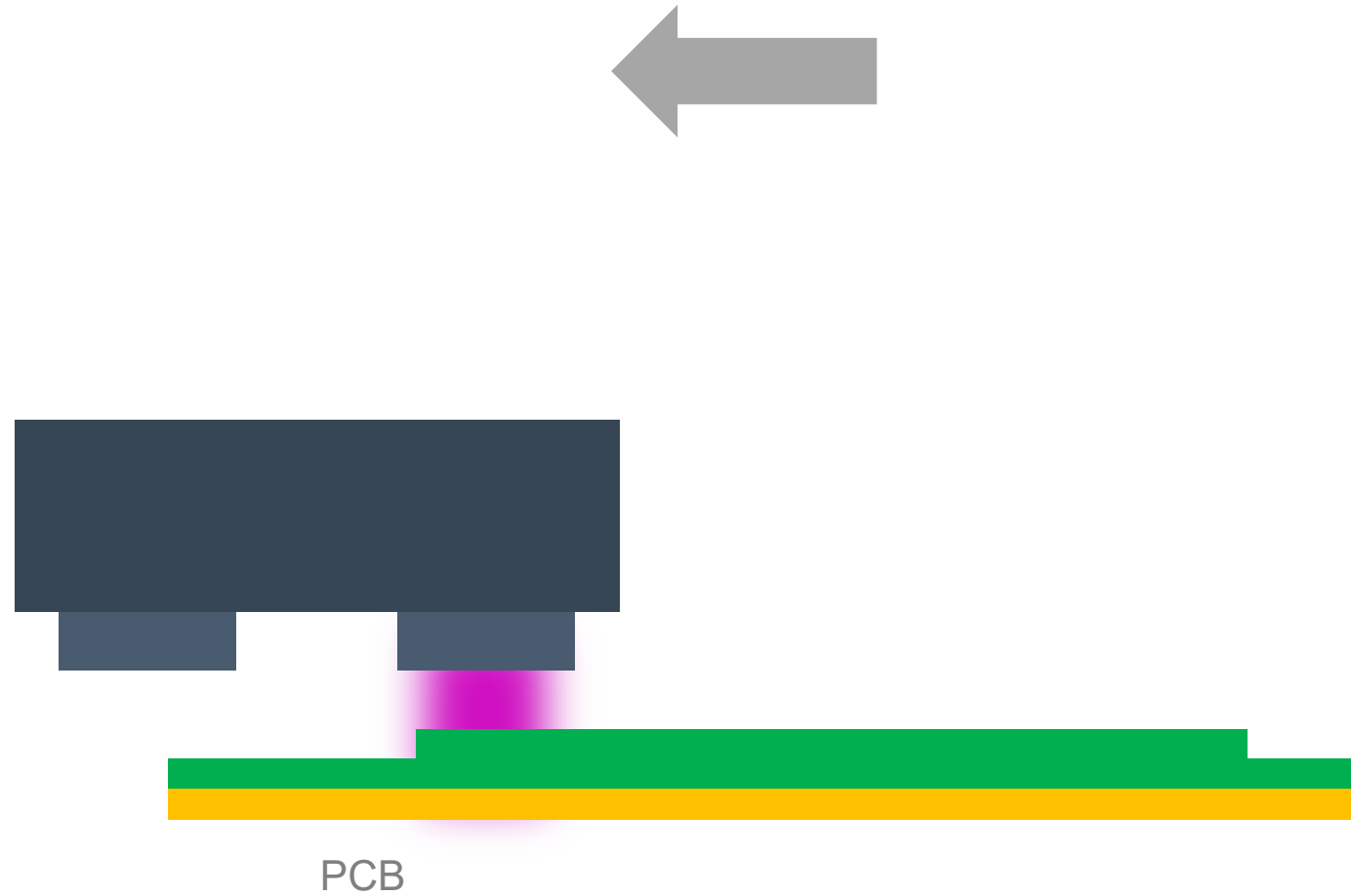
# ALLGEMEINES ZUM DIGITALEN LÖTSTOPPLACK

Druckprinzip



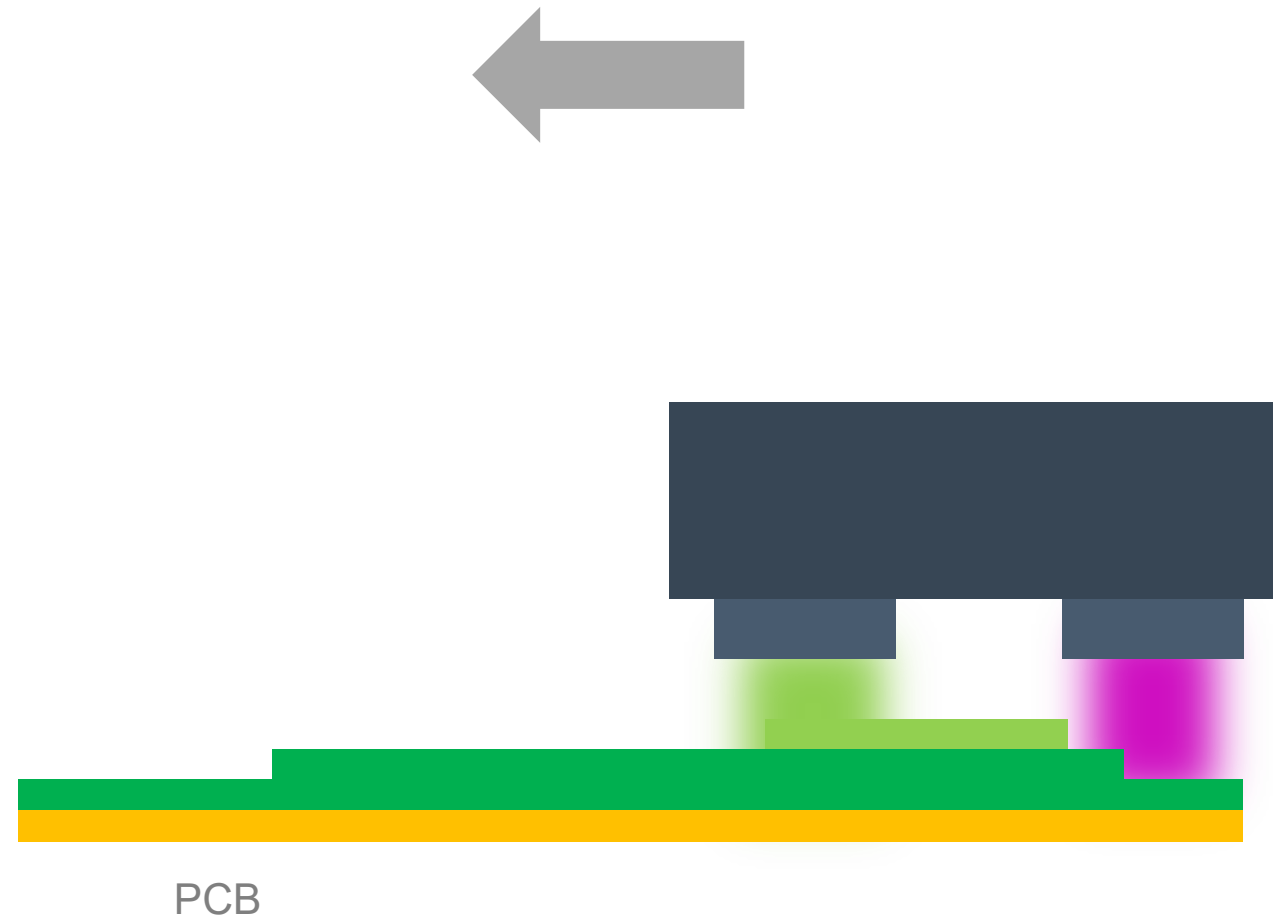
# ALLGEMEINES ZUM DIGITALEN LÖTSTOPPLACK

Druckprinzip



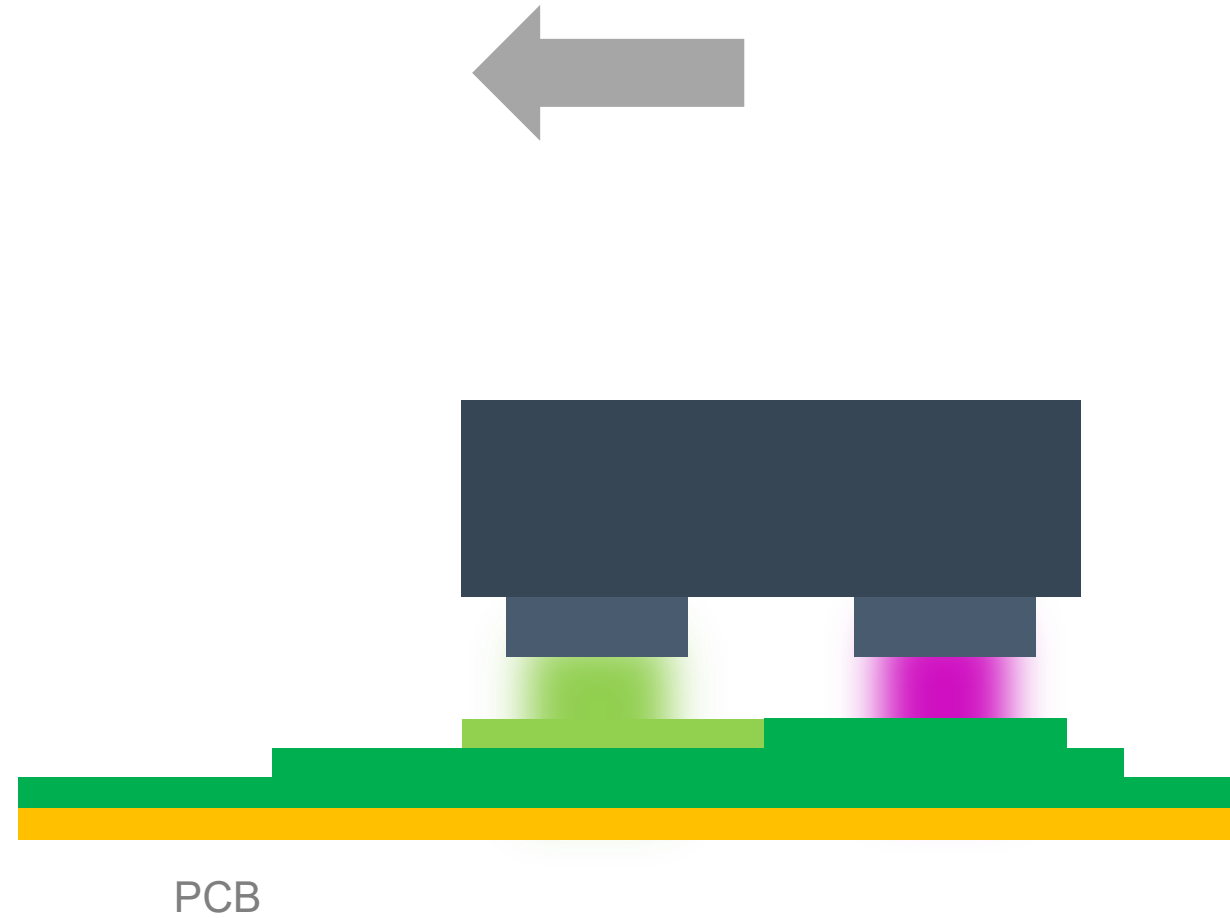
# ALLGEMEINES ZUM DIGITALEN LÖTSTOPPLACK

Druckprinzip



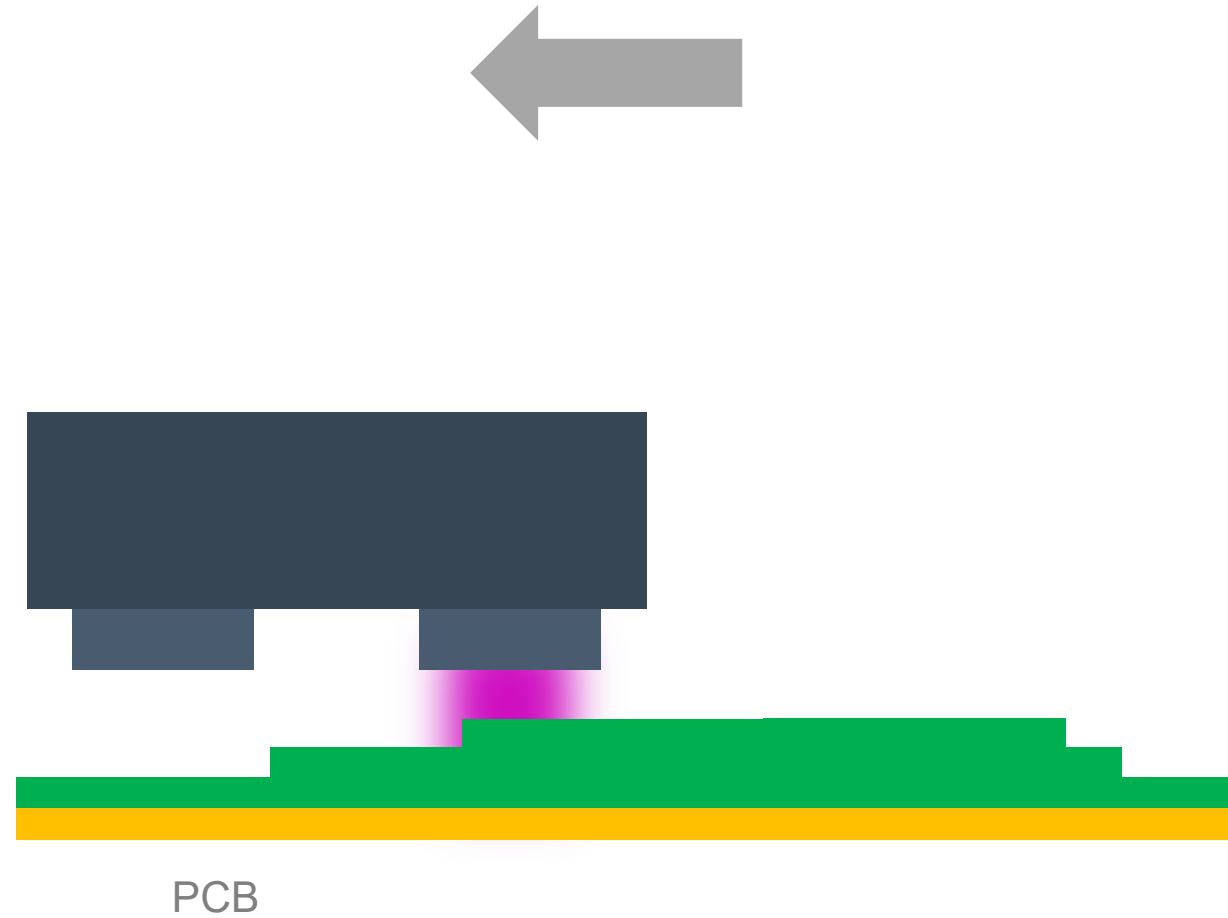
# ALLGEMEINES ZUM DIGITALEN LÖTSTOPPLACK

Druckprinzip



# ALLGEMEINES ZUM DIGITALEN LÖTSTOPPLACK

Druckprinzip

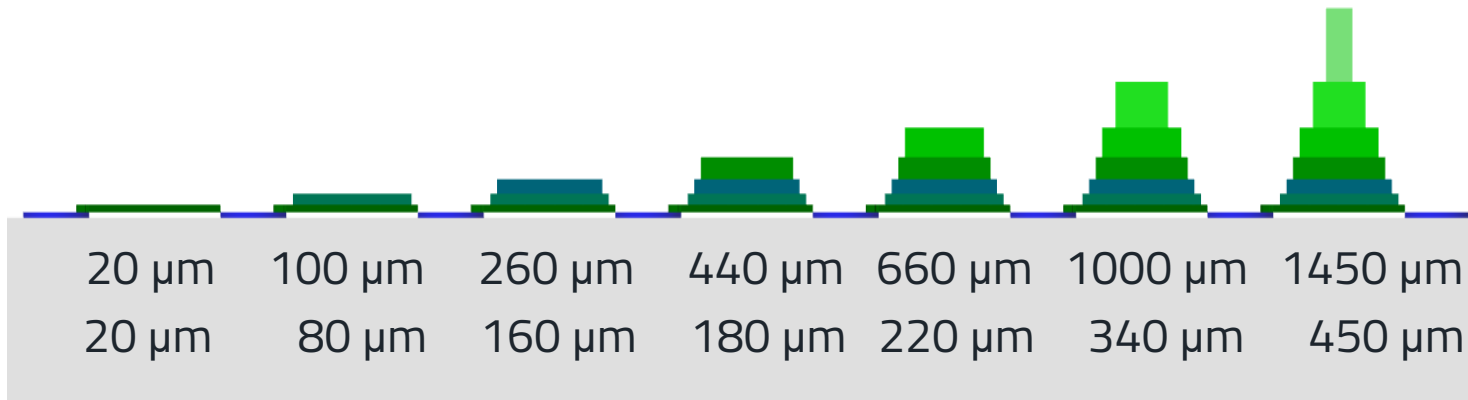


# UMSETZUNG / DESIGN

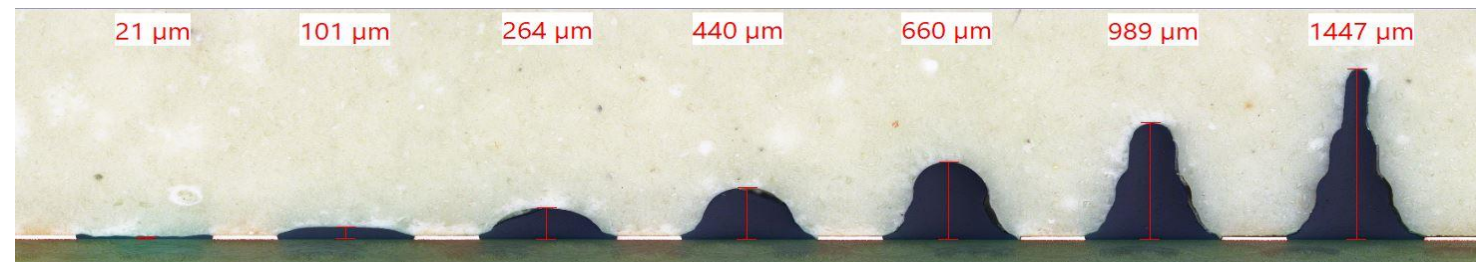
im EDA-Tool

- vergleichbar mit additivem 3D-Druck mit PLA / ABS / etc. in Schichten (Slices)
- im EDA-Tool müssen aktuell nominale Stufenhöhen inkl. deren Toleranzen angegeben werden
- Leiterplattenhersteller muss die Stufenhöhen in Druckdurchgänge/-lagen umrechnen
- Stegbreiten <50 µm sollten vermieden werden (ca. 30 µm gedruckter Punktdurchmesser mit Standarddruckkopf)

**Gesamthöhe:**  
**Stufenhöhe:**



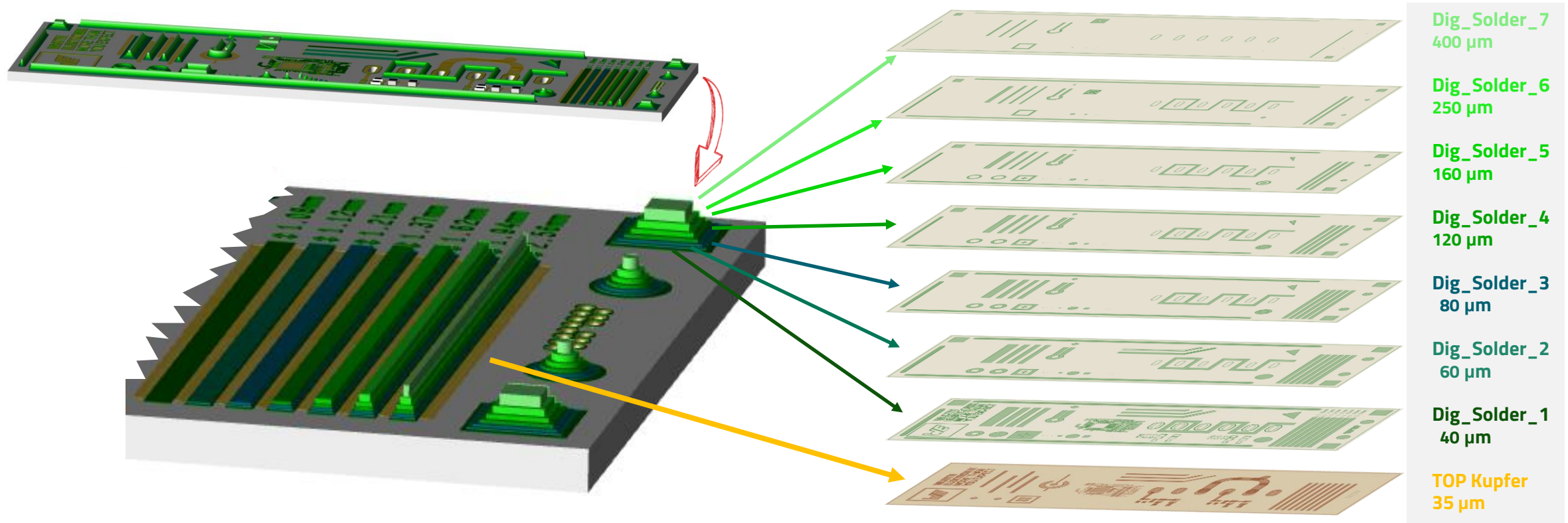
Schliff des  
Testdrucks



# UMSETZUNG / DESIGN

im EDA-Tool

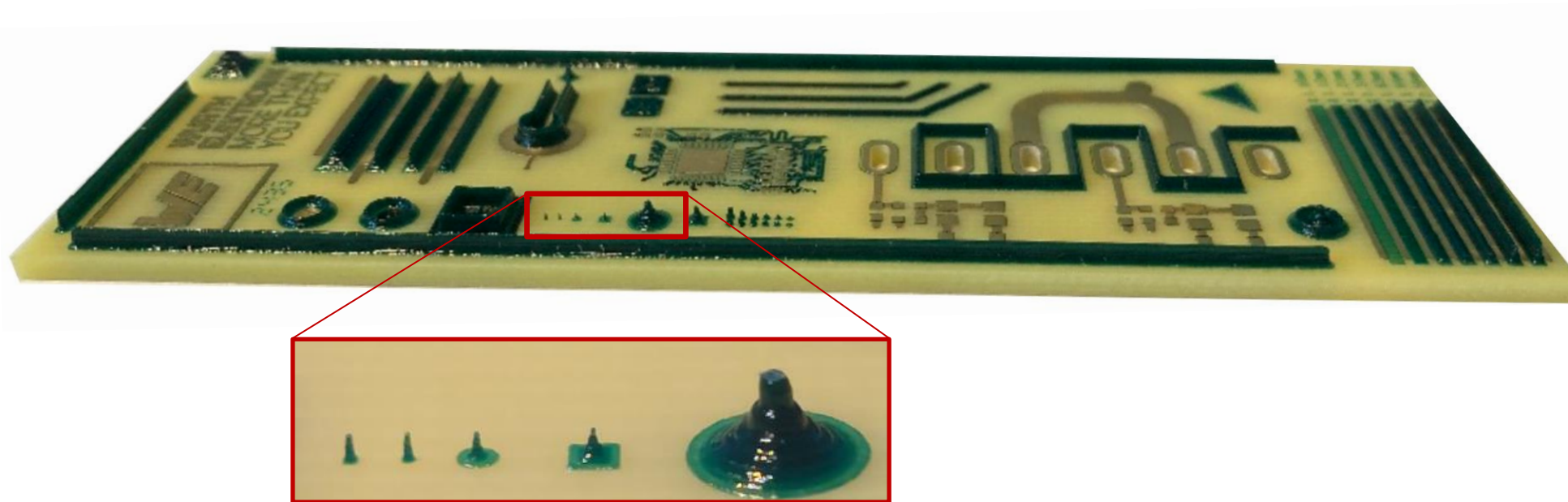
- Anlage der einzelnen Kupfer- und Maskenlagen
- die jeweils gewünschte Schichtstärke muss beim Leiterplattenhersteller basierend auf der Druckstrategie in die benötigte Anzahl an Drucklagen umgerechnet werden



# HERAUSFORDERUNGEN BEIM EMS

## Handling

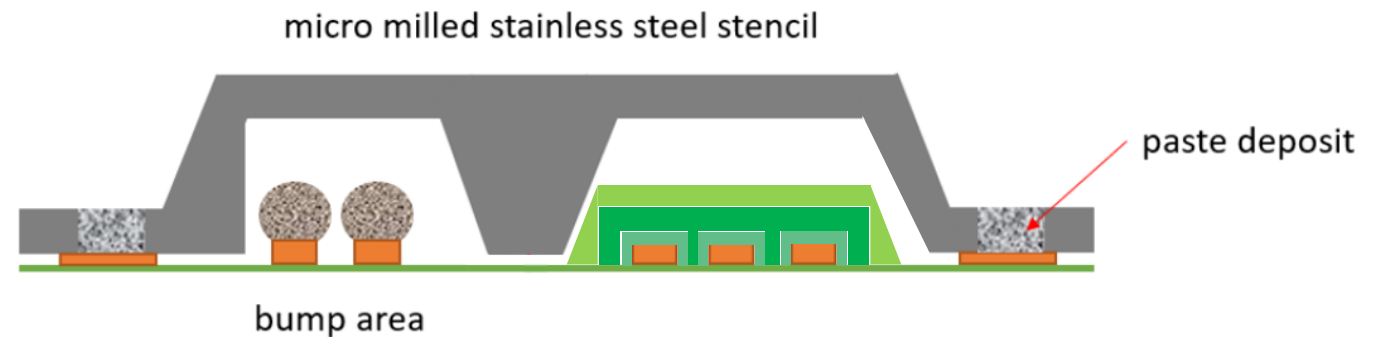
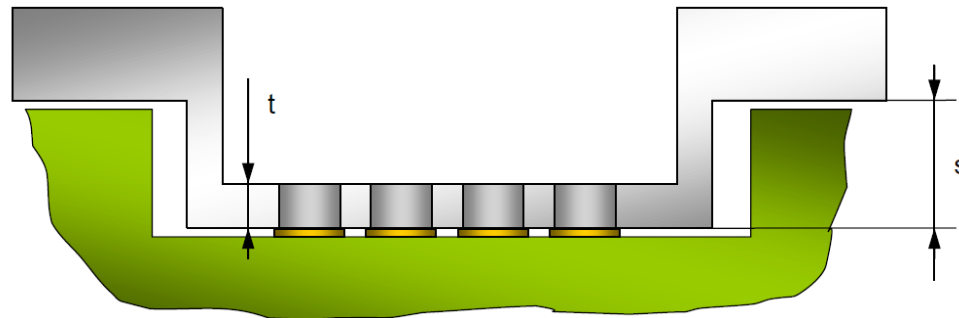
- durch die erhöhten Strukturen auf der Leiterplatte, die je nach Anwendungsfall sehr filigran ausgeführt sein können, erfordert der Transport von Leiterplattenhersteller und EMS ggf. besondere Absprachen
- ebenso ist das spezielle Handling der Bestückungsnutzen oder der Einzelleiterplatten für den Bestückungsprozess zu berücksichtigen



# BESTUECKUNG DER BAUGRUPPE

## Pastenapplikation – Schablone

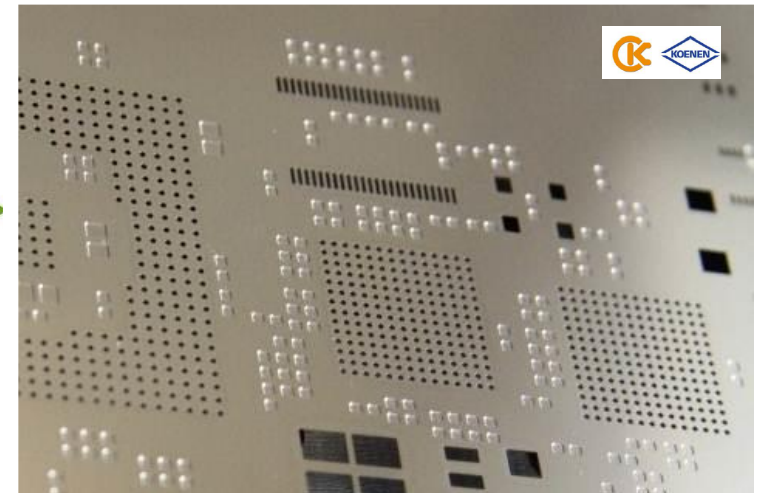
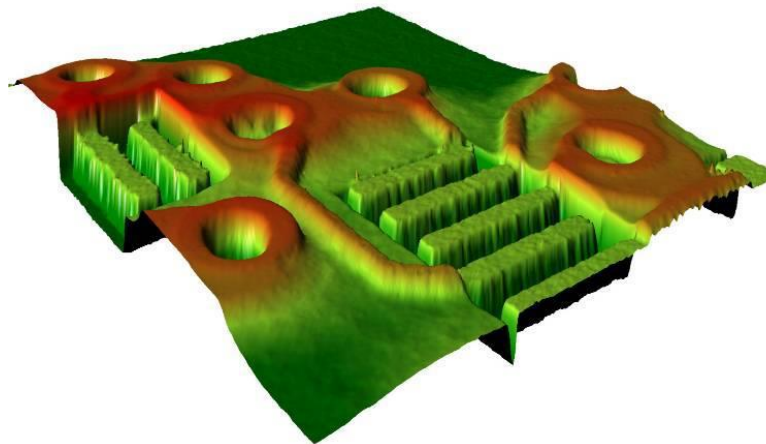
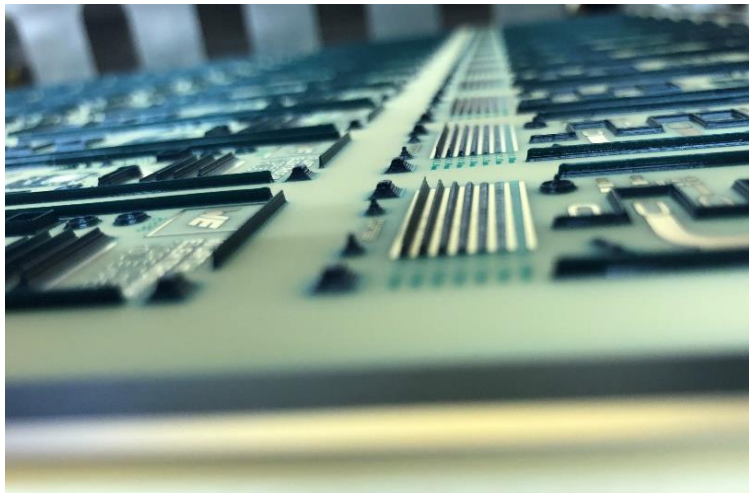
- durch die Adaption der 3D-Stufenschablone können z.B. replacte Balls, aber auch erhöhte Lötspottlackstrukturen oder Reliefs „überdacht“ werden, sodass die Schablone plan auf der Leiterplatte zum liegen kommt
- hierzu sollten die benötigten Mindestparameter mit dem Schablonenhersteller abgesprochen und optimalerweise in den Constraints hinterlegt werden



# HERAUSFORDERUNGEN BEIM EMS

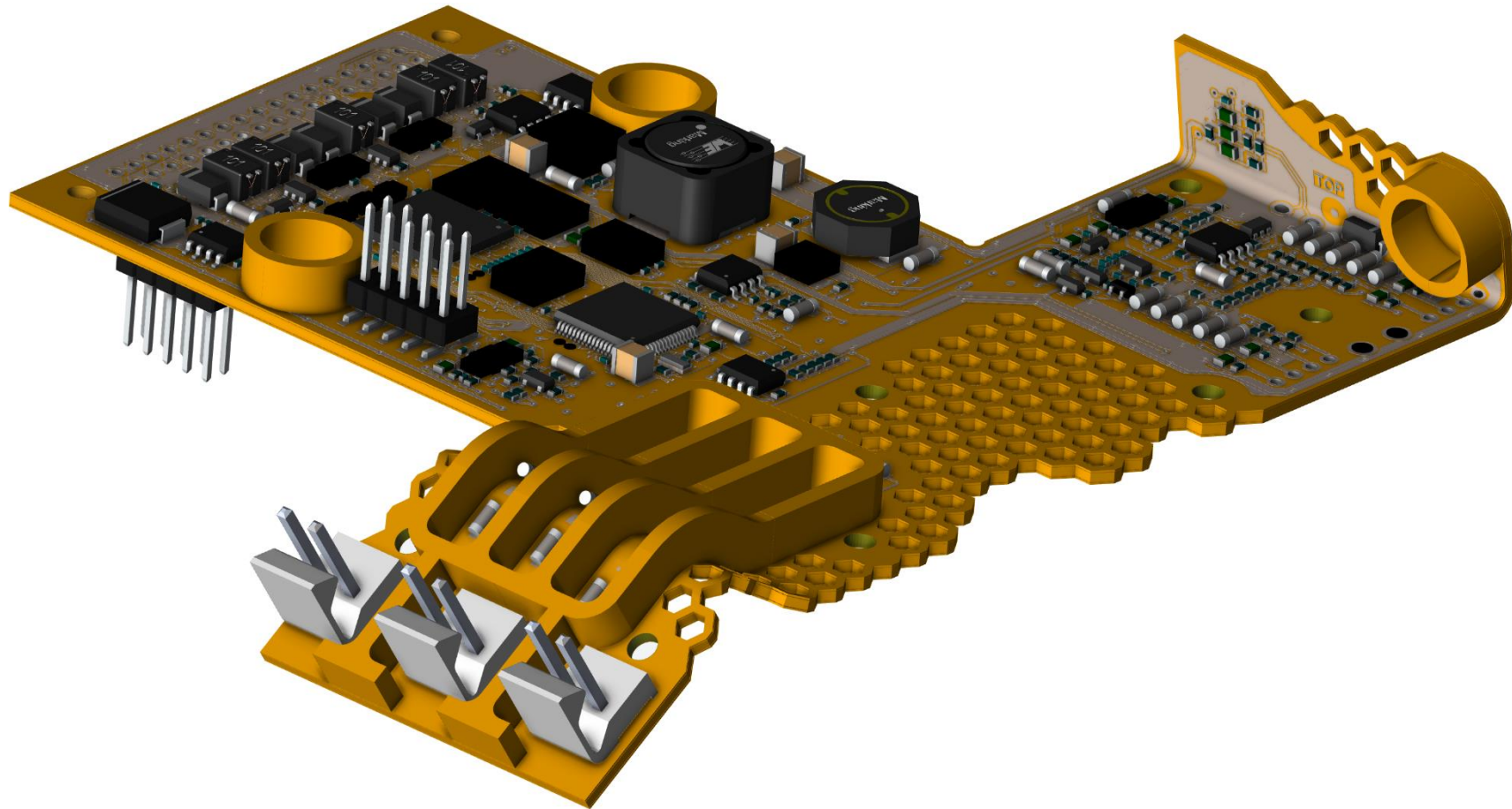
## Pastenapplikation – Schablone

- Größte Herausforderungen bei der Pastenapplikation:  
die überdurchschnittlich großen Höhendifferenzen beim Einsatz von additivem Lötstopplack
- Somit muss eine 3D-Stufenschablone mit eingefrästen Taschen auf der Unterseite genutzt werden
- Wird die Paste während des Bestückungsprozesses über eine Schablone aufgebracht, müssen die Designregeln des Schablonenherstellers eingehalten werden. Dies betrifft hauptsächlich minimale Frästdurchmesser sowie minimale Stegbreiten in der Schablone und deren Toleranzen
- Alternativ kann die Lotpaste auch gejetet oder dispenst werden



# ZUKUNFTSTECHNOLOGIEN

Additiv gefertigte Baugruppen





WE LIVE  
SUSTAINABILITY.  
ACTIVELY AND  
CONSISTENTLY.