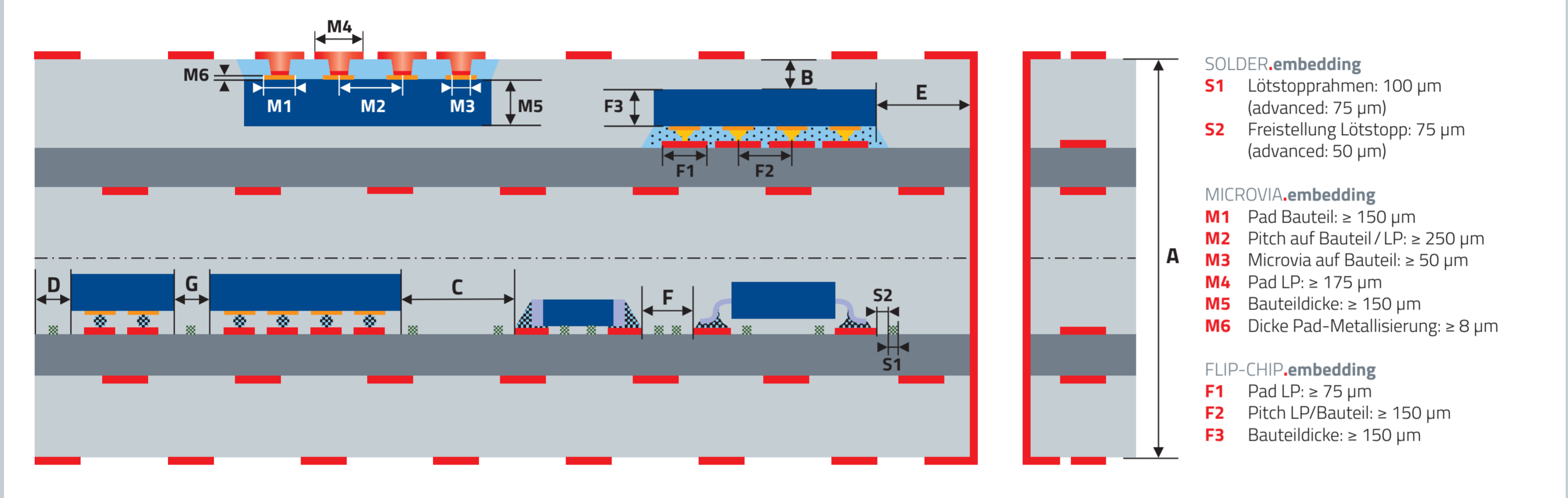
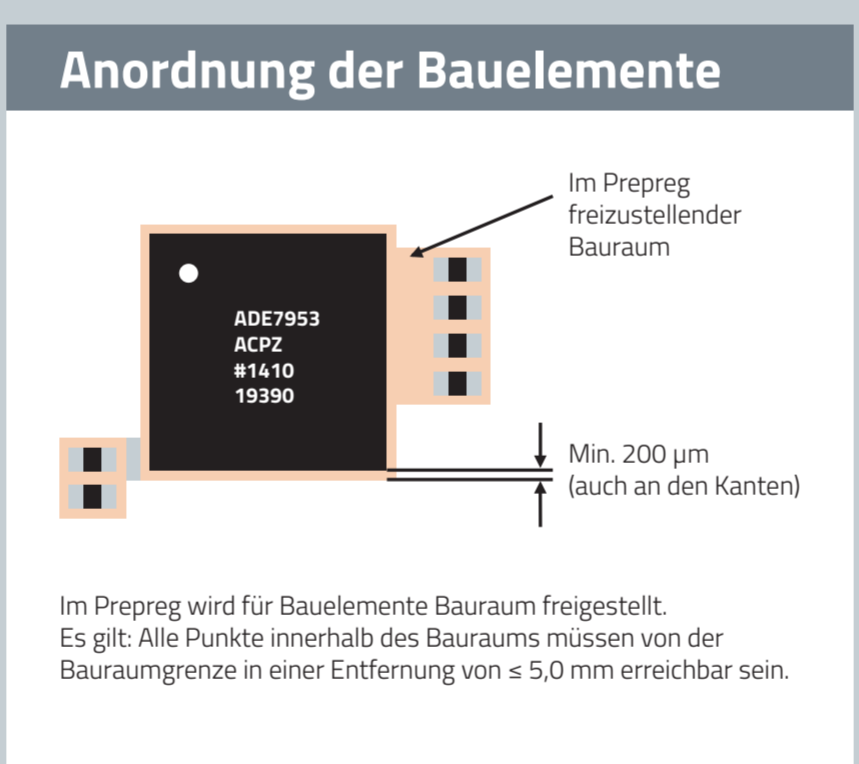


EMBEDDING TECHNOLOGY

Indikatoren für den Einsatz der Technologien		
<p>SOLDER.embedding</p> <ul style="list-style-type: none"> ■ Aktive Bauelemente, die nicht als Bare Die („Nackchip“) verfügbar sind ■ Aktive und passive Bauelemente ■ Spektrum der massiven SMD-Bauelemente nutzbar (mit Einschränkungen) 	<p>MICROVIA.embedding</p> <ul style="list-style-type: none"> ■ Kombination von aktiven und passiven Komponenten ■ Hoch zuverlässige Aufbautechnologie ■ Kupfer- oder Nickel-Palladium-Pad-Metallisierung der Komponenten 	<p>FLIP-CHIP.embedding</p> <ul style="list-style-type: none"> ■ Aktive Bauelemente, die bisher drahtgebondet wurden ■ Bauteile müssen gebumpt sein (Nickel-Gold- oder Gold-Bumps) oder können bei WE gebumpt werden (Gold-Bumps) ■ Keine passiven Komponenten möglich ■ Aktive Bauelemente mit Pitch < 250 µm möglich



- Bauteile allgemein**
- Alle Bauteile müssen in den Aufbau passen
 - Es darf kein Bauteil in der z-Achse überstehen
 - Max. Bauteilgröße: 10 × 10 mm²
 - Bauteile dürfen keine Hohlräume (wie z. B. bei Quarzen) oder Flüssigkeiten (z. B. bei flüssigen Elektrolyten) enthalten.
- Bauteilbelegung**
- Belegung einer Innenlage mit Bauteilen
 - Max. 40 % der Fläche
 - Bei >40 % Belegung individuelle Klärung nötig
 - Bauteile möglichst in Gruppen anordnen
 - Max. Größe der Gruppe: Jeder Punkt in der Gruppe muss vom Gruppenrand her in 5 mm erreichbar sein, damit der Harzfluss in den Gruppenbaureaum sichergestellt ist.



Soweit nicht anders vereinbart, gilt für alle Produkte mit eingebetteten Bauelementen die IPC-7092. Die zugehörige Leiterplattenfertigung entspricht IPC-A-600 Klasse II bzw. die Bestückung IPC-A-610 Klasse II.

Je nach Design und finaler Aufbauform der Leiterplatte mit eingebetteten Komponenten gelten die bei Würth Elektronik aktuell gültigen Design Rules/Design Guides „Basic Design Guide“, „Starrflex Design Guide“, „Wärmemanagement Design Guide“ sowie der „HDI Design Guide“. Bei abweichenden Anforderungen nehmen Sie bitte direkt Kontakt mit uns auf!

Embedding Technology

AUFSTREBENDE TECHNOLOGIEN FÜR INNOVATIVE LÖSUNGEN

<p>Miniaturisierung</p> <ul style="list-style-type: none"> ■ Gehäuseersatz ■ Einsparung von Bestückfläche auf den Außenlagen 	<p>Performance/Funktion</p> <ul style="list-style-type: none"> ■ integrierte Schirmung ■ Kurze Signalwege ■ Plagiatsschutz 	<p>Zuverlässigkeit</p> <ul style="list-style-type: none"> ■ Schutz vor Umwelteinflüssen ■ Vollflächige Fixierung ■ Wärmemanagement
---	--	--



- A Leiterplattendicke - entsprechend unserer allgemeinen Leiterplattenspezifikation**
 - Standard: 2,4 mm
 - Auf Anfrage: 3,2 mm
 - In Spezialfällen: > 3,2 mm (muss aber applikationsspezifisch evaluiert werden)
- B Lagenaufbau**
 - Zwischen Bauteil und darüberliegender Kupferebene muss immer mindestens eine Prepreglage eingelegt werden bzw. ≥ 100 µm sein (kleiner auf Anfrage)
 - Aus der AVT und dem Lagenaufbau lässt sich die max. Bauteilhöhe berechnen
 - Der WE-Aufbauvorschlag gibt die max. mögliche Bauteilhöhe vor – oder referenziert die max. Bauteilhöhe
- C Abstand Gruppe zu Gruppe bzw. Bauteil zu Gruppe:**
 - Min. 1.000 µm
 - Auf Anfrage auch 700 µm möglich (700 µm ≈ 300 µm Steg + 2 × 200 µm Freistellung)
- D Abstand Bauteil zu LP-Kante**
 - ≥ 500 µm (auf Anfrage und nach Prüfung auch geringer)
- E Abstand Via zu Bauteilkante**
 - ≥ 500 µm (auf Anfrage und nach Prüfung auch geringer)
- F Abstand Bauteil zu Bauteil**
 - Bedingung: Pad des Footprints ragt über Bauteil hinaus.
 - ≥ 300 µm zwischen den Pads
 - Kleinere Abstände auf Anfrage und nach Prüfung
- G Abstand Bauteil zu Bauteil**
 - Bedingung: Bauteil ragt über Pads hinaus
 - ≥ 200 µm zwischen den Bauteilkonturen
 - Kleinere Abstände auf Anfrage und nach Prüfung