

# DEVICE.embedding DESIGN GUIDE

DE

WÜRTH ELEKTRONIK MORE THAN YOU EXPECT

# EINBETTEN VON BAUTEILEN IN DIE LEITERPLATTE

Die Zukunft der Elektronik tendiert zu höherer Zuverlässigkeit, mehr Funktionen und zunehmender Miniaturisierung. Eine effiziente Nutzung von immer kleiner werdenden Gehäusevolumen und winzigen Oberflächen gewinnt mehr und mehr an Bedeutung. Das Einbetten von Bauelementen dient als Lösung bei reduziertem Bauraum.

Aktive oder passive Bauelemente werden mithilfe eines Einbettverfahrens in die Leiterplatte gebracht, so dass diese komplett in den Aufbau integriert sind. Würth Elektronik unterscheidet dabei zwischen drei Herstellungsverfahren: **SOLDER.embedding**, **MICROVIA.embedding** und **FLIP-CHIP.embedding**.

Das Anwendungsspektrum reicht von der Automobilindustrie über die Industrieelektronik bis hin zu Medizintechnik und Sensorik.

**Im Folgenden finden Sie einen Überblick über die „Embedding Technologie“ und praktische Hinweise zum Design:**

- Indikatoren für die Technologiewahl
- Technologievergleich
- Verfügbarkeit von Bauelementen
- Design Rules

## DIE VORTEILE DER EMBEDDING TECHNOLOGIE AUF EINEN BLICK

### MINIATURISIERUNG

- Gehäuseersatz
- Einsparung von Bestückfläche auf den Außenlagen

### FUNKTIONEN

- Integrierte Schirmung
- Kurze Signalwege
- Plagiatschutz

### ZUVERLÄSSIGKEIT

- Schutz vor Umwelteinflüssen
- Vollflächige Fixierung von Bauelementen
- Wärmemanagement

## INDIKATOREN FÜR DEN EINSATZ DER TECHNOLOGIEN

### SOLDER.embedding

- Aktive Bauelemente, die nicht als Bare Die („Nacktchip“) verfügbar sind
- Aktive und passive Bauelemente
- Spektrum der massiven SMD-Bauelemente nutzbar (mit Einschränkungen)

### MICROVIA.embedding

- Kombination von aktiven und passiven Komponenten
- Hoch zuverlässige Aufbautechnologie
- Kupfer- oder Nickel-Palladium-Pad-Metallisierung der Komponenten

### FLIP-CHIP.embedding

- Aktive Bauelemente, die bisher drahtgebondet wurden
- Keine passiven Komponenten möglich
- Aktive Bauelemente mit Pitch < 250 µm

**Soweit nicht anders vereinbart, gilt für alle Produkte mit eingebetteten Bauelementen die IPC-7092. Die zugehörige Leiterplattenfertigung entspricht IPC-A-600 Klasse II bzw. die Bestückung IPC-A-610 Klasse II.**

Je nach Design und finaler Aufbauform der Leiterplatte mit eingebetteten Komponenten gelten die bei Würth Elektronik aktuell gültigen Design Rules/Design Guides „Basic Design Guide“, „Starrflex Design Guide“, „Wärmemanagement Design Guide“ sowie der „HDI Design Guide“. Bei abweichenden Anforderungen nehmen Sie bitte direkt Kontakt mit uns auf!

# PROJEKTPLANUNG

## UMSETZUNGSPLANUNG

Für die Umsetzungsplanung von Projekten mit eingebetteten Komponenten werden folgende Daten und Informationen benötigt:

- Datensätze (Extended Gerber, ODB++)
  - Kupferlagen
  - Pastendaten IL/AL
  - Lötstopmmaske IL / AL
  - Leiterplattenkontur
  - Maximale Abmaße der Bauteilkonturen (inkl. der Kontakte bei z.B. Gull-Wing und J-Lead Kontaktierung) quasi als Projektion von oben auf die Lage
- Lagenaufbau
  - Seitens Kunde mit den gewünschten Lagenverbindungen, Kupferstärken sowie ggfs. vordefinierten Lagenabständen (wg. Impedanzen oder Isolationsstrecken)
  - Ggf. Vorschlag seitens WE
- Stückliste (BOM) mit allen max. Abmaßen der Bauteile (nominal plus max. Toleranzen) in X, Y und Z
  - Bauteile (Sourcing seitens WE oder als Beistellung seitens Kunde)
- Pick&Place Daten als .txt-File (nur der Bauteile, die eingebettet werden)
- Zeichnungen, Bestückpläne (Innenlagen) und Prüfanweisungen
- Informationen zu Lagenabständen bzgl. Impedanzen oder Isolationsstrecken

## PROJEKTABLAUF

### 1. Kunde

- Neues Produkt
- Re-Design einer bestehenden Baugruppe

### 2. Entwicklung

- Vorstellung des Projekts oder der Produktidee
- Unterstützt durch Tipps und Tricks seitens WE durch Design Guides, mögliche Lagenaufbauten und Layouttipps

### 3. Prüfung der Daten und Optimierungsvorschläge

- Lagenaufbau
- Design Rule Check
- BOM und Bauteilverfügbarkeit prüfen

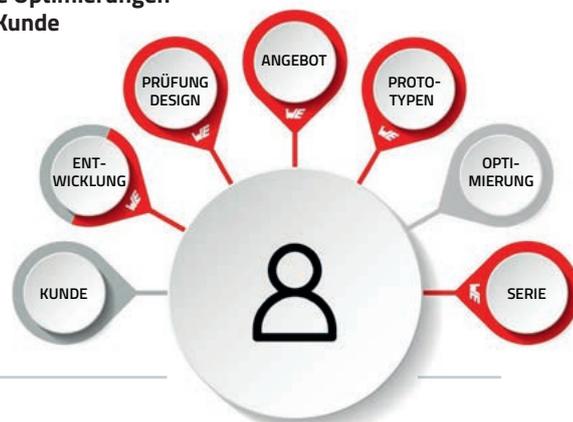
### 4. Angebotserstellung

- Prototypen
- Serie

### 5. Prototypenfertigung

### 6. Mögliche Optimierungen seitens Kunde

### 7. Serie



## VERFÜGBARKEIT UND ANFORDERUNGEN AN DIE BAUELEMENTE

### SOLDER.embedding

**Prinzipiell alle SMD Bauelemente nutzbar mit folgenden Einschränkungen:**

- Alle passiven Bauteile nach EIA Standard 0201 bis 1206
- Alle aktiven SMD Mold-Bauformen wie QFN, SOT etc.
- Substratbasierte Bauformen wie LGA, BGA etc.
- Max. Baugröße 10x 10 mm<sup>2</sup> (weitere Größen auf Anfrage evtl. möglich)
- Max. Bauelementedicke abhängig vom Lagenaufbau
- Keine Flüssigkeiten bzw. Elektrolyte im Bauelement erlaubt
- Keine Lufteinschlüsse im Bauelement erlaubt (wie z. B. bei Quarzen mit Metalldeckel)

### MICROVIA.embedding

**Aktive Bauelemente:**

- Bare Dies mit Cu-Pad-Metallisierung
- Bare Dies mit NiPd-Metallisierung
- Max. Baugröße: 10 x 10 mm<sup>2</sup> (weitere auf Anfrage möglich)

**Passive Bauelemente:**

- Passive Bauelemente (Kondensatoren und Widerstände) mit Kupferterminierung werden direkt von Würth Elektronik beschafft.
- Bauformen: EIA 0402 und z. T. EIA 0201
- Widerstandswerte: E96-Reihe
- Kondensatorwerte: Bitte anfragen, da nur wenige Werte bei den Herstellern verfügbar

### FLIP-CHIP.embedding

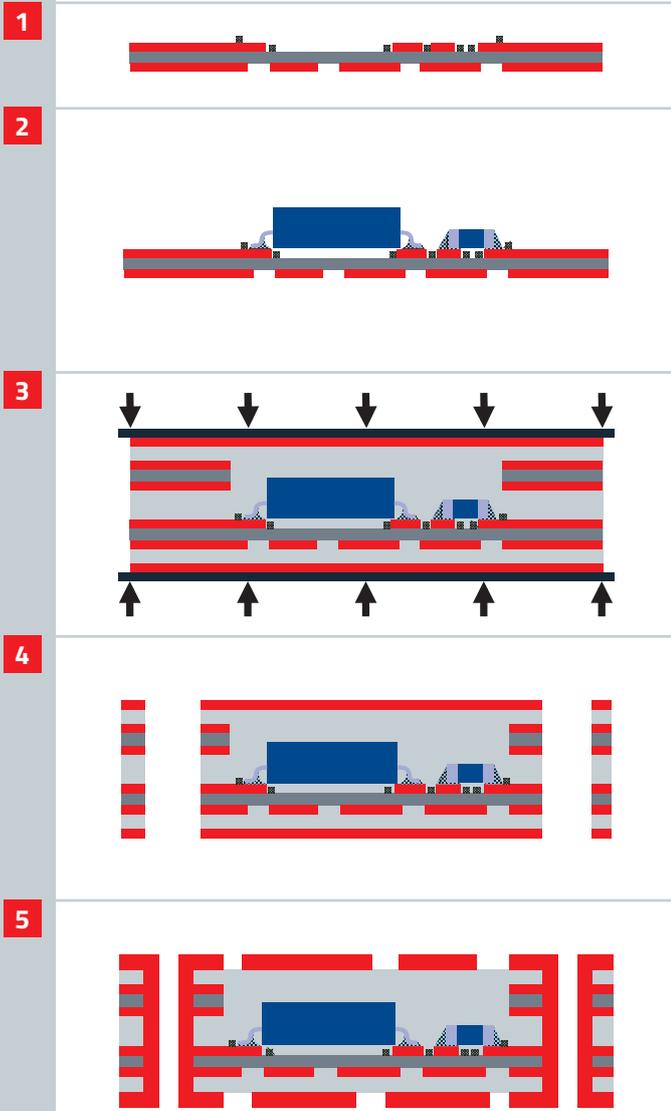
**Aktive Bauelemente:**

- Bare Dies mit drahtgebundenen Au-Stud-Bumps
- Bare Dies mit auf Wafer-Ebene aufgetragenen Au-Stud-Bumps
- Max. Baugröße: 10 x 10 mm<sup>2</sup> (weitere auf Anfrage möglich)
- Bauteile müssen gebumpt sein (Nickel-Gold- oder Gold-Bumps) oder können bei WE gebumpt werden (Gold-Bumps)

**Keine passiven Bauelemente möglich**

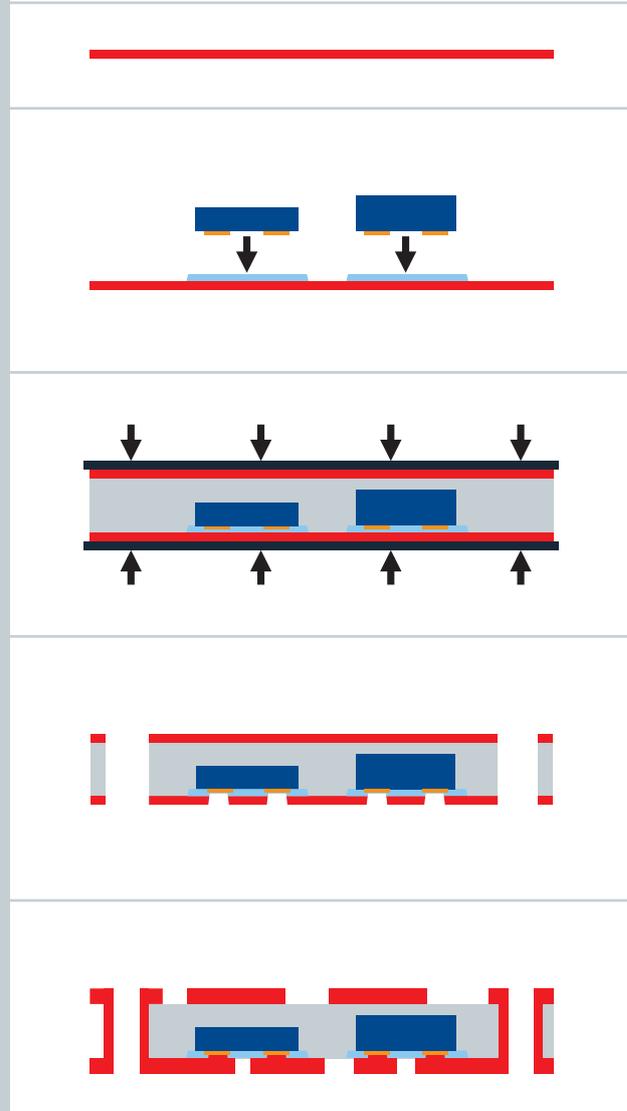
# PROZESSABLÄUFE

## SOLDER.embedding



- 1** Strukturierter Innenlagen-Kern mit Footprint für SMD-Bauelemente
- 2** SMD-Bestückung (bleifrei Reflow)
- 3** Multilayer verpressen
- 4+5** Je nach Kundenwunsch weitere Leiterplattenprozesse

## MICROVIA.embedding Variante 1

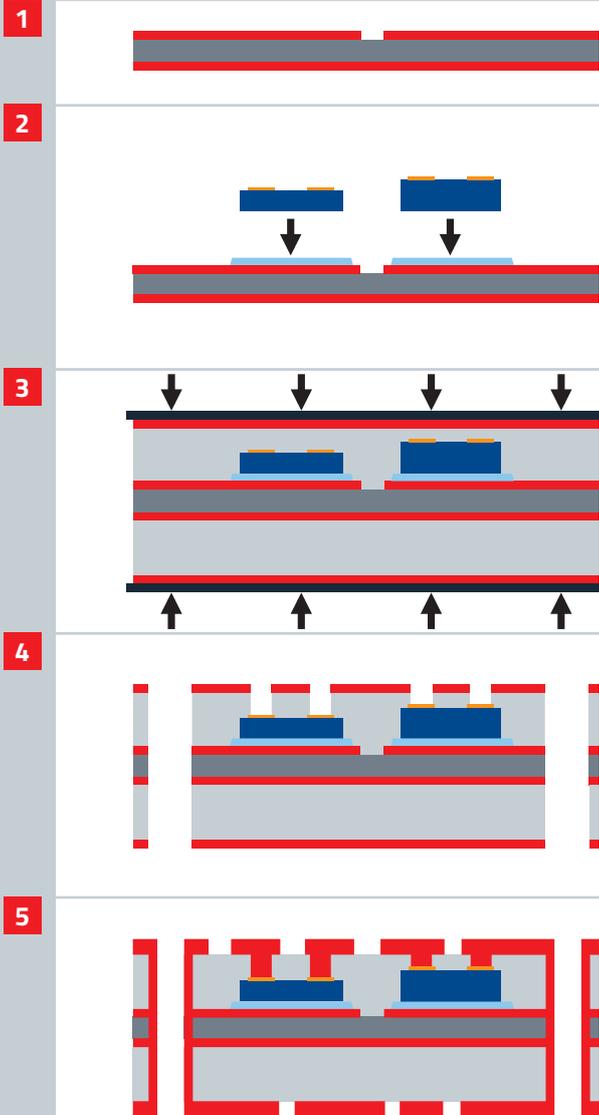


- 1** Kupferfolie als Startsubstrat
- 2** Bestückung (face-down) auf der Kupferfolie mit nicht-leitfähigem Klebstoff (NCA – non-conductive adhesive)
- 3** Multilayer verpressen
- 4** Öffnen des Kupfers und des Klebstoffes mit dem Laser bis zur Chipmetallisierung
- 5** Kupfermetallisierung & -strukturierung für die Herstellung einer elektrischen Verbindung zwischen Chip und Leiterplatte

**DIE HIER GEZEIGTEN AUFBAUTEN DIENEN NUR DER PROZESSDARSTELLUNG. DER TATSÄCHLICHE LAGENAUFBAU UND DIE LAGENANZAHL WERDEN AN DIE REALE KUNDENFORDERUNG ANGEPASST.**

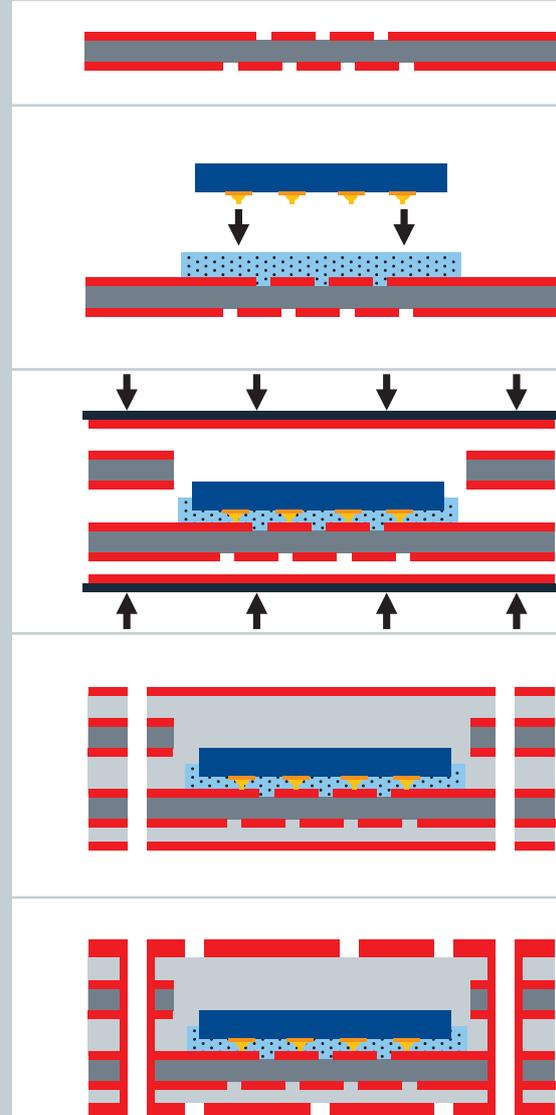
# PROZESSABLÄUFE

## MICROVIA.embedding Variante 2



- 1 Strukturierter Innenlagen-Kern
- 2 Bestückung (face-up) auf dem Kern mit leitfähigem (ICA – isotropic conductive adhesive) oder nicht leitfähigem Klebstoff (NCA – non-conductive adhesive)
- 3 Multilayer verpressen
- 4 Öffnen des Kupfers und des Leiterplatten-Harzes mit dem Laser bis zur Chipmetallisierung
- 5 Kupfermetallisierung & -strukturierung für die Herstellung einer elektrischen Verbindung zwischen Chip und Leiterplatte

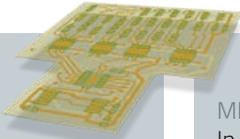
## FLIP-CHIP.embedding



- 1 Strukturierter Innenlagen-Kern mit Footprint für Flip-Chip
- 2 Flip-Chip-Bestückung mit ACA Klebstoff (anisotrop-leitfähiger Klebstoff)
- 3 Multilayer verpressen
- 4+5 Je nach Kundenwunsch weitere Leiterplatten-prozesse

DIE HIER GEZEIGTEN AUFBAUTEN DIENEN NUR DER PROZESSDARSTELLUNG.  
 DER TATSÄCHLICHE LAGENAUFBAU UND DIE LAGENANZAHL WERDEN AN DIE REALE KUNDENFORDERUNG ANGEPASST.

# LAYOUT-TIPPS



## SOLDER.embedding

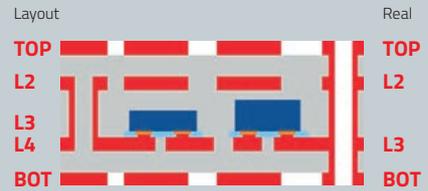
Fast alle EDA-Tools können keine Lötstopprahmen und Pastendaten auf Innenlagen darstellen.

- Daten für diese Lagen müssen auf weiteren mechanischen Lagen definiert werden.

## MICROVIA.embedding

In den EDA-Tools ist es bisher meist nicht möglich ein Microvia zwischen Bauelement und Kupferlage zu definieren.

- Kann durch eine zusätzliche (virtuelle) Kupferlage erreicht werden.



## Platzierung und Gruppierung von Bauteilen

Technologiebedingt kann nicht die gesamte Innenlagenfläche mit Bauteilen bestückt werden. Die maximal zu bestückende Fläche liegt je nach Technologie und eingesetzten Bauteilen bei 35-40% und sollte vorab abgeklärt werden. Die Bauteile sollten nach Möglichkeit in Gruppen angeordnet werden und zwischen den Gruppen ein Reststeg für Leiterplattenmaterial übrigbleiben.

## Kombinationsmöglichkeiten und Ausführung der Technologie

### Mögliche Basismaterialien

- FR4.1 TG150 und TG170
- Weitere Materialien und Sondermaterialien auf Anfrage

### Kombinierbar mit folgenden Aufbauten

- Multilayer und HDI mit 1–24 Lagen
- RIGID.flex innen & außen
- SEMI.flex

### Leiterplatteeigenschaften

- min. Substratdicke 0,1 mm
- Maximale Enddicke 3,2 mm

### Auswahl an Baugruppenprüfungen (muss vorab abgeklärt werden)

- In-Circuit Test
- Flying Probe
- Baugruppenspezifische Lösungen wie z. B. Hochspannungsprüfung
- Röntgenprüfung

### Vereinzeln & Verpacken

- Fräsen / Kerbfräsen
- Sägen von Nutzen (für anschließendes Wafer-Dicing)
- Sonderverpackungen wie z. B. Gurtung (Tape & Reel)

## Design-to-Cost

Die Preise sind durch die Variabilität der Layouts und der Prozesse individuell und setzen sich aus diesen Punkten zusammen:

### Basis-Leiterplattenaufbau

- Basismaterial
- Anzahl der Lagen und Schichtstärken
- Mechanische Bearbeitungen
- Endoberfläche

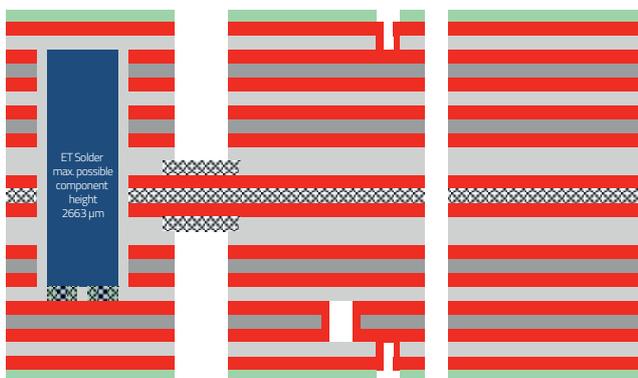
### Bestückung

- Anzahl der Lagen, die bestückt werden
- Welche Bauteiltypen werden bestückt
- Wie viele Bauteile werden bestückt
- Kosten SMD-Schablone

### Prüfumfang

- Welche Produktprüfungen sind nötig
- Umfang der elektrischen Prüfung

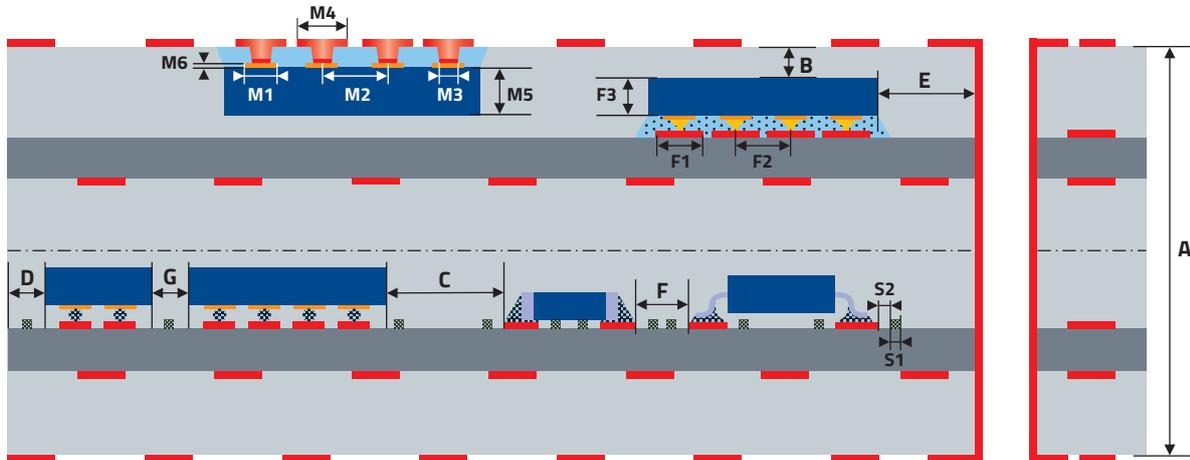
### Mögliche Sonderverpackungen



Beispielaufbau ET12S10T + 5Ri-2F-5Ri

# EMBEDDING TECHNOLOGY

## DESIGN RULES



### SOLDER.embedding

- S1** Lötstopprahmen: 100 µm (advanced: 75 µm)
- S2** Freistellung Lötstopp: 75 µm (advanced: 50 µm)

### MICROVIA.embedding

- M1** Pad Bauteil:  $\geq 150 \mu\text{m}$
- M2** Pitch auf Bauteil / LP:  $\geq 250 \mu\text{m}$
- M3** Microvia auf Bauteil:  $\geq 50 \mu\text{m}$
- M4** Pad LP:  $\geq 175 \mu\text{m}$
- M5** Bauteildicke:  $\geq 150 \mu\text{m}$
- M6** Dicke Pad-Metallisierung:  $\geq 8 \mu\text{m}$

### FLIP-CHIP.embedding

- F1** Pad LP:  $\geq 75 \mu\text{m}$
- F2** Pitch LP/Bauteil:  $\geq 150 \mu\text{m}$
- F3** Bauteildicke:  $\geq 150 \mu\text{m}$

### A Leiterplattendicke – entsprechend unserer allgemeinen Leiterplattenspezifikation

- Standard: 2,4 mm
- Auf Anfrage: 3,2 mm
- In Spezialfällen:  $> 3,2 \text{ mm}$  (muss aber applikationsspezifisch evaluiert werden)

### B Lagenaufbau

- Zwischen Bauteil und darüberliegender Kupferebene muss immer mindestens eine Prepreglage eingelegt werden bzw.  $\geq 100 \mu\text{m}$  sein (kleiner auf Anfrage)
- Aus der AVT und dem Lagenaufbau lässt sich die max. Bauteilhöhe berechnen
- Der WE-Aufbauvorschlag gibt die max. mögliche Bauteilhöhe vor – oder referenziert die max. Bauteilhöhe

### C Abstand Gruppe zu Gruppe bzw. Bauteil zu Gruppe:

- Min. 1.000 µm
- Auf Anfrage auch 700 µm möglich (700 µm  $\hat{=}$  300 µm Steg + 2 x 200 µm Freistellung)

### D Abstand Bauteil zu LP-Kante

- $\geq 500 \mu\text{m}$  (auf Anfrage und nach Prüfung auch geringer)

### E Abstand Via zu Bauteilkante

- $\geq 500 \mu\text{m}$  (auf Anfrage und nach Prüfung auch geringer)

### F Abstand Bauteil zu Bauteil

- Bedingung: Pad des Footprints ragt über Bauteil hinaus.
- $\geq 300 \mu\text{m}$  zwischen den Pads
- Kleinere Abstände auf Anfrage und nach Prüfung

### G Abstand Bauteil zu Bauteil

- Bedingung: Bauteil ragt über Pads hinaus
- $\geq 200 \mu\text{m}$  zwischen den Bauteilkonturen
- Kleinere Abstände auf Anfrage und nach Prüfung

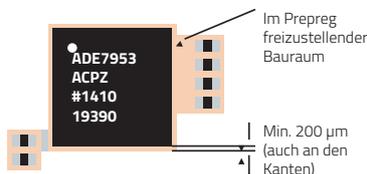
### Bauteile allgemein

- Alle Bauteile müssen in den Aufbau passen
- Es darf kein Bauteil in der z-Achse überstehen
- Max. Bauteilgröße:  $10 \times 10 \text{ mm}^2$
- Bauteile dürfen keine Hohlräume (wie z. B. bei Quarzen) oder Flüssigkeiten (z. B. bei flüssigen Elektrolyten) enthalten.

### Bauteilbelegung

- Belegung einer Innenlage mit Bauteilen
  - Max. 40 % der Fläche
  - Bei  $> 40\%$  Belegung individuelle Klärung nötig
- Bauteile möglichst in Gruppen anordnen
- Max. Größe der Gruppe: Jeder Punkt in der Gruppe muss vom Gruppenrand her in 5 mm erreichbar sein, damit der Harzfluss in den Gruppenbauraum sichergestellt ist.

### Anordnung der Bauelemente



Im Prepreg wird für Bauelemente Bauraum freigestellt. Es gilt: Alle Punkte innerhalb des Bauraums müssen von der Bauraumgrenze in einer Entfernung von  $\leq 5,0 \text{ mm}$  erreichbar sein.

### Nomenklatur

Die Nomenklatur beinhaltet die Technologie, Bestückebene und Bauteilorientierung und setzt sich für **DEVICE.embedding** wie folgt zusammen:

#### ETXBYO

- ET Referenz zur Einbetttechnologie
- X Gesamtanzahl Lagen
- B Technologie:
  - S für **SOLDER.embedding**,
  - M für **MICROVIA.embedding** und
  - F für **FLIP-CHIP.embedding**
- Y Bestücklage von Top (=1) ab nach unten gezählt
- O Orientierung der Bauteile auf der Bestücklage:
  - T für Top und
  - B für Bottom der Lage



Version 3.0 / 05.2023 / 504.726 DE

**Würth Elektronik GmbH & Co. KG**  
**Circuit Board Technology**  
Salzstr. 21  
74676 Niedernhall · Germany  
Tel: +49 7940 946-1234  
embedding@we-online.com  
[www.we-online.com/embedding](http://www.we-online.com/embedding)

**WÜRTH ELEKTRONIK** MORE THAN YOU EXPECT